

**МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ
НАЦІОНАЛЬНИЙ УНІВЕРСИТЕТ “ЛЬВІВСЬКА
ПОЛІТЕХНІКА”**



**Кафедра ЕОМ
Лабораторної роботи №1
з дисципліни
«Моделювання комп'ютерних систем»
Варіант 2**

Виконав:

Студент гр КІ-21

Бовтач О.М

Перевірив:

Козак Н.Б

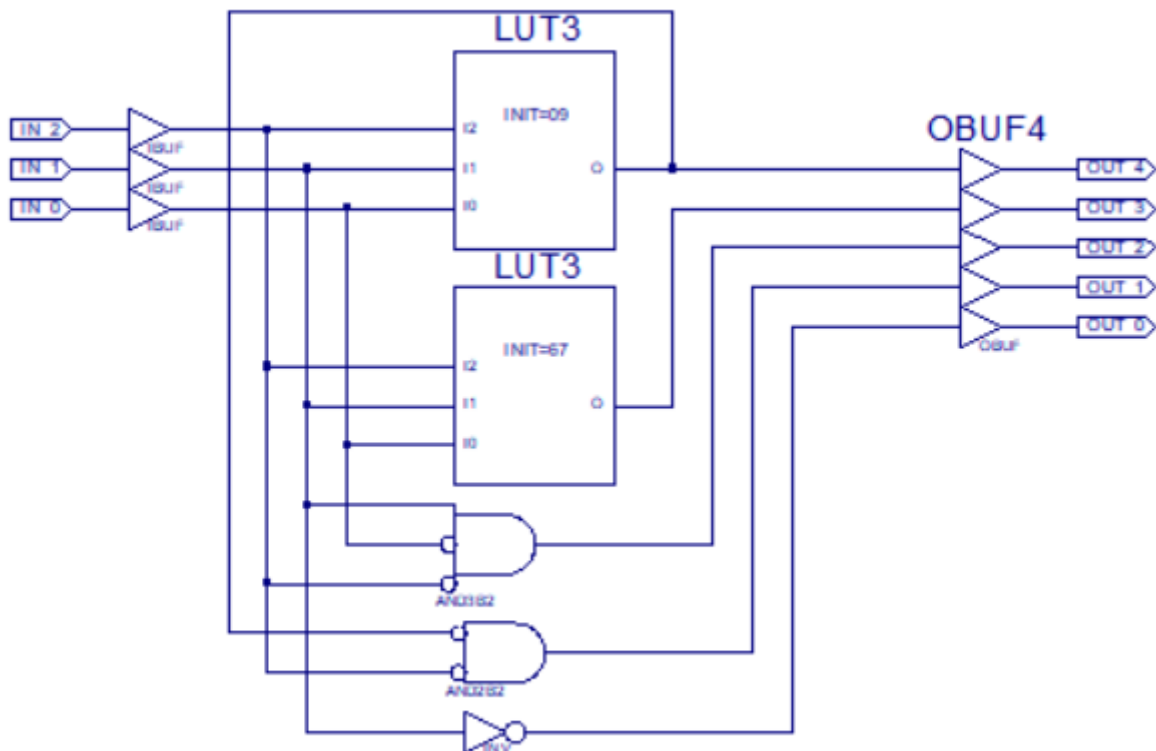
Тема роботи. Інсталяція та ознайомлення з середовищем розробки Xilinx ISE. Ознайомлення зі стендом **Elbert V2 – Spartan 3A FPGA**.

Мета роботи. Побудова дешифратора (згідно варіанту) за допомогою **ISE WebPACK™ Schematic Capture** та моделювання його роботи за допомогою симулятора **ISim**.

Завдання:

in_2	in_1	in_0	out_0	out_1	out_2	out_3	out_4
0	0	0	1	0	0	1	1
0	0	1	1	1	0	1	0
0	1	0	0	1	1	1	0
0	1	1	0	0	0	0	1
1	0	0	1	0	0	0	0
1	0	1	1	0	0	1	0
1	1	0	0	0	0	1	0
1	1	1	0	0	0	0	0

Схема декодера, який шифрує задані функції:



Код, що реалізує підключення виводів схеми до фізичних виводів цільової FPGA., що знаходиться у файлі Dec3To5Constrain.ucf:

```
#####
# This file is a .ucf for ElbertV2 Development Board                                     #
# To use it in your project :                                                         #
# * Remove or comment the lines corresponding to unused pins in the project           #
# * Rename the used signals according to the your project                           #
#####

*****
#                               UCF for ElbertV2 Development Board
*****
CONFIG VCCAUX = "3.3" ;

# Clock 12 MHz
# NET "Clk"                                LOC = P129 | IOSTANDARD = LVCMOS33 | PERIOD = 12MHz;

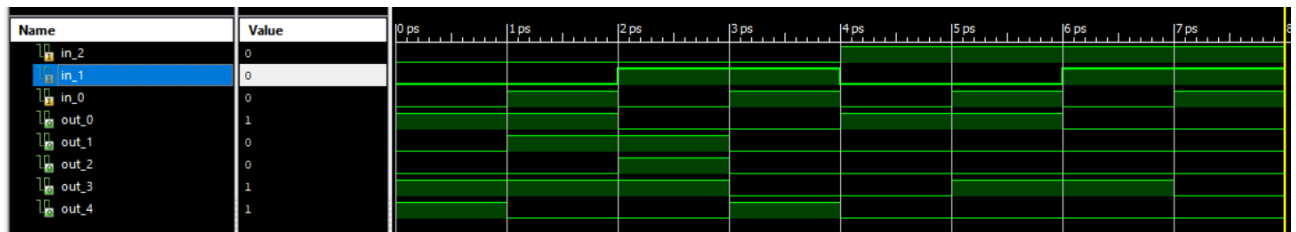
#####
#                               LED
#####

NET "OUT_0"          LOC = P46 | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
NET "OUT_1"          LOC = P47 | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
NET "OUT_2"          LOC = P48 | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
NET "OUT_3"          LOC = P49 | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
NET "OUT_4"          LOC = P50 | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
# NET "LED[5]"        LOC = P51 | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
# NET "LED[6]"        LOC = P54 | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
# NET "LED[7]"        LOC = P55 | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;

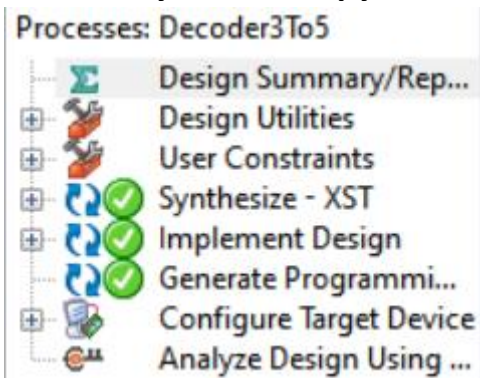
#####
#                               DP Switches
#####

NET "IN_0"           LOC = P70 | PULLUP | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
NET "IN_1"           LOC = P69 | PULLUP | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
NET "IN_2"           LOC = P68 | PULLUP | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
# NET "DPSwitch[3]"   LOC = P64 | PULLUP | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
# NET "DPSwitch[4]"   LOC = P63 | PULLUP | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
# NET "DPSwitch[5]"   LOC = P60 | PULLUP | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
# NET "DPSwitch[6]"   LOC = P59 | PULLUP | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
# NET "DPSwitch[7]"   LOC = P58 | PULLUP | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
```

Результат перевірки роботи схеми за допомогою симулятора ISim(всі варіанти вхідних сигналів було перебрано з 0 ps до 7ps):



Результат генерування BIT файлу для цільової FPGA:



Висновок: Я згенерував схему дешифратора, який шифрує вхідні сигнали відповідно до мого завдання у середовищі **Xilinx** зробивши аналіз результату у симуляторі **Isim** і дійшов висновку, що схема побудована правильно. Одже навчився працювати з базовими інструментами **Xilinx** і моделювати примітивні комп'ютерні схеми.