

---

# BLE LAYOUT

## instruction

---

BLE PCB Layout 参考说明

**V1.0**

*文档含博通(BEKEN)公司保密信息，非经书面许可，不可外传*



## 更改记录

版本号	日期	作者	注释
1.0	2020 年 5 月 12 日	YULIN	初始版本。



如上所述，既然要保证 GND 的回路最短，那么在元件的摆放，就要遵从路径最短原则，即就必须把元器件摆放的越紧凑越好（特殊要求除外），只要在加工工艺要求内。在 IC 及周边的电源下方，最好不要穿插走线或尽量绕开走线。

## 2. 晶体的 GND 与走线

因为晶振引脚与 RF 引脚比较近，尽量有 GND 让 RF 输出和晶振的 PIN 脚隔离，这样不容易收到射频的干扰。选择晶振时，需选用负载电容小于 9pF 的晶振。

晶体下方参考地必须完整并且面积尽可能的大，能最短回路连接到芯片地（IC 的基底），走线尽可能短。图 3 是晶体的走线范例。并在晶体的地 PAD 附近打 3-5 个 VIA 到底层的大地。晶体的正下方不要走易受干扰或干扰别人的线路，比如 DC-DC 电源线，时钟线，数据线等。

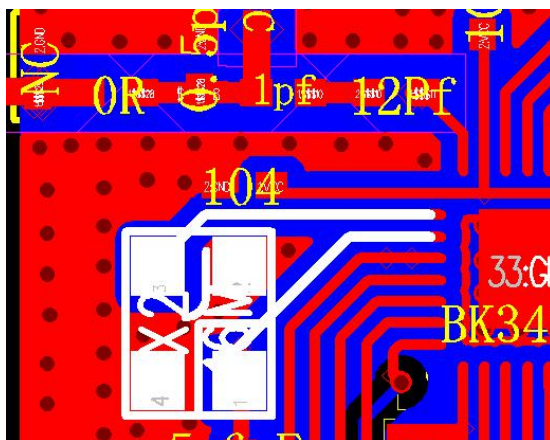


图 3. 晶体走线范例

## 3. RF 的输出及走线

1: RF 的输出及走线，元件布局要均匀得当，PI 型（T 型）滤波器疏密一致。并顺从信号方向，两边的 GND 切面整齐。把 RF 输出两侧的地连通多打过孔，背面地尽量铺大且完整。禁止射频线有多余的线条和尾巴。如图.4 所示。应用中，RF 的输出到天线之间的匹配元件最好用 0402 元件，如果用 0603 元件，元件的两个 PAD 之间不用铺 GND，应该禁止铺 GND。

RF 走线的下方禁止有 IO,电源线穿过。

一般经验而言，RF 输出元件到两侧之间的 GND 的间距为 3.5-5mm 之间。

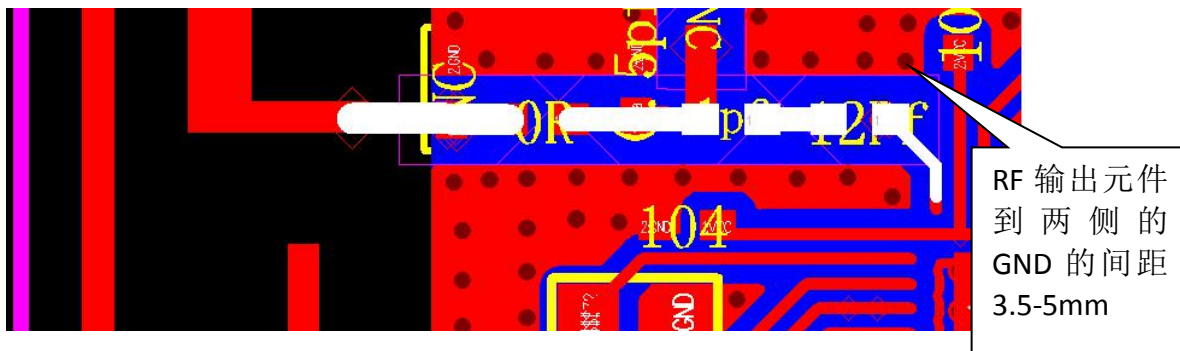


图.4 RF 走线范例

