

# **BLE LAYOUT**

## instruction

BLE PCB Layout 参考说明

V1.0

文档含博通(BEKEN)公司保密信息,非经书面许可,不可外传



### 更改记录

版本号	日期	作者	注释
1.0	2020年5月12日	YULIN	初始版本。



#### 本文档主要内容

本文档主要描述了 BLE 的 PCB 设计时的注意事项,走线的要求及相关 LAYOUT 说明。博通的其他蓝牙和无线产品也可以参考此文档。

#### 1.IC 的基底和电源的处理

所有的接地管脚都必须回到到"理想"的地上。我们假设 IC 基底就是理想的 GND。所有与 IC 周边的器件都要保证能以最短路径到达这个 GND。

1: BLE 的 IC 的基底需接地,尽量多打 VIA(QFN32 一般打 9-16 个),并保证基底下方 GND 的完整,图 1 是良好接地的范例。

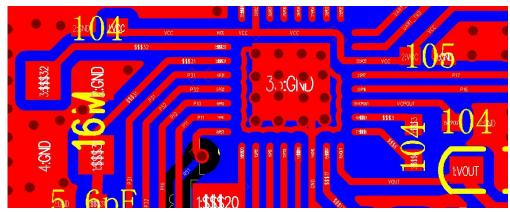


图 1. 基底接地范例

2: 芯片有 Buck 或 Boost 供电方式,因此会产生一些的毛刺。降低毛刺的幅度需要电源滤波电容的地回路尽可能的短,特别是 Vbuck 输出滤波电容的地回路要短。因此我们建议采用图 2 的 layout 方式。

每个接地管脚的电容(电源)和晶体,都必须尽可能短的回到我们的基底上。

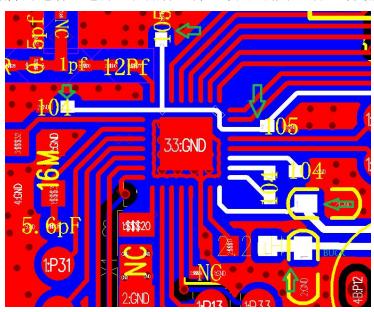


图 2. 电源接地范例



如上所述,既然要保证 GND 的回路最短,那么在元件的摆放,就要遵从路径最短原则,即就必须把元器件摆放的越紧凑越好(特殊要求除外),只要在加工工艺要求内。在 IC 及周边的电源下方,最好不要穿插走线或尽量绕开走线。

#### 2. 晶体的 GND 与走线

因为晶振引脚与 RF 引脚比较近,尽量有 GND 让 RF 输出和晶振的 PIN 脚隔离,这样不容易收到射频的干扰。选择晶振时,需选用负载电容小于 9pF 的晶振。

晶体下方参考地必须完整并且面积尽可能的大,能最短回路连接到芯片地(IC 的基底),走线尽可能短。图 3 是晶体的走线范例。并在晶体的地 PAD 附近打 3-5 个 VIA 到底层的大地。晶体的正下方不要走易受干扰或干扰别人的线路,比如 DC-DC 电源线,时钟线,数据线等。

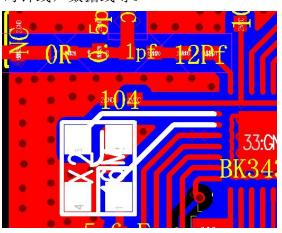


图 3. 晶体走线范例

#### **3.** RF 的输出及走线

1: R F 的输出及走线,元件布局要均匀得当,PI 型(T 型)滤波器疏密一致。并顺从信号方向,两边的 GND 切面整齐。把 RF 输出两侧的地连通多打过孔,背面地尽量铺大且完整。禁止射频线有多余的线条和尾巴。如图.4 所示。应用中, RF 的输出到天线之间的匹配元件最好用 0402 元件, 如果用 0603 元件, 元件的两个 PAD 之间不用铺 GND, 应该禁止铺 GND。

RF 走线的下方禁止有 IO.电源线穿过。

一般经验而言, RF 输出元件到两侧之间的 GND 的间距为 3.5-5mm 之间。

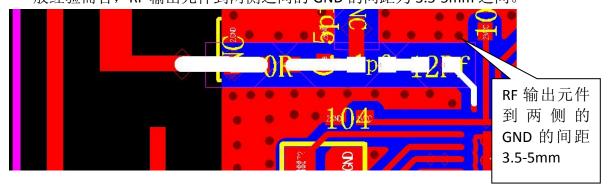


图.4 RF 走线范例



#### 4. BUCK 的走线及注意事项(没 BUCK 可忽略此点)。

BK 的 BLE 芯片都有 Buck 或 Boost 供电方式,Buck 的输出给主控和 RF 供电,电源的好坏直接影响了射频的性能,所以对电感也提了两个要求:一是最大电流大于 220mA,二是直流电阻越小越好(建议不超过 300mR)。Buck 的走线还要注意以下三点:

- 1: Buck 的输出给主控和 RF 供电,走线不要破坏整个芯片下方 GND 的完整性,落地电容尽量以最短回路回到 IC 的基底。图 5 是很好的走线范例。芯片以及其周边电源的滤波电容下方尽量有较大的一块 GND。
- 2: BUCK 输出给各个系统供电的滤波电容的地回路尽量要小(一般是 3 个电容),且回路越短越好(最好的办法是就近打地孔回到基底)。
- 3: BUCK 所在电感离芯片近点,走线要粗而短(不小于 0.2mm),其后一个电容可适当大点,其落地点要尽快回到 VBUCKGND(我们芯片在 SW 邻近一般有一个 GND 脚)。

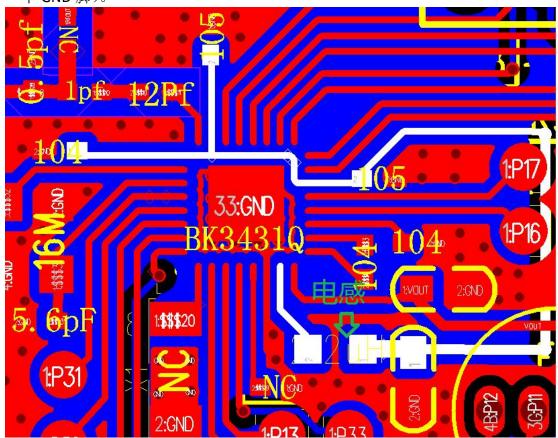


图.5 BUCK 走线范例

**5.** IO 口的定义以 PCB layout 走线方便做调整。禁止在 RF,晶体,BUCK 电感下方穿行。