# SPI通讯原理

## SPI 协议简介

SPI 协议是由摩托罗拉公司提出的通讯协议，即串行外围设备接口，是一种高速全双工的通信总线。它被广泛地使用在 ADC、LCD 、Flash等设备与 MCU 间，要求通讯速率较高的场合。

### SPI物理层

SPI通讯设备之间的常用连接方式见图1.1.1。

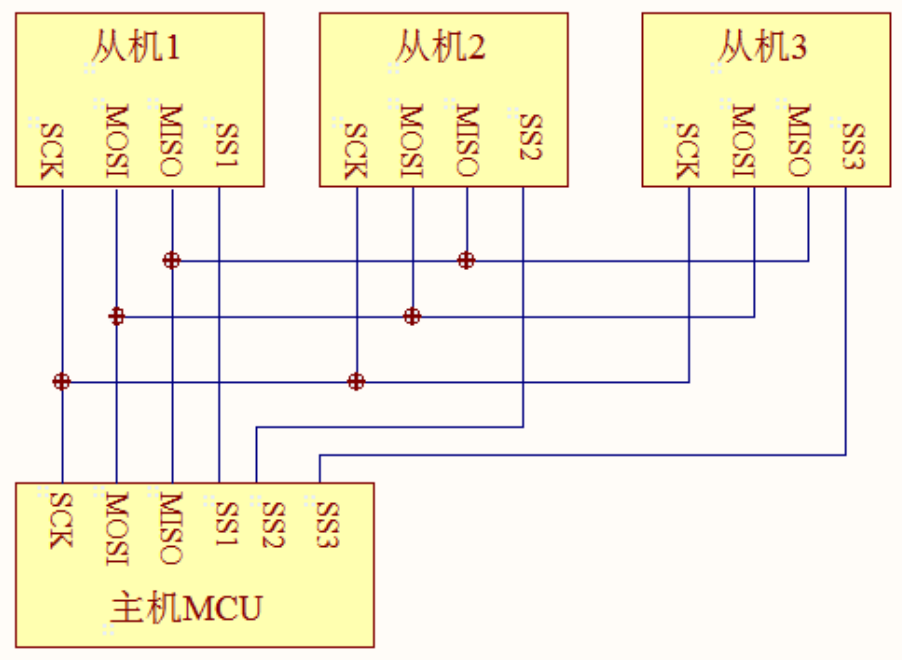


图1.1.1

SPI 通讯使用 3 条总线及片选线，3 条总线分别为 SCK、MOSI、

SS ( Slave Select)：从设备选择信号线，常称为片选信号线，也称为 NSS、CS，以下用 NSS 表示。当有多个 SPI 从设备与 SPI 主机相连时，设备的其它信号线 SCK、MOSI及 MISO同时并联到相同的 SPI总线上，即无论有多少个从设备，都共同只使用这 3 条总线；而每个从设备都有独立的这一条 NSS 信号线，本信号线独占主机的一个引脚，即有多少个从设备，就有多少条片选信号线。I2C 协议中通过设备地址来寻址、选中总线上的某个设备并与其进行通讯；而 SPI 协议中没有设备地址，它使用 NSS 信号线来寻址，当主机要选择从设备时，把该从设备的 NSS 信号线设置为低电平，该从设备即被选中，即片选有效，接着主机开始与被选中的从设备进行 SPI 通讯。所以SPI通讯以 NSS 线置低电平为开始信号，以 NSS 线被拉高作为结束信号。

(2) SCK (Serial Clock)：时钟信号线，用于通讯数据同步。它由通讯主机产生，决定了通讯的速率，不同的设备支持的最高时钟频率不一样，两个设备之间通讯时，通讯速率受限于低速设备。

(3) MOSI (Master Output， Slave Input)：主设备输出/从设备输入引脚。主机的数据从这条信号线输出，从机由这条信号线读入主机发送的数据，即这条线上数据的方向为主机到从机。

(4) MISO(Master Input,，Slave Output)：主设备输入/从设备输出引脚。主机从这条信号线读入数据，从机的数据由这条信号线输出到主机，即在这条线上数据的方向为从机到主机。

### SPI协议层

SPI 协议定义了通讯的起始和停止信号、数据有效性、时钟同步等环节。

1. SPI基本通讯过程

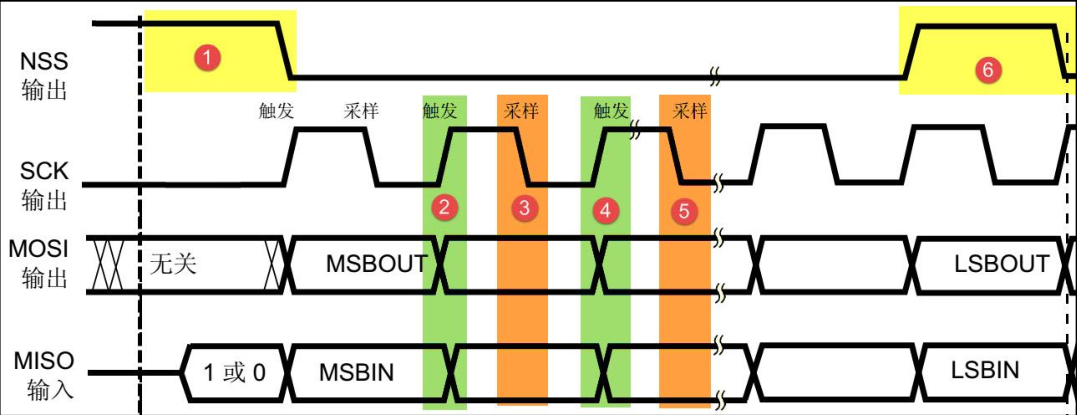


图1.1.2-1

图1.1.2-1是一个SPI主机的通讯时序。NSS、SCK、MOSI 信号都由主机控制产生，而 MISO 的信号由从机产生，主机通过该信号线读取从机的数据。MOSI 与 MISO 的信号只在 NSS 为低电平的时候才有效，在 SCK的每个时钟周期 MOSI和 MISO传输一位数据。

以上通讯流程中包含的各个信号分解如下：

1. 通讯的起始和停止信号

在图 1.1.2 -1中的标号①处，NSS 信号线由高变低，是 SPI 通讯的起始信号。NSS 是每个从机各自独占的信号线，当从机在自己的 NSS 线检测到起始信号后，就知道自己被主机选中了，开始准备与主机通讯。在图中的标号处，NSS 信号由低变高，是 SPI 通讯的停止信号，表示本次通讯结束，从机的选中状态被取消。

1. 数据有效性

SPI 使用 MOSI 及 MISO 信号线来传输数据，使用 SCK 信号线进行数据同步。MOSI及 MISO 数据线在 SCK 的每个时钟周期传输一位数据，且数据输入输出是同时进行的。数据传输时，MSB先行或 LSB先行并没有作硬性规定，但要保证两个 SPI通讯设备之间使用同样的协定，一般都会采用图 1.1.2-1 中的 MSB 先行模式。

观察图中的②③④⑤标号处，MOSI 及 MISO 的数据在 SCK 的上升沿期间变化输出，在 SCK的下降沿时被采样。即在 SCK的下降沿时刻，MOSI及 MISO 的数据有效，高电平时表示数据“1”，为低电平时表示数据“0”。在其它时刻，数据无效，MOSI 及 MISO为下一次表示数据做准备。

SPI每次数据传输可以 8 位或 16 位为单位，每次传输的单位数不受限制。

1. CPOL(时钟极性)/CPHA(时钟相位)及通讯模式

上面讲述的图1.1.2-1 中的时序只是 SPI 中的其中一种通讯模式，SPI 一共有四种通讯模式，它们的主要区别是总线空闲时 SCK 的时钟状态以及数据采样时刻。为方便说明，在此引入“时钟极性 CPOL”和“时钟相位 CPHA”的概念。

时钟极性 CPOL是指 SPI 通讯设备处于空闲状态时，SCK信号线的电平信号(即 SPI 通讯开始前、 NSS线为高电平时 SCK的状态)。CPOL=0时， SCK在空闲状态时为低电平，CPOL=1 时，则相反。

时钟相位 CPHA 是指数据的采样的时刻，当 CPHA=0 时，MOSI 或 MISO 数据线上的信号将会在 SCK 时钟线的“奇数边沿”被采样。当 CPHA=1 时，数据线在 SCK 的“偶数边沿”采样。见图1.1.2-2 及图1.1.2-3。

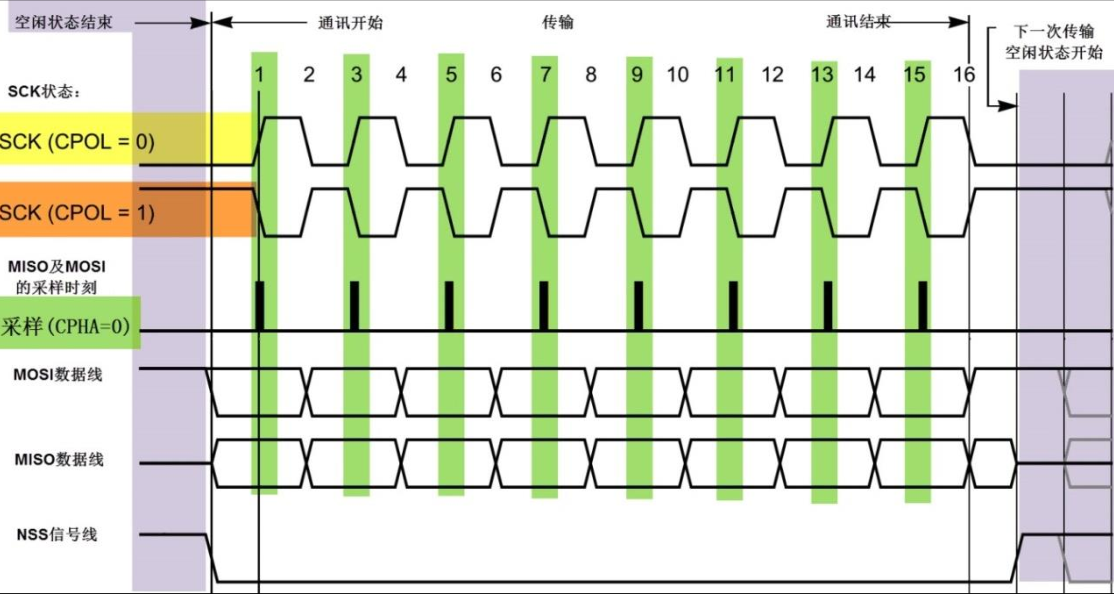


图1.1.2-2 CPHA=0 时的 SPI 通讯模式

分析 CPHA=0 的时序图。根据 SCK 在空闲状态时的电平，分为两种情况。SCK信号线在空闲状态为低电平时，CPOL=0；空闲状态为高电平时，CPOL=1。

无论 CPOL=0 还是=1，因为我们配置的时钟相位 CPHA=0，在图中可以看到，采样时刻都是在 SCK 的奇数边沿。注意当 CPOL=0 的时候，时钟的奇数边沿是上升沿，而CPOL=1 的时候，时钟的奇数边沿是下降沿。所以 SPI 的采样时刻不是由上升/下降沿决定的。MOSI和 MISO数据线的有效信号在 SCK的奇数边沿保持不变，数据信号将在 SCK奇数边沿时被采样，在非采样时刻，MOSI和 MISO 的有效信号才发生切换。

类似地，当 CPHA=1 时，不受 CPOL 的影响，数据信号在 SCK 的偶数边沿被采样，见图1.1.2-3。

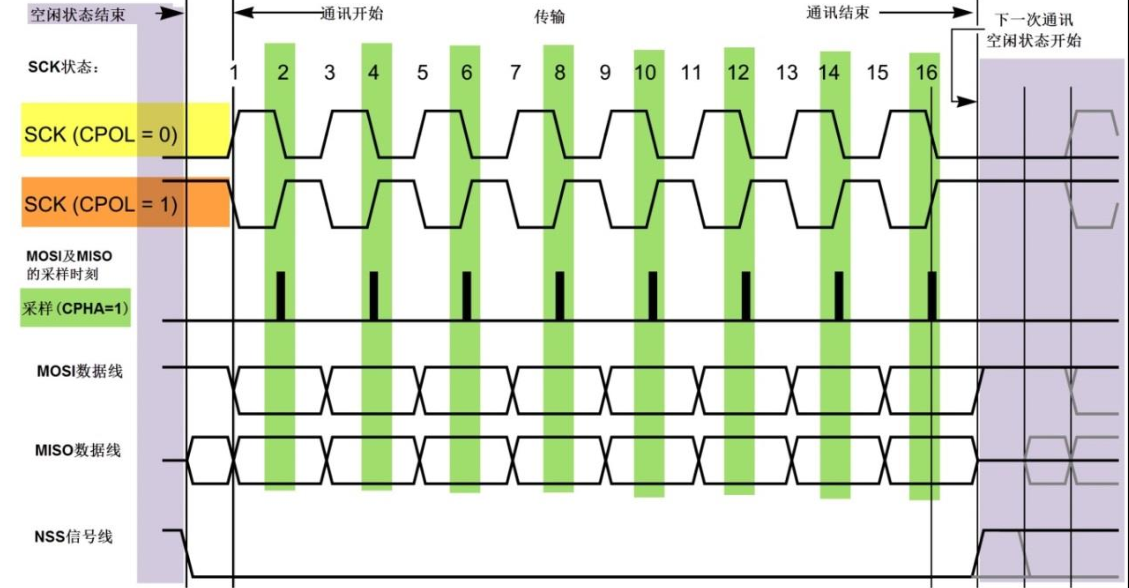


图1.1.2-3 CPHA=1 时的 SPI 通讯模式

1. 四种读写数据模式

由 CPOL 及 CPHA 的不同状态，SPI 分成了四种模式，见表1.1.2-1，主机与从机需要工作在相同的模式下才可以正常通讯，实际中采用较多的是“模式 0”与“模式 3”。

表1.1.2-1

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| 模式 | CPOL | CPHA | 空闲时SCK时钟 | 采样时刻 |
| 0 | 0 | 0 | 低电平 | 奇数边沿 |
| 1 | 0 | 1 | 低电平 | 偶数边沿 |
| 2 | 1 | 0 | 高电平 | 奇数边沿 |
| 3 | 1 | 1 | 高电平 | 偶数边沿 |

## SPI模式

### 软硬件分类：软件模式、硬件模式

1. 软件模式: 不要求MCU有SPI功能，可以通过模拟SPI时序实现通讯，但是此种方式比较耗MCU资源。
2. 硬件模式: 要求MCU有SPI功能，SPI时序由MCU内置的硬件外设产生，此种方式消耗的MCU资源较少。

### 线数分类：四线模式、三线模式

1. 四线模式: NSS、SCK、MOSI、MISO。全双工，可同时收发。
2. 三线模式: NSS、SCK、DIO。半双工，不能同时收发。

## SPI应用例子

### SPI读写FLASH(W25QXX)

常见的FLASH基本都是用SPI读写的，一般用硬件四线模式，以下是BK3431Q读写W25Q64的详细讲解。

### SPI读写LCD屏(彩屏、点阵屏)

### SPI读写时钟芯片(DS1302)

SPI读写时钟芯片(DS1302)使用的是模拟三线模式，以下是BK3431Q读写DS1302的详细讲解。