



**MINISTÉRIO DA EDUCAÇÃO  
UNIVERSIDADE FEDERAL DO PARANÁ  
PRÓ-REITORIA DE PESQUISA E PÓS-GRADUAÇÃO  
COORDENADORIA DE INICIAÇÃO CIENTÍFICA E INTEGRAÇÃO ACADÊMICA  
PROGRAMA DE INICIAÇÃO CIENTÍFICA E EM DESENVOLVIMENTO  
TECNOLÓGICO E INOVAÇÃO**

**LUCAS ERNESTO LEMOS**

**RELATÓRIO FINAL**

**INICIAÇÃO CIENTÍFICA:**

PIBIC CNPq ( ), PIBIC CNPq Ações Afirmativas ( ), PIBIC UFPR TN ( ), PIBIC  
Fundação Araucária ( ), PIBIC Voluntária (X), Jovens Talentos ( ), PIBIC EM ( ).

(Período no qual esteve vinculado ao Programa 12/2015 a 07/2016)

**Projeto e leiaute de retificador integrado CMOS para RFID**

Relatório apresentado à  
Coordenadoria de Iniciação Científica  
e Integração Acadêmica da  
Universidade Federal do Paraná por  
ocasião da conclusão das atividades  
de Iniciação Científica ou Iniciação em  
desenvolvimento tecnológico e  
Inovação - Edital 2015/2016

**Orientador Prof. Bernardo Rego Barros de Almeida Leite  
Departamento de Engenharia Elétrica**

**Projeto de Circuitos Integrados e Componentes Passivos para Sistemas de  
Comunicação Sem Fio  
BANPESQ/THALES 2012006108**

**CURITIBA  
2016**

## RESUMO

Este trabalho visa a continuação de um projeto em tecnologia CMOS 130nm, da IBM, de um retificador UHF, edital PIBIC 2014/2015, cujo tema foi o projeto de circuito integrado de recuperação de energia para aplicação NFC, abordando novas topologias para contornar os problemas decorrentes da tensão de limiar dos transistores. O retificador deverá possuir sensibilidade maior ou igual a -14,35 dBm, ser capaz de fornecer uma tensão de 1,2 V para uma corrente de carga de 10 $\mu$ A. Além disso, deve ocupar uma área de implementação de, no máximo, 0,013mm<sup>2</sup>.

Inicialmente, três novas topologias com dois modelos de transistor foram estudadas e comparadas com a topologia clássica já estudada de modo a validar seus desempenhos. Após esta etapa, simulações paramétricas foram realizadas para encontrar o tamanho ideal de transistor para cada topologia e modelo de transistor. Por último, simulações com carga em aberto e com carga drenando 10  $\mu$ A foram feitas para tomada de decisão sobre qual modelo de transistor e topologia teriam melhor desempenho.

Os resultados obtidos mostram que, apesar das tentativas feitas com novas topologias e modelos diferentes de transistor, não foi possível alcançar uma tensão de 1,2 V na saída para sensibilidade desejada.

## SUMÁRIO

<b>1. INTRODUÇÃO .....</b>	<b>2</b>
<b>2. REVISÃO DA LITERATURA .....</b>	<b>3</b>
2.1 POLARIZAÇÃO DE CORPO.....	3
2.2 POLARIZAÇÃO DE CORPO COM TENSÃO CONTÍNUA.....	4
2.3 CONEXÃO CRUZADA.....	5
2.4 MODELOS DE TRANSISTOR .....	6
<b>3. MATERIAIS E MÉTODOS .....</b>	<b>7</b>
<b>4. RESULTADOS.....</b>	<b>9</b>
<b>5. CONSIDERAÇÕES FINAIS .....</b>	<b>13</b>
<b>6. REFERÊNCIAS BIBLIOGRÁFICAS.....</b>	<b>14</b>
<b>7. APRECIÇÃO DO ORIENTADOR SOBRE .....</b>	<b>15</b>

## 1. INTRODUÇÃO

A função de um retificador consiste, basicamente, na transformação de um sinal alternado em um sinal contínuo. Esse circuito pode possuir diversas topologias, que variam de acordo com a aplicação na qual ele será inserido.

Trazendo esse conceito de retificação para o universo da microeletrônica, tem-se uma problemática em torno da tensão de limiar do transistor MOS ( $V_{th}$ ), que consiste na tensão mínima necessária, entre a porta e a fonte, para o início da condução. [1]

Este projeto, nesse sentido, busca alternativas em duas topologias para minimizar a influência do  $V_{th}$ , permitindo que o processo de retificação seja iniciado com sinais de entrada de intensidades pequenas, para que os requisitos do projeto sejam cumpridos. Estas propostas são baseadas em [2].

Uma opção para redução do  $V_{th}$  é o controle da tensão entre fonte e corpo do transistor ( $V_{SB}$ ). Outra possibilidade é o aproveitamento da tensão alternada nos terminais do transistor, de modo que haja uma defasagem de  $180^\circ$  entre eles. Assim, a diferença de tensão entre os terminais crescerá mais rapidamente, vencendo o  $V_{th}$  num período de tempo menor.

Nesse sentido, as opções serão implementadas e testadas, de modo a compará-las e, por fim, será realizado o leiaute do circuito que apresentar os melhores resultados, bem como simulações pós-leiaute e, eventualmente, a confecção do circuito integrado para comparação entre resultados teóricos e práticos.

## 2. REVISÃO DA LITERATURA

Nesta etapa do trabalho, foram estudadas as três topologias propostas em [2] para retificadores RFID.

### 2.1 POLARIZAÇÃO DE CORPO

Esta técnica faz uso da dependência que a tensão de limiar ( $V_{th}$ ) possui com a tensão fonte-corpo ( $V_{SB}$ ) do transistor. Essa dependência está representada na equação 1:

$$V_{th} = V_{th0} + \gamma \left( \sqrt{2|\varphi_S| + V_{SB}} - \sqrt{2|\varphi_S|} \right) \quad (1).$$

$V_{th0}$  é a tensão de limiar do canal com substrato não polarizado;  $\gamma$  corresponde ao coeficiente de polarização do corpo e  $\varphi_S$  é o potencial da superfície. Todos são referentes à tecnologia na qual se está trabalhando. Assim, se  $V_{SB}$  for negativo, tem-se uma diminuição de  $V_{th}$ .

É importante salientar que, ao operar na região sublimiar, a corrente de fuga possui também relação com o  $V_{th}$ , conforme equação 2.

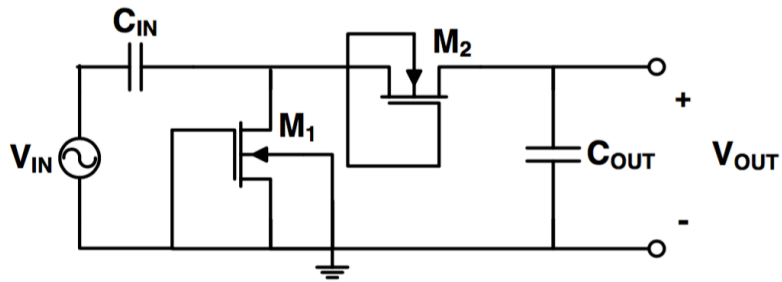
$$I_D \approx I_{D0} \cdot e^{\frac{k(V_G - V_{th}) - V_S}{V_T}} \quad (2).$$

O fator  $k$  está relacionado as capacitâncias das camadas de depleção e óxido,  $V_T$  é a tensão térmica, que depende de  $k$  e da temperatura e  $I_{D0}$  é a corrente quando  $V_{GS} = V_{th}$ .

Pode-se, portanto, concluir que, neste caso, quanto maior  $V_{th}$ , menor seria a corrente de fuga.

Nesse sentido, o ideal seria possuir um baixo  $V_{th}$ , ao operar em saturação, e um  $V_{th}$  mais elevado, ao operar em corte. No entanto, para realizar tal lógica, seriam necessários circuitos adicionais, aumentando a área do projeto. Assim, será utilizada uma solução passiva, que é a conexão do corpo com a porta. A figura 1 mostra, para um estágio, como seria a configuração, utilizando apenas transistores NMOS.

**Figura 1.** Retificador de meia onda de um estágio com polarização de corpo.



**Fonte:** Tese de doutorado – Dean Karolak. [2]

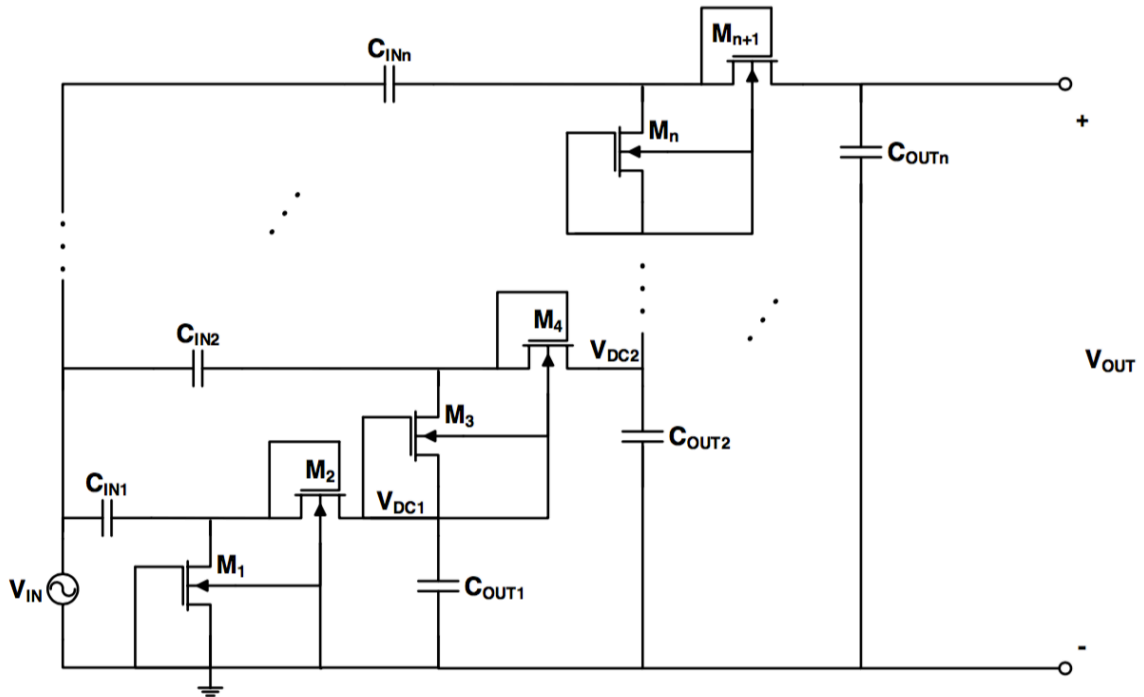
Desta maneira, aproveita-se, ao utilizar mais estágios para retificação, a tensão contínua gerada no estágio anterior como referência para o corpo de um dos transistores do estágio atual.

## 2.2 POLARIZAÇÃO DE CORPO COM TENSÃO CONTÍNUA

Uma variação para a técnica acima é a utilização da tensão contínua produzida nos estágios internos, como referência para ambos os transistores de um mesmo estágio. Não é interessante, porém, utilizar a tensão contínua do último estágio, por exemplo, para o corpo de todos os transistores, pois, degradaria muito a performance do retificador devido a criação de junções PN, formando diodos parasitas. Assim, opta-se pelo uso da tensão contínua do estágio anterior para polarização do corpo dos transistores do estágio atual, mesmo resultando em um  $V_{SB}$  menor na região de condução, comparado ao método da polarização de corpo, ou seja, numa redução menor do  $V_{th}$ . Desse modo, as perdas por corrente de fuga são reduzidas na região sublimiar, fazendo que a eficiência do circuito como um todo seja melhor. [2]

A figura 2 exemplifica como ficaria o esquemático para mais de um estágio.

**Figura 2.** Retificador meia onda de N estágios com polarização de corpo com tensão contínua.

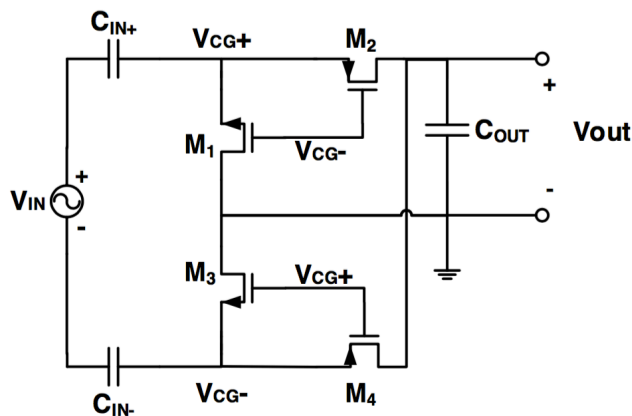


**Fonte:** Tese de doutorado – Dean Karolak. [2]

### 2.3 CONEXÃO CRUZADA

Esta topologia utiliza a retificação em onda completa, fazendo com que as zonas nas quais não há condução devido a  $V_{GS} < V_{th}$  fiquem menores. Para tal, as formas de onda  $V_G$  e  $V_S$  estão em oposição de fase e, com isso, a diferença de tensão  $V_{GS}$  ultrapassa mais rapidamente o  $V_{th}$ . A tensão de saída, para esta topologia, não é relacionada ao mesmo potencial da tensão de entrada e, além disso, são combinados transistores NMOS e PMOS. A vantagem deste método é o rápido início do período de condução. Este circuito, no entanto, possui correntes de fuga mais altas no momento que há troca de polaridade dos transistores. A figura 3 mostra como esta conexão é realizada.

**Figura 3.** Retificador meia onda de um estágio com conexão cruzada.



**Fonte:** Tese de doutorado – Dean Karolak. [2]

## 2.4 MODELOS DE TRANSISTOR

Conforme fora explicado na introdução, uma das problemáticas da retificação de pequenos sinais é a tensão de limiar do transistor. Além das três topologias apresentadas acima para amenizar este fator, essas topologias serão implementadas com dois tipos de transistor: ZVTNFET e LVTNFET.

O primeiro deles foi utilizado em toda a primeira parte do projeto para os modelos tradicionais de retificadores [1]. É um transistor nativo, o que significa que já possui tensões de limiar reduzidas, na faixa de dezenas de milivolts. A desvantagem deste modelo é o aumento das correntes de fuga, podendo comprometer seu desempenho dependendo do caso de uso.

O segundo tipo é um transistor com baixa tensão de limiar. Desta maneira, possui  $V_{th}$  mais alto que o transistor nativo, na ordem de centenas de milivolts, porém tende a possuir menos perdas devido a correntes de fuga.

Nesse sentido, além de novas topologias, novos modelos de transistor estão sendo utilizados com o objetivo de verificar qual a melhor combinação para atingir os objetivos do projeto.

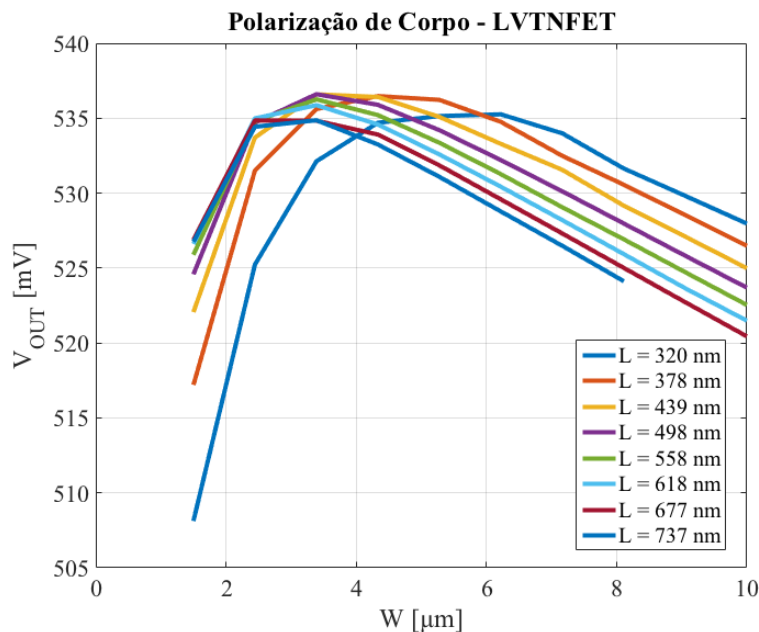


### 3. MATERIAIS E MÉTODOS

Pela elaboração de esquemáticos serão utilizados o ambiente de desenvolvimento *Cadence Virtuoso* e o simulador *Spectre*, que será responsável por todas as simulações.

A primeira das simulações foi do tipo paramétrica. Nela, para cada tipo de transistor e topologia, as dimensões dos transistores (comprimento[W] e largura[L]) foram variados de valores mínimos para esta tecnologia e aumentados progressivamente para encontrar qual combinação traria o melhor desempenho. A figura 4 apresenta o resultado de uma das simulações paramétricas realizadas, com transistor LVTNFET, com polarização de corpo e circuito aberto.

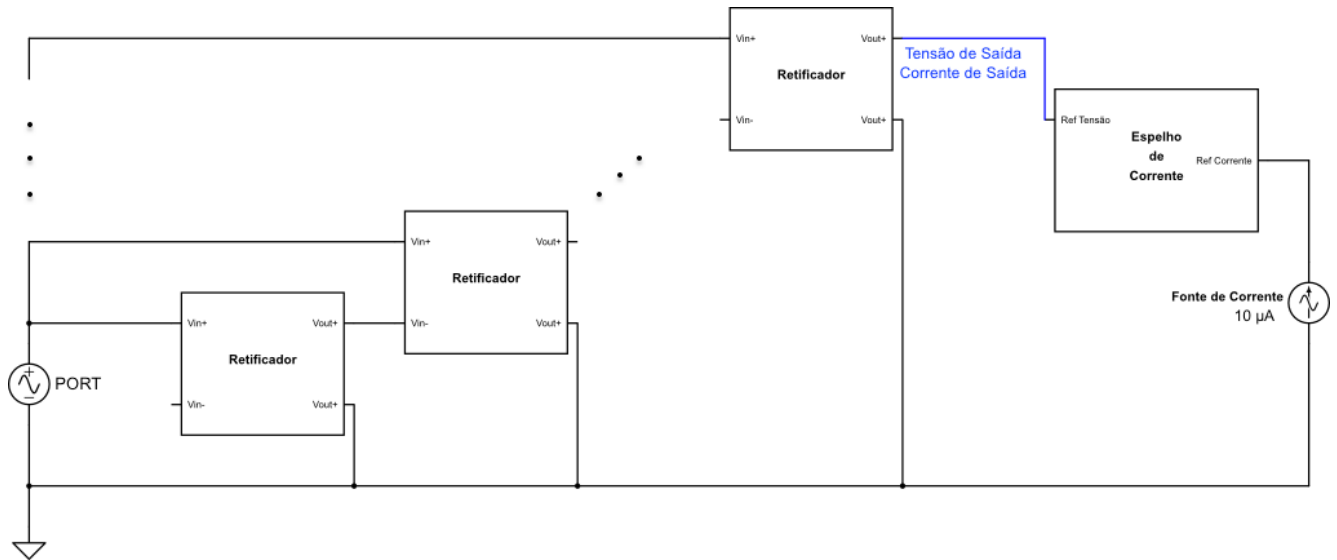
**Figura 4.** Simulação paramétrica com topologia polarização de corpo com transistor LVTNFET.



**Fonte:** O autor.

Pela figura 4, pode-se observar que a tensão de saída, mesmo com circuito aberto, está distante dos desejados 1,2 V. Assim, faz-se necessário o cascadeamento de vários estágios para aumentar a tensão de saída. Esta técnica consiste na conexão de estágios adjacentes, de modo que a saída do estágio anterior seja conectada com a entrada do estágio atual. A figura 5 mostra um modelo de simulação com mais de um estágio, que pode ser aplicado às três topologias estudadas, com um espelho de corrente Wilson na saída, que reflete a corrente de 10  $\mu\text{A}$ , gerada pela fonte. As tensões e correntes de saída são medidas de acordo com o local indicado na figura 5. Por último, com a fonte de potência (PORT), representada nesta figura, é possível definir potência de entrada em dBm e sua impedância.

**Figura 5.** Modelo de simulação utilizado em todas as topologias.



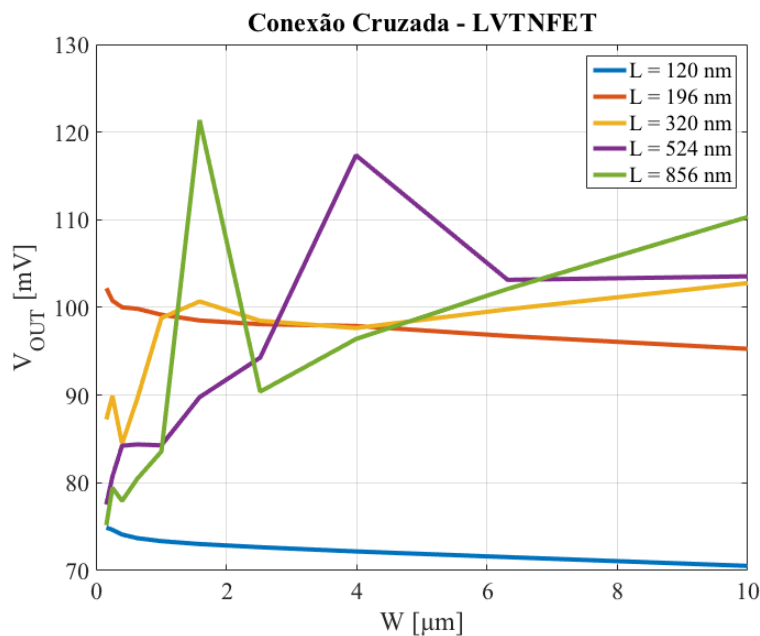
**Fonte:** O autor.

Foram simulados vários estágios cascadeados, verificado a tensão em cada um deles, para atestar que a resposta siga uma curva semelhante e, desta maneira, validar que o dimensionamento está correto, não sobrecarregando nenhum estágio. Por último, foi realizado o casamento de impedância e simulado diferentes estágios, já com a carga de 10  $\mu\text{A}$  na saída, para verificar qual topologia apresentava melhor resultado.

#### 4. RESULTADOS

A topologia conexão cruzada apresentou resultado bastante inferiores ao modelo tradicional já estudado anteriormente e às topologias com polarização de corpo. Diferente do que foi apresentado em [2], a retificação apresentada se dá num grau muito menor do que os outros modelos. A figura 6 mostra seu desempenho com diferentes dimensões com 1 estágio.

**Figura 6.** Desempenho da topologia conexão cruzada para 1 estágio.



**Fonte.** O autor.

Com isso, os modelos comparados foram as duas topologias com polarização de corpo e a topologia tradicional. As dimensões para cada uma delas podem ser vistas na tabela 1.

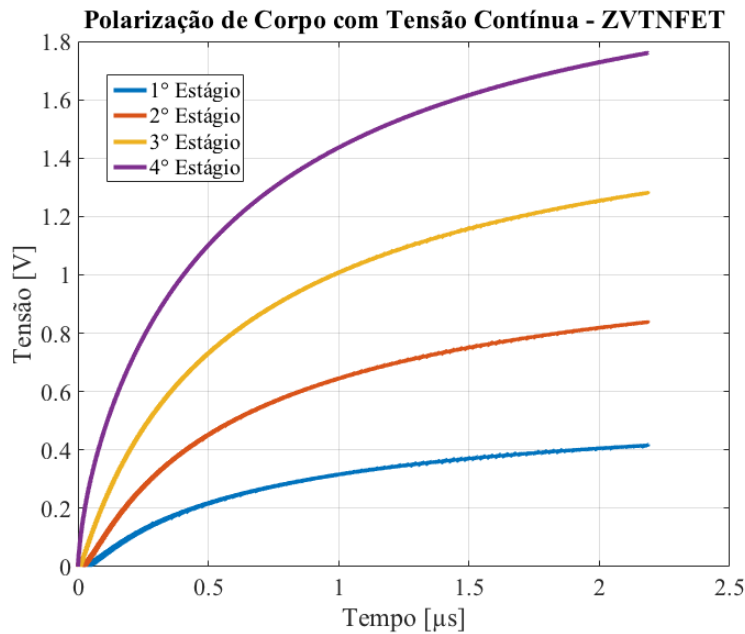
**Tabela 1.** Dimensionamento para as três topologias avaliadas.

-	Polarização de Corpo		Tradicional		Polarização de Corpo com Tensão Contínua	
	ZVTNFET	LVTNFET	ZVTNFET	LVTNFET	ZVTNFET	LVTNFET
W	3 $\mu\text{m}$	3,39 $\mu\text{m}$	3 $\mu\text{m}$	3,98 $\mu\text{m}$	3 $\mu\text{m}$	3,56 $\mu\text{m}$
L	788 nm	439 nm	797,8 nm	510 nm	802,2 nm	1,02 $\mu\text{m}$

**Fonte:** O autor.

Após o dimensionamento, verificou-se a resposta de cada estágio ao se cascatear estágios. A figura 7 mostra o resultado deste teste para o transistor ZVTNFET, com polarização de corpo com tensão contínua e 4 estágios.

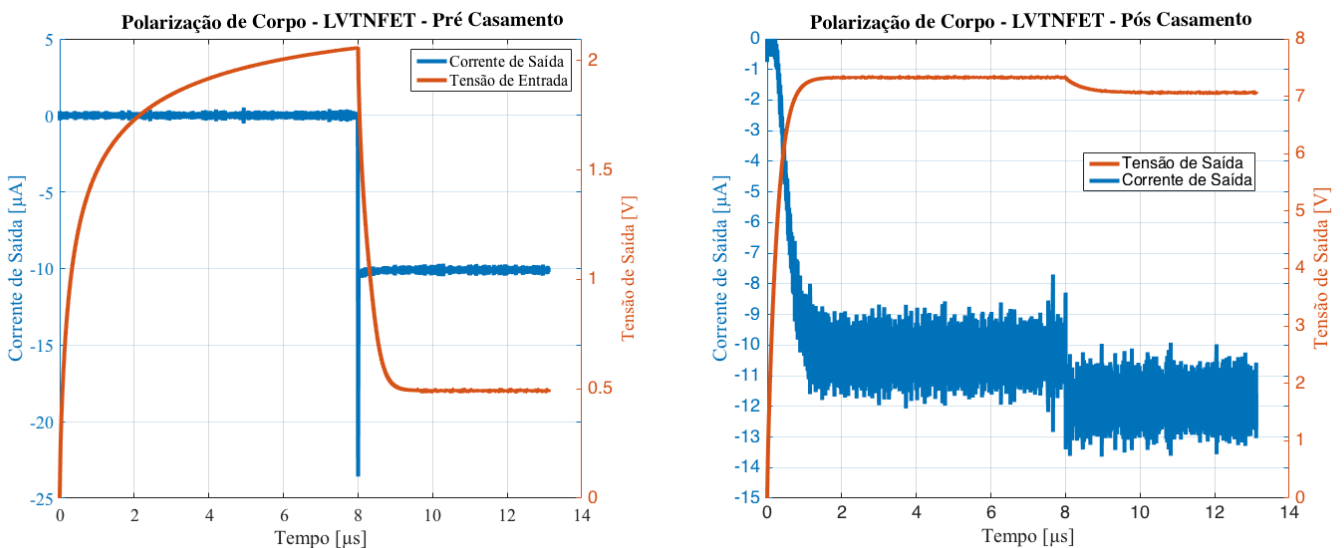
**Figura 7.** Tensão de saída para os diferentes estágios do cascadeamento.



Fonte: O autor.

Como as curvas apresentam formatos semelhantes, foi entendido que os estágios estão bem dimensionados, sem que nenhum deles forme uma espécie de gargalo. A próxima etapa foi a realização do casamento de impedância entre a fonte de potência e o circuito retificador. Isso se faz necessário para que a máxima transferência de potência ocorra entre a fonte e o circuito. Para validar o casamento, a potência de entrada adotada foi de -5 dBm para isolar o impacto que a baixa potência de entrada requisitada poderia causar. A figura 8 mostra, para a topologia polarização de corpo com transistor LVTNFET, a comparação do desempenho do circuito antes e depois do casamento de impedância.

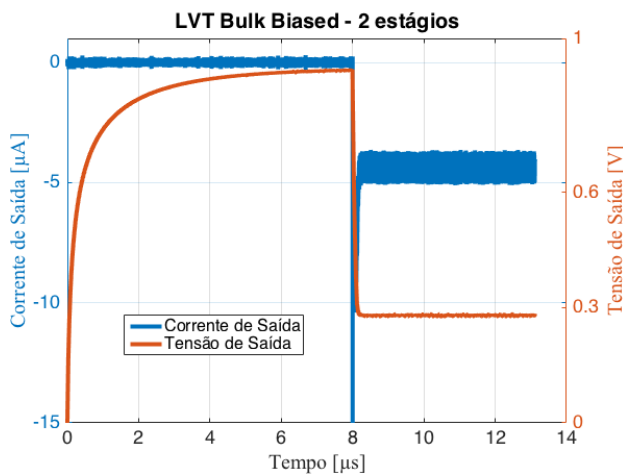
**Figura 8.** Comparação entre desempenho pré e pós casamento de impedância.



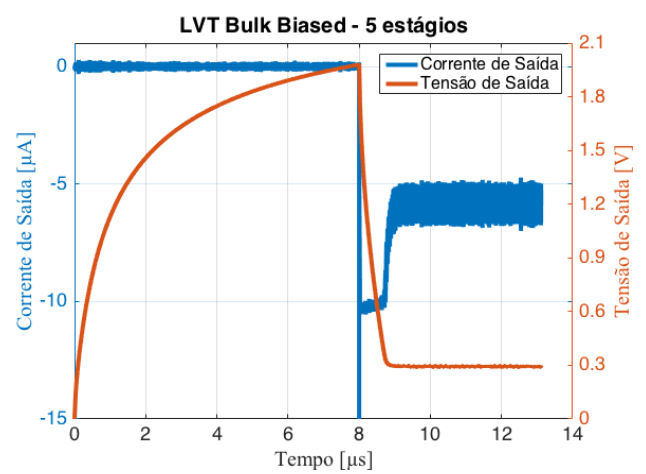
Fonte: O autor.

É importante ressaltar que com 8  $\mu\text{s}$  a carga de 10  $\mu\text{A}$  é inserida na saída, pois o circuito necessita de um tempo para estabilizar a tensão de saída.

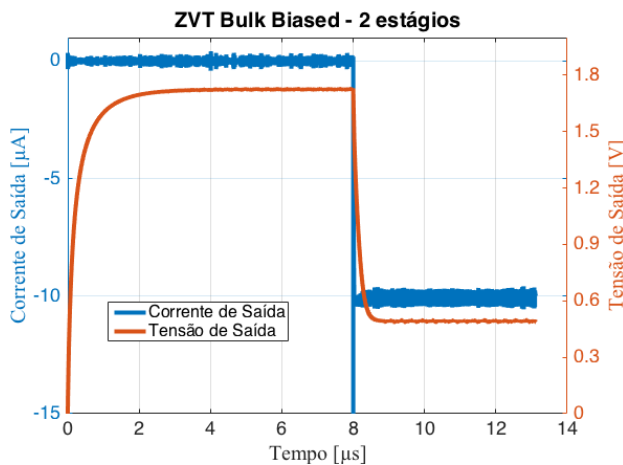
Ao utilizar a potência de -14,35 dBm, observou-se que as topologias e o transistores possuem respostas bastante semelhantes, independente do número de estágios cascadeados. Todas as combinações obtiveram resultados inferiores aos obtidos no projeto anterior [1]. As figuras 9 e 10 mostram os resultados obtidos com polarização de corpo, transistor LVTNFET, com 2 e 5 estágios, respectivamente. É interessante notar que, mesmo com um consumo de corrente inferior a 10  $\mu\text{A}$ , a tensão de saída se estabiliza em uma valor quase igual para os dois modelos. As figuras 11 e 12 mostram os mesmos resultados, utilizando transistor ZVTNFET. Percebe-se que, antes do início do consumo de corrente, este transistor entrega uma tensão de saída maior que seu concorrente, no entanto, após o consumo, seu desempenho, apesar de melhor, ainda está longe do desejado.



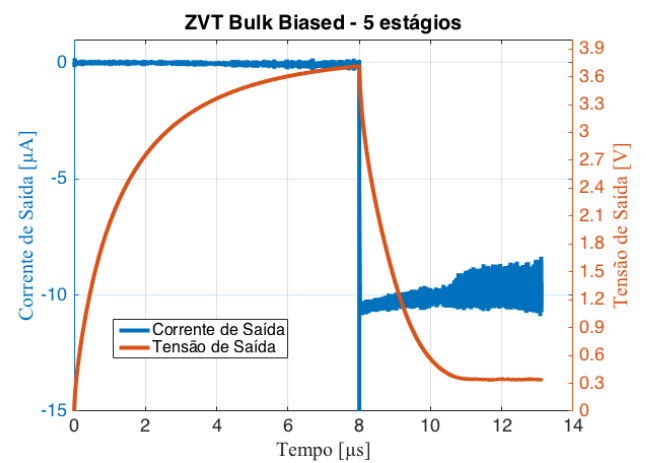
**Figura 9.** Polarização de Corpo, transistor LVTNFET com 2 estágios.



**Figura 10.** Polarização de Corpo, transistor LVTNFET com 5 estágios.

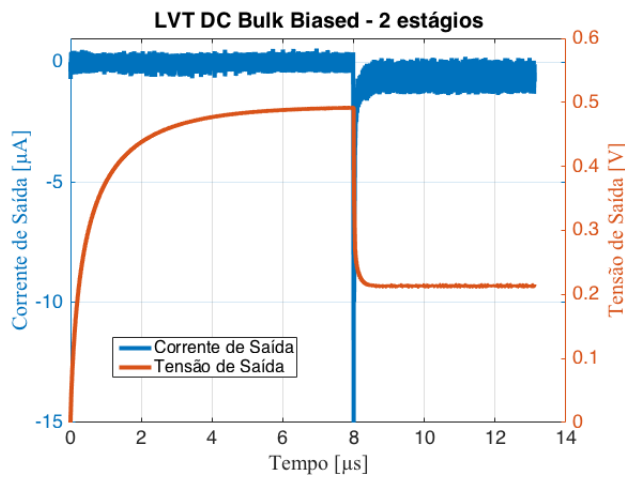


**Figura 11.** Polarização de Corpo, transistor ZVTNFET com 2 estágios.

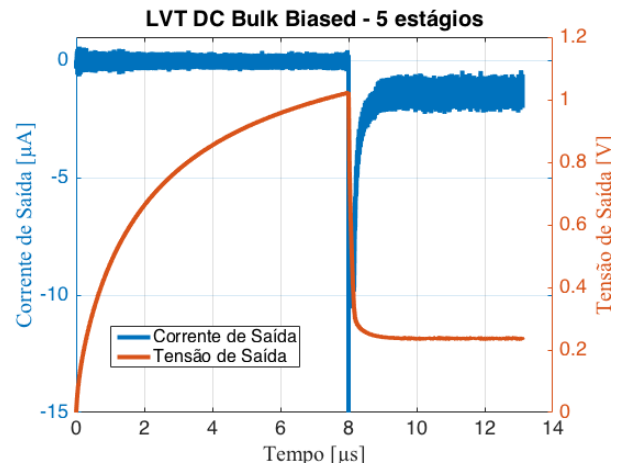


**Figura 12.** Polarização de Corpo, transistor ZVTNFET com 5 estágios.

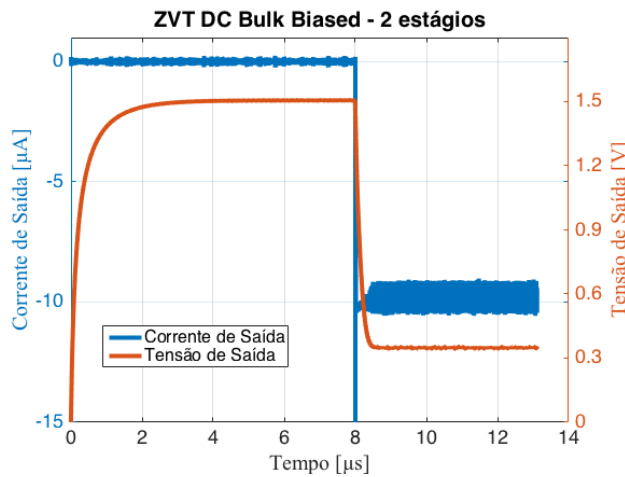
Ao utilizar a topologia com polarização com tensão contínua, os resultados foram ainda piores. As figuras 13 e 14 mostram o desempenho com transistor LVTNFET, 2 e 5 estágios, respectivamente. O consumo do espelho de corrente ainda está longe dos 10  $\mu\text{A}$  desejados e os resultados, mesmo assim, são ruins. Pode-se notar nas figuras 15 e 16 que, assim como no caso anterior, o desempenho ao utilizar o transistor ZVTNFET melhora, tem-se tensões maiores antes do consumo de corrente, contudo, a tensão final continua longe do ideal.



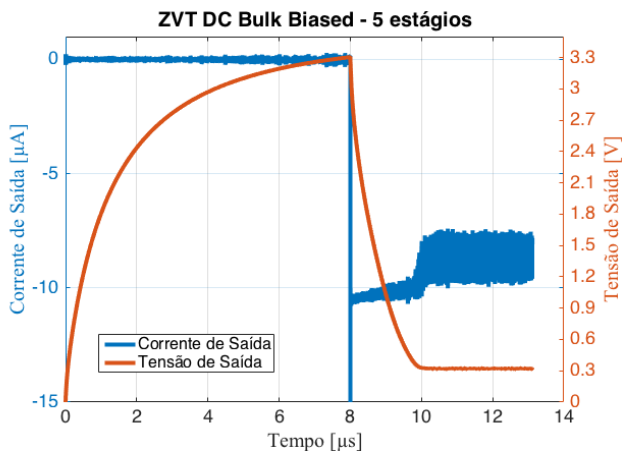
**Figura 13.** Polarização de Corpo com tensão contínua, transistor LVTNFET com 2 estágios.



**Figura 14.** Polarização de Corpo com tensão contínua, transistor LVTNFET com 5 estágios.



**Figura 15.** Polarização de Corpo com tensão contínua, transistor ZVTNFET com 2 estágios.



**Figura 16.** Polarização de Corpo com tensão contínua, transistor ZVTNFET com 5 estágios.

## 5. CONSIDERAÇÕES FINAIS

As novas topologias estudadas não apresentaram resultados satisfatórios. Não foi possível ser testado o modelo de conexão cruzada, devido a sua resposta ter sido bastante inferior aos resultados já obtidos e as outras topologias.

Os modelos de polarização de corpo se mostraram mais interessante de início, com melhores resultados com saída sem carga e com potências de entrada mais elevadas. No entanto, ao serem testados sob o prisma dos requisitos deste projeto, que são a potência de entrada de -14,35 dBm e carga consumindo corrente de 10  $\mu$ A na saída, tiveram desempenho inferior.

É interessante fazer uma análise dos capacitores que são utilizados no circuito de todos os modelos de retificador. Em ambos os projetos desenvolvidos, eles tiveram seu valor fixado e não foram alterados. Nesse sentido, uma abordagem futura poderia focar em seu estudo.

Como os resultados foram bem abaixo dos desejados, o leiaute do circuito não foi confeccionado e o requisito da área máxima para implementação não pode ser mensurado.

## 6. REFERÊNCIAS BIBLIOGRÁFICAS

- [1] Lemos, L. E. “Projeto de Circuito Integrado de Recuperação de Energia para Aplicação NFC”. No 23° EVINCI, Curitiba, 2015.
- [2] Karolak, D. B. “Design of Radiofrequency Energy Harvesters in CMOS Technology for Low-power Applications”. Tese (Doutorado em Eletrônica) – Universidade de Bordeaux, Bordeaux. 2015.



**APRECIÇÃO DO ORIENTADOR:**

O bolsista demonstrou excelente capacidade de assimilar os conceitos necessários às diferentes etapas do trabalho, incluindo estudo bibliográfico, projeto do esquemático do circuito e simulações, atingindo a maior parte dos objetivos propostos

O bolsista está bem inserido no grupo de pesquisa e soube conciliar suas atividades de iniciação científica com um rendimento acadêmico de excelente nível.

Curso: 102A - Curso de Engenharia Elétrica - Sistemas Eletrônicos Embarcados - Noturno Versão: 2009

Matrícula: GRR20128529

Nome Aluno: LUCAS ERNESTO LEMOS

S.D. Código	Nome Disciplina/Atividade	C.H.	Média	Freq.	Situação	Local
Período: 1o. Semestre de 2012						
A TE200	Engenharia e Sociedade I	30	100,00	100,00	Aprovado	
A TE201	Laboratório Matemático para Engenharia Elétrica I	30	88,00	100,00	Aprovado	
A TE203	Fundamentos Matemáticos para a Engenharia Elétrica I	60	85,00	100,00	Aprovado	
A TE205	Fundamentos de Sistemas Eletromecânicos	60	69,00	96,67	Aprovado	
A TE206	Análise Vetorial na Engenharia Elétrica	60	94,00	96,67	Aprovado	
A TE207	Técnicas de Programação em Engenharia Elétrica I	60	85,00	93,33	Aprovado	
Carga Horária no Período:		300	Índice de Rendimento Acad.: 0,8540			
Período: 2o. Semestre de 2012						
A TE202	Laboratório Matemático para Engenharia Elétrica II	30	100,00	100,00	Aprovado	
A TE204	Fundamentos Matemáticos para a Engenharia Elétrica II	60	96,00	100,00	Aprovado	
A TE208	Técnicas de Programação em Engenharia Elétrica II	60	90,00	96,67	Aprovado	
A TE209	Circuitos Lógicos	60	83,00	96,67	Aprovado	
A TE210	Fundamentos para Análise de Circuitos Elétricos	60	70,00	100,00	Aprovado	
A TE219	Comunicação e Expressão para Engenheiros	30	69,00	86,67	Aprovado	
Carga Horária no Período:		300	Índice de Rendimento Acad.: 0,8470			
Período: 1o. Semestre de 2013						
A TE211	Análise de Circuitos Elétricos I	60	57,00	100,00	Aprovado	
A TE213	Introdução à Expressão Gráfica na Engenharia Elétrica	30	93,00	100,00	Aprovado	
A TE214	Fundamentos da Eletrônica	30	79,00	100,00	Aprovado	
A TE215	Laboratório de Eletrônica I	30	98,00	100,00	Aprovado	
A TE218	Análise de Sinais	60	100,00	100,00	Aprovado	
A TE223	Introdução à Eletroquímica	30	85,00	100,00	Aprovado	
A TE229	Introdução aos Processos Estocásticos em Engenharia Elétrica	60	93,00	100,00	Aprovado	
Carga Horária no Período:		300	Índice de Rendimento Acad.: 0,8550			
Período: 2o. Semestre de 2013						
A TE212	Análise de Circuitos Elétricos II	60	80,00	100,00	Aprovado	
A TE216	Laboratório de Eletrônica II	30	80,00	93,33	Aprovado	
A TE220	Dinâmica de Fenômenos Ondulatórios	60	80,00	96,67	Aprovado	
A TE221	Fenômenos de Transporte I	30	88,00	93,33	Aprovado	
A TE225	Introdução à Teoria Eletromagnética	60	84,00	93,33	Aprovado	
A TE227	Análise, Modelagem e Simulação de Sistemas Dinâmicos I	60	82,00	100,00	Aprovado	
Carga Horária no Período:		300	Índice de Rendimento Acad.: 0,8200			
Período: 1o. Semestre de 2014						
A TE217	Laboratório de Eletrônica III	30	74,00	76,67	Aprovado	
A TE226	Eletromagnetismo Aplicado à Engenharia Elétrica	60	88,00	100,00	Aprovado	
A TE228	Eletrônica Aplicada I	60	95,00	96,67	Aprovado	
A TE230	Microprocessadores e Microcontroladores	60	90,00	83,33	Aprovado	
A TE231	Métodos Numéricos em Engenharia Elétrica	60	84,00		Aprovado	
A TE232	CAD para Eletrônica	30	100,00		Aprovado	
Carga Horária no Período:		300	Índice de Rendimento Acad.: 0,8880			
Período: 2o. Semestre de 2014						
A TE233	Eletrônica de Potência	60	78,00	90,00	Aprovado	
A TE234	Eletrônica Aplicada II	30	87,00	86,67	Aprovado	
A TE235	Elettricidade Aplicada I	60	85,00	100,00	Aprovado	

A = Ativa I = Inativa

Página: 1

Curso: 102A - Curso de Engenharia Elétrica - Sistemas Eletrônicos Embarcados - Noturno Versão: 2009

Matrícula: GRR20128529

Nome Aluno: LUCAS ERNESTO LEMOS

S.D. Código	Nome Disciplina/Atividade	C.H.	Média	Freq.	Situação	Local
A TE236	Laboratório de Eletrônica IV	30	100,00	100,00	Aprovado	
A TE237	Sensores e Instrumentação Eletrônica	60	77,00		Aprovado	
A TE238	Análise, Modelagem e Simulação de Sistemas Dinâmicos II	60	87,00	90,00	Aprovado	
Carga Horária no Período:		300	Índice de Rendimento Acad.: 0,8410			
Período:	1o. Semestre de 2015					
A TE224	Mecânica dos Sólidos para Engenharia Elétrica	60	50,00	100,00	Aprovado	
A TE239	Introdução às Redes de Comunicação	60	77,00	96,67	Aprovado	
A TE240	Controle e Servomecanismo	60	75,00	100,00	Aprovado	
A TE241	Técnicas de Modulação	60	76,00	93,33	Aprovado	
A TE243	Eletricidade Aplicada II	60	80,00	86,67	Aprovado	
Carga Horária no Período:		300	Índice de Rendimento Acad.: 0,7160			
Período:	2o. Semestre de 2015					
TE091	PROGRAMACAO ORIENTADA A OBJETO - ELETRONICA	60	97,00	86,67	Aprovado	
A TE222	Fenômenos de Transporte II	30	84,00	93,33	Aprovado	
A TE242	Ciência e Tecnologia dos Materiais Elétricos	60	93,00	93,33	Aprovado	
A TE244	Sistemas Operacionais Embarcados	60	95,00	93,33	Aprovado	
A TE246	Microeletrônica I	60	97,00	93,33	Aprovado	
A TE247	Construção Eletrônica	30	77,00	100,00	Aprovado	
A TE248	Teoria da Informação e Codificação	60	87,00	93,33	Aprovado	
A TE293	Projeto Integrado A	30	70,00	100,00	Aprovado	
Carga Horária no Período:		390	Índice de Rendimento Acad.: 0,8992			
Período:	1o. Semestre de 2016					
A TE249	Segurança em Instalações e Serviços em Eletricidade	60	91,00	100,00	Aprovado	
A TE250	Introdução a Projetos de Pesquisa Científica e Tecnológica	30	90,00	100,00	Aprovado	
A TE251	Microeletrônica II	60	86,00	90,00	Aprovado	
A TE252	Robótica Aplicada	30	89,00	100,00	Aprovado	
A TE254	Testabilidade e Segurança de Software Embarcado	60	92,00	100,00	Aprovado	
A TE294	Projeto Integrado B	30	70,00	100,00	Aprovado	
Carga Horária no Período:		270	Índice de Rendimento Acad.: 0,8744			
Período:	2o. Semestre de 2016					
PC001	MOBILIDADE ACADÊMICA INTERNACIONAL I	0	Matricula			
Carga Horária no Período:		0	Índice de Rendimento Acad.: 0.0000			
Período:	1o. Semestre de 2017					
PC002	MOBILIDADE ACADÊMICA INTERNACIONAL II	0	Matricula			
Carga Horária no Período:		0	Índice de Rendimento Acad.: 0.0000			
Período:	2o. Semestre de 2017					
PC003	MOBILIDADE ACADÊMICA INTERNACIONAL III	0	Matricula			
Carga Horária no Período:		0	Índice de Rendimento Acad.: 0.0000			
Período:	1o. Semestre de 2018					
PC004	MOBILIDADE ACADÊMICA INTERNACIONAL IV	0	Matricula			
Carga Horária no Período:		0	Índice de Rendimento Acad.: 0.0000			



## 11.02.05.99.34 Histórico Escolar (IRA por Aluno)

Curso: 102A - Curso de Engenharia Elétrica - Sistemas Eletrônicos Embarcados - Noturno

Versão: 2009

Matrícula: GRR20128529

Nome Aluno: LUCAS ERNESTO LEMOS

S.D. Código	Nome Disciplina/Atividade	C.H.	Média	Freq.	Situação	Local
Total Carga Horária:		2760			Índice de Rend. Acad. Geral:	0,8453

Local Dispensa