

PROJEKAT IZ DIGITALNIH SISTEMA OTPORNIH NA OTKAZ

NAZIV PROJEKTA:

Projektovanje FIR filtra otpornog na otkaz

TEKST ZADATKA:

Korišćenjem „*Self-Purging*“ tehnike hibridne redudanse modelovati FIR filter koji ima mogućnost tolerancije kvara. Parametrizovati dizajn tako da korisnik može odrediti broj redundantnih modula. Uporediti rezultate sa običnim FIR filtrom i analizirati utrošenost resursa i maksimalnu frekvenciju.

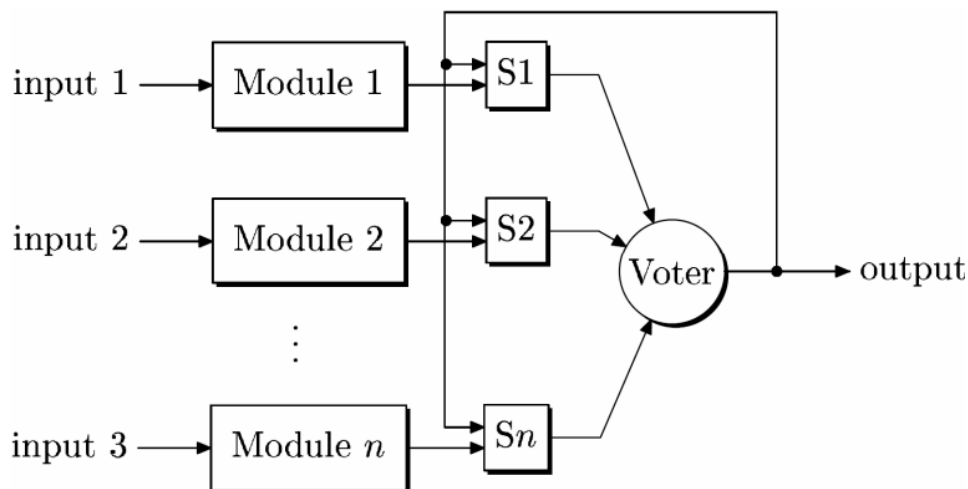
PROJEKAT IZRADILA:

Brestovački Lenka E1 92/2021

1. Uvod

Hibridne redundanse kombinuju prednosti aktivnih i pasivnih redundansi tako što maskiraju greške i time sprečavaju trenutne pogrešne rezultate, a zatim vrše detekciju, lokalizaciju i oporavak od kvara.

Jedna od najpoznatijih metoda hibridne redundanse je „*Self-Purging*“ metoda (slika 1)



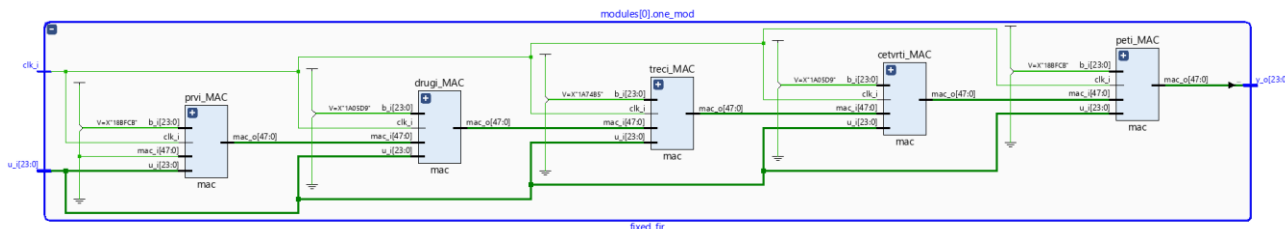
Slika 1: Implementacija Self-Purging redundanse

„*Self-Purging*“ tehnika se sastoji od n identičnih modula koji aktivno učestvuju u glasanju. Potom se izlaz glasačke komponente poredi sa izlazom svakog od pojedinačnih modula i ukoliko postoji neslaganje taj modul se isključuje iz daljeg glasanja pod pretpostavkom da je velika verovatnoća da će komponenta koja je u nekom trenutku pokvarena, nastaviti svoj neispravan rad u narednim trenucima. Za poređenje rezultata glasanja i isključivanje modula koristi se prekidačka komponenta. Glasačka komponenta realizuje se kao „*threshold*“ glasač koji se prilagođava promenljivom broju ulaza.

„*Self-purging*“ metoda sa n redundantnih modula može da maskira $n-2$ modula u kvaru. Grešku na $n-1$ modulu će samo detektovati, ali neće biti u stanju da je maskira.

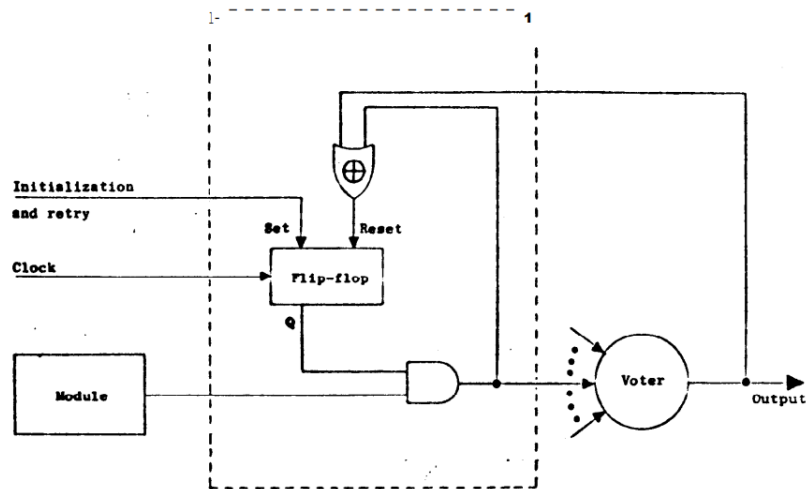
2. Implementacija sistema

Kao početni sistem korišćen je filter četvrtog reda, širine podataka 24 bita čija implementacija je detaljno opisana [1]. Blok šema implementiranog sistema prikazana je na slici 2.



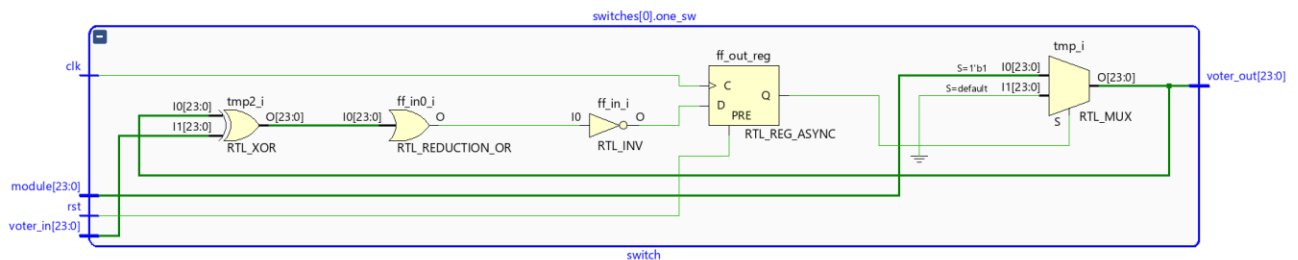
Slika 2: Blok šema osnovnog sistema

Prekidačka komponenta realizovana je na način opisan u [2]. Šema prekidačke komponente prikazana je na slici 3. Svaki bit izlaza glasačke komponente poredi se XOR operacijom sa odgovarajućim bitom ulaza u glasačku komponentu sa strane modula. Njihovi izlazi se potom redukuju na upravljački reset signal flip-flopa. Flip-flop se resetuje niskim logičkim nivoom. Izlaz flip-flopa se vodi na ulaz AND kapije zajedno sa izlazom samog modula, a izlaz ove AND kapije predstavlja ulaz u glasačku komponentu. Time se omogućava trajno isključivanje pokvarene komponente, fiksiranjem ulazne magistrale tog modula u glasač na 0.



Slika 3: šema prekidačke komponente

Blok šema prekidačke komponente prikazana je na slici 4.



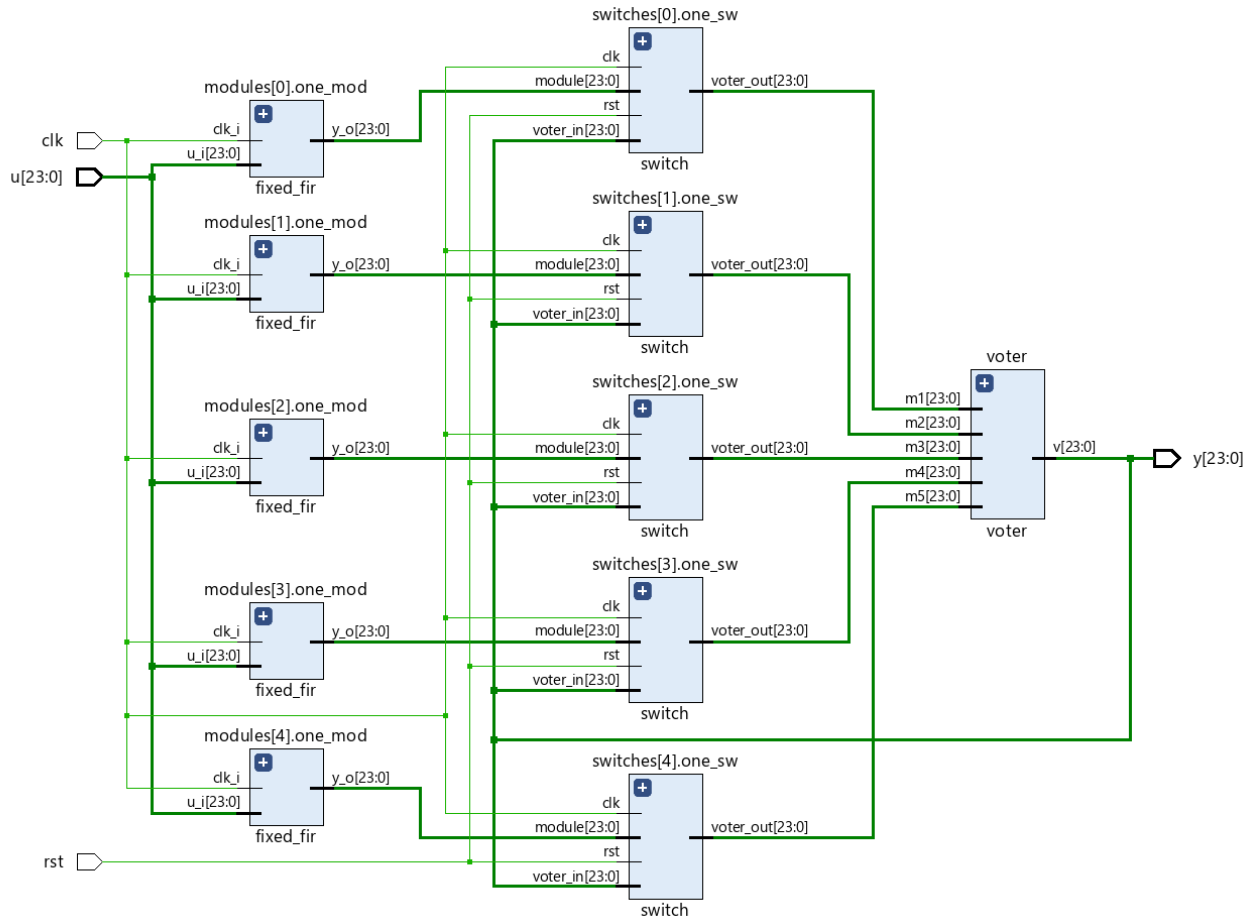
Slika 4: Blok šema prekidačke komponente

Glasačka komponenta implementirana je kao „*threshold*“ glasač opisan u [3]. Ulazi sistema x_i se sortiraju u neopadajućem redu tako da se dobije sortirani niz y . Ukoliko je $\sum_{i=1}^N (x_i + 2y_i) \geq N$,

gde je N broj ulaza u glasač, odnosno broj redundantnih modula, izlaz glasača je 1, u suprotnom je 0. U radu je izvršena jednostavna implementacija bez optimizacija, te su korišćeni množački moduli. Ova implementacija značajno bi se popravila mapiranjem množenja na pomeračke registre umesto na DSP jedinice budući da je potrebno množenje sa 2. Još jedno od mogućih pojednostavljenja je zamena „*threshold*“ glasača „*majority*“ glasačem.

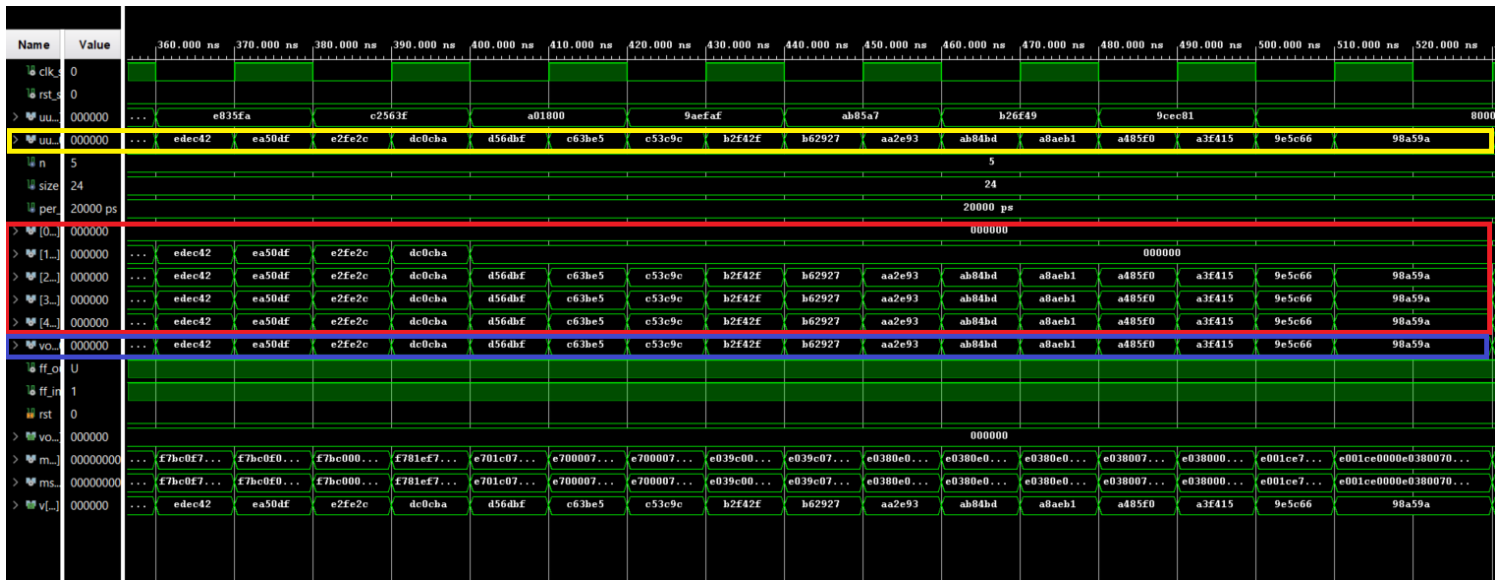
3. Testiranje ispravnosti

Celokupni sistem implementiran je sa pet redundantnih modula (slika 5).

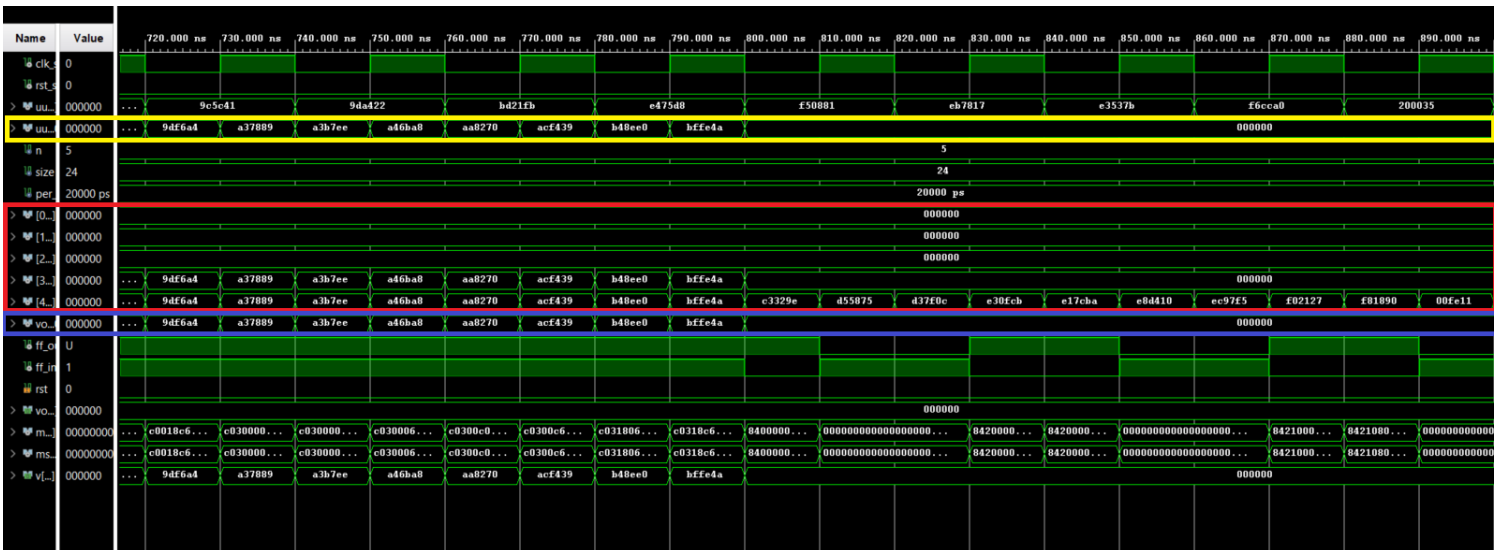


Slika 5: Blok šema čitavog sistema

Ispravnost sistema testirana je pokretanjem simulacije za fiksne unapred predodređene ulaze. Simulacija je prvobitno pokrenuta nad osnovnim FIR filtrom bez redundansi i rezultati su zabeleženi u fajl. Potom je simulacija ponovo pokrenuta nad čitavim sistemom sa modelovanim kvarovima. Utvrđeno je da se sistem ponašao pravilno sve dok je kvar bio prisutan na $n-2$ komponente, kao što se može videti na slici 6. Nakon kvara na $n-1$ komponenti na izlazu glasačke komponente pojavljuje se 0 koja se propagira na izlaz sistema (slika 7).



Slika 6: Rezultati simulacije za ispravna četiri i tri modula:
Crveno – izlazi modula, plavo – izlaz glasača, žuto – izlaz sistema



Slika 7: Rezultati simulacije za ispravna dva i jedan modul:
Crveno – izlazi modula, plavo – izlaz glasača, žuto – izlaz sistema

4. Utrošenost resursa i učestanost sistema

Prilikom implementacije sistema za *Xilinx Zynq 7000* platformu utrošeni su sledeći resursi:

LUT	FF	BRAM	URAM	DSP
61	1	0.0	0	39
50	1	0.0	0	39

Slika 8: Utrošenost resursa

Dok je utrošenost LUT-ova od 0.3% zanemarljiva, utrošenost DSP jedinica iznosi 48.75%. Broj DSPjedinica mogao bi se smanjiti efikasnijom implementacijom glasačke jedinice.

Prilikom analize učestanosti sistema, podešavana je perioda taktnog signala tako da se dobije maksimalna moguća frekvencija. Perioda koja je zadovoljila potrebe sistema iznosi 11ns. I tom prilikom dobijeni su sledeći rezultati vremenske analize:

Worst Negative Slack (WNS): 0.231 ns
Total Negative Slack (TNS): 0.000 ns
Number of Failing Endpoints: 0
Total Number of Endpoints: 193

Slika 9: Vremenska analiza

Maksimalna učestanost na osnovu periode izračunava se po formuli $f = 1/(T - WNS)$, što u našem slučaju iznosi 92.86MHz.

5. Literatura

[1] <<http://www.elektronika.ftn.uns.ac.rs/diskretni-sistemi/wp-content/uploads/sites/86/2018/03/Vezba-8.zip>> oktobar 2022

[2] J. Losq. 1975 „*A Highly Efficient Redudancy Scheme: Self-Purging Redudancy*“ < <http://i.stanford.edu/pub/cstr/reports/csl/tr/73/62/CSL-TR-73-62.pdf>> oktobar 2022.

[3] J.M.Quintana, M.J.Avedillo, J.L.Huertas „*Efficient Realiation of a threshold voter for self-purging redudancy*“ < <https://digital.csic.es/bitstream/10261/85157/1/Efficient%20realization.pdf>> oktobar 2022.

[4] < <https://www.elektronika.ftn.uns.ac.rs/digitalni-sistemi-otporni-na-otkaz/specifikacija/specifikacija-predmeta/>> oktobar 2022.