# PROJEKAT IZ DIGITALNIH SISTEMA OTPORNIH NA OTKAZ

#### **NAZIV PROJEKTA:**

Projektovanje FIR filtra otpornog na otkaz

#### **TEKST ZADATKA:**

Korišćenjem "Self-Purging" tehnike hibridne redudanse modelovati FIR filtar koji ima mogućnost tolerancije kvara. Parametrizovati dizajn tako da korisnik može odrediti broj redudantnih modula. Uporediti rezultate sa običnim FIR filtrom i analizirati utrošenost resursa i maksimalnu frekvenciju.

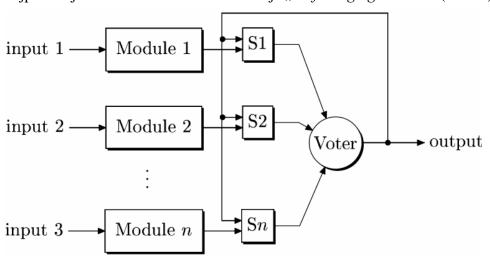
#### PROJEKAT IZRADILA:

Brestovački Lenka E1 92/2021

## 1. Uvod

Hibridne redudanse komibnuju prednosti aktivnih i pasivnih redudansi tako što maskiraju greške i time sprečavaju trenutne pogrešne rezultate, a zatim vrše detekciju, lokalizaciju i oporavak od kvara.

Jedna od najpoznatijih metoda hibridne redudanse je "Self-Purging" metoda (slika 1)



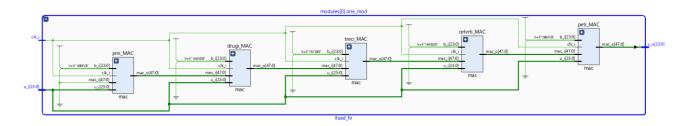
Slika 1: Implementacija Self-Purging redudanse

"Self-Purginig" tehnika se sastoji od n identičnih modula koji aktivno učestvuju u glasanju. Potom se izlaz glasačke komponente poredi sa izlazom svakog od pojedinačnih modula i ukoliko postoji neslaganje taj modul se isključuje iz daljeg glasanja pod pretpostavkom da je velika verovatnoća da će komponenta koja je u nekom trenutku pokvarena, nastaviti svoj neispravan rad u narednim trenucima. Za poređenje rezultata glasanja i isključivanje modula koristi se prekidačka komponenta. Glasačka komponenta realizuje se kao "treshold" glasač koji se prilagođava promenljivom broju ulaza.

"Self-purging" metoda sa n redudantnih modula može da maskira n-2 modula u kvaru. Grešku na n-1 modulu će samo detektovati, ali neće biti u stanju da je maskira.

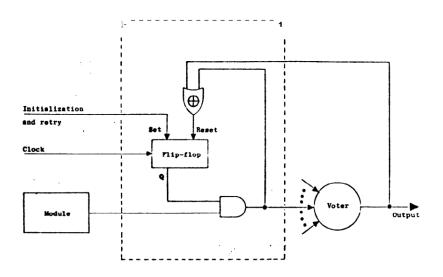
## 2. Implementacija sistema

Kao početni sistem korišćen je filtar četvrtog reda, širine podataka 24 bita čija implementacija je detaljno opisana [1]. Blok šema implementiranog sistema prikazana je na slici 2.



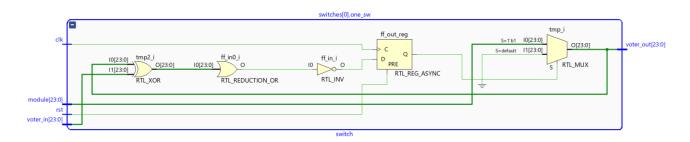
Slika 2: Blok šema osnovnog sistema

Prekidačka komponenta realizovana je na način opisan u [2]. Šema prekidačke komponente prikazana je na slici 3. Svaki bit izlaza glasačke komponente poredi se XOR operacijom sa odgovarajućim bitom ulaza u glasačku komponentu sa strane modula. Njihovi izlazi se potom redukuju na upravljački reset signal flip-flopa. Flip-flop se resetuje niskim logičkim nivoom. Izlaz flip-flopa se void na ulaz AND kapije zajedno sa izazom samog modula, a izlaz ove AND kapije predstavlja ulaz u glasačku komponentu. Time se omogućava trajno isključivanje pokvarene komponente, fiksiranjem ulazne magistrale tog modula u glasač na 0.



Slika 3: šema prekidačke komponente

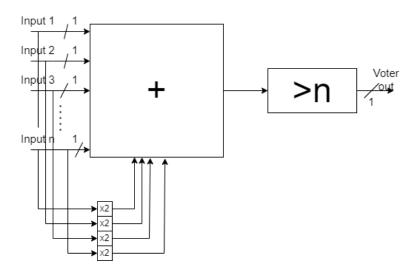
Blok šema prekidačke komponente prikazana je na slici 4.



Slika 4: Blok šema prekidačke komponente

Glasačka komponenta implementirana je kao "treshold" glasač opisan u [3]. Ulazi sistema  $x_i$  se sortiraju u neopadajućem redu tako da se dobije sortirani niz y. Ukoliko je  $\sum_{x_i=2y_i\geq N}^{N} (x_i+2y_i) \geq N$ .

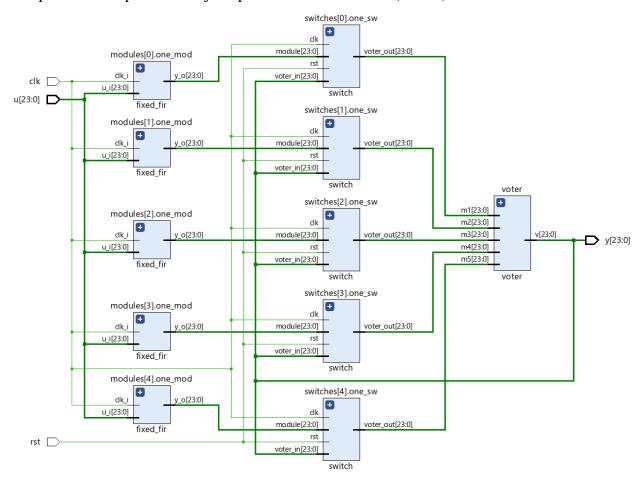
gde je N broj ulaza u glasač, odnosno broj redudantnih modula, izlaz glasača je 1, u suprotnom je 0. Blok šema glasačke jedinice prikazana je na slici 5. Još jedno od mogućih pojednostavljenja je zamena "*treshold*" glasača "*majority*" glasačem.



Slika 5: Blok šema glasačke komponente

## 3. Testiranje ispravnosti

Celokupni sistem implementiran je sa pet redudantnih modula (slika 6).



Slika 6: Blok šema čitavog sistema

Ispravnost sistema testirana je pokretanjem simulacije za fiksne unapred predodređene ulaze. Simulacija je prvobitno pokrenuta nad osnovnim FIR filtrom bez redudansi i rezultati su zabeleženi u fajl. Potom je simulacija ponovo pokrenuta nad čitavim sistemom sa modelovanim kvarovima. Utvrđeno je da se sistem ponašao pravilno sve dok je kvar bio prisutan na n-2 komponente, kao što se može videti na slici 7. Nakon kvara na n-1 komponenti na izlazu glasačke komponente pojavljuje se 0 koja se propagira na izlaz sistema (slika 8).

Name	Value		360.000 ns	.370.000 ns	.380.000 ns	.390.000 ns	400.000 ns	410.000 ns	420 000	430 000	,440.000 ns	450 000	.460.000 ns	.470.000 ns	.480.000 ns	.490,000 ns	.500.000 ns	.510.000 ns .	520.000 ns
			360.000 ns	370.000 RS	380.000 ns	390.000 ns	400.000 ns	410.000 ns	420.000 ns	430.000 ns	440.000 RS	450.000 ns	460.000 ns	470.000 RS	480.000 hs	490.000 RS	300.000 RS	310.000 ns	120.000 ns
le clk_s																			
le rst_s		=	-00	5fa	c25	626	a01	000	<u> </u>	faf	ab8		b26	640		c81	<del>↓</del>		80
<b>₩</b> uu	000000	<u></u>			<u> </u>		<u> </u>		<u> </u>		<u> </u>		<u> </u>		<u> </u>		<u> </u>		
	000000		edec42	ea50df	e2fe2c	dc0cba	d56dbf	c63be5	a53a9a	b2f42f	ь62927	aa2e93	ab84bd	a8aeb1	a485f0	a3f415	9e5c66	98a5	9a
₩n	-												5						
₩ size													24						
₩ per_	20000 ps												20000 ps						
₩ [0]	000000												000000						
₩ [1]	000000	•••	edec42	ea50df	e2fe2c	dcOcba									00000	10			
₩ [2]	000000	•••	edec42	ea50df	e2fe2c	dc0cba	d56db£	c63be5	e53e9e	b2f42f	ь62927	aa2e93	ab84bd	a8aeb1	a485£0	a3f415	9e5c66	98a5	9a
₩ [3]	000000	•••	edec42	ea50d£	e2fe2c	dc0cba	d56db£	c63be5	e53e9e	b2f42f	ь62927	aa2e93	ab84bd	a8aeb1	a485£0	a3£415	9e5c66	98a5	9a
₩ [4]	000000		edec42	ea50df	e2fe2c	dc0cba	d56dbf	c63be5	c53c9c	b2f42f	ь62927	aa2e93	ab84bd	a8aeb1	a485f0	a3f415	9e5c66	98a5	9a
₩ vo	000000		edec42	ea50df	e2fe2c	dc0cba	d56db£	c63be5	c53c9c	b2f42f	ь62927	aa2e93	ab84bd	a8aeb1	a485f0	a3f415	9e5c66	98a5	9 a
₩ ff_o	U								<u> </u>				Ť					Ť T	
¹⊌ ff_in	1																	<del>                                     </del>	
₩ rst	0																		
	000000												000000						
₩ m]	00000000	<del></del>	f7bc0f7	f7bc0f0	£7bc000	f781ef7	e701c07	e700007	e700007	e039c00	e039c07	e0380e0	e0380e0	e0380e0	e038007	e038000	e001ce7	e001ce0000e03	880070
₩ ms	00000000	$\equiv$	f7bc0f7	£7bc0£0	£7bc000	£781e£7	e701c07	e700007	e700007	e039c00	e039c07	e0380e0	e0380e0	e0380e0	e038007	e038000	e001ce7	e001ce0000e03	880070
	000000	$\equiv$	edec42	ea50df	e2fe2c	dc0cba	d56dbf	c63be5	c53c9c	b2£42£	ь62927	aa2e93	ab84bd	a8aeb1	a485£0	a3f415	9e5c66	98a5	9a
	000000			1	1				1		1		1		1	1	1	1	

Slika 7: Rezultati simulacije za ispravna četiri i tri modula: Crveno – izlazi modula, plavo – izlaz glasača, žuto – izlaz sistema

Name	Value		720.000 ns	730.000 ns	740.000 ns	750.000 ns	760.000 ns	770.000 ns	780.000 ns	790.000 ns	800.000 ns	810.000 ns	820.000 ns	830.000 ns	840.000 ns	850.000 ns	860.000 ns	870.000 ns	880.000 ns	890.000 ns
l⊌ clk_s	0																			
™ rst_s	0																			
<b>₩</b> uu	000000		905	ic41	9da	422	bd2	1fb	e47	5d8	£50	881	eb?	7817	e35	37b		ca0	200	1035
<b>₩</b> uu!	000000		9df6a4	a37889	a3b7ee	a46ba8	aa8270	ac£439	b48ee0	bffe4a	X.						00000	0		
₩ n	5												. 5							
₩ size	24												24							
₩ per_	20000 ps												20000 ps							
₩ [0]	000000												000000							
₩ [1]	000000												000000							
₩ [2]	000000												000000							
₩ [3]	000000		9df6a4	a37889	a3b7ee	a46ba8	aa8270	ac£439	b48ee0	bffe4a	<b>X</b>						00000	0		
₩ [4]	000000		9df6a4	a37889	a3b7ee	a46ba8	aa8270	ac£439	b48ee0	bffe4a	c3329e	d55875	d37£0c	e30£cb	e17cba	e8d410	ec97£5	£02127	£81890	00fe11
₩ vo	000000		9df6a4	a37889	a3b7ee	a46ba8	aa8270	acf439	b48ee0	bffe4a	X						00000	0		
¹⊌ ff_o	U																			
¹⊌ ff_in	1																			
₩ rst	0																			
₩ vo	000000												000000							
₩ m]	00000000		c0018c6	c030000	c030000	c030006	c0300c0	c0300c6	c031806	c0318c6	8400000	00000000000	0000000	8420000	8420000	00000000000	0000000	8421000	8421080	000000000
₩ ms	00000000		c0018c6	c030000	c030000	c030006	c0300c0	c0300c6	c031806	c0318c6	8400000	00000000000	0000000	8420000	8420000	00000000000	0000000	8421000	8421080	000000000
₩ v[]	000000	• • •	9df6a4	a37889	a3b7ee	a46ba8	aa8270	ac£439	b48ee0	bffe4a	X						00000	0		

Slika 8: Rezultati simulacije za ispravna dva i jedan modul: Crveno – izlazi modula, plavo – izlaz glasača, žuto – izlaz sistema

## 4. Utrošenost resursa i učestanost sistema

Prvobitno je izvršena implementacija glasačke jedinice DSP ćelijama. Prilikom implementacije sistema za *Xilinx Zynq 7000* platformu utrošeni su sledeći resursi:

LUT	FF	BRAM	URAM	DSP
216	5	0.0	0	80
231	5	0.0	0	80

Slika 9: Utrošenost resursa

Dok je utrošenost LUT-ova od 1.3% zanemarljiva, utrošenost DSP jedinica je kritična i iznosi 100%. Broj DSP jedinica mogao bi se smanjiti efikasnijom implementacijom glasačke jedinice.

Prilikom analize učeastanosti sistema, podešavana je perioda taktnog signala tako da se dobije maksimalna moguća frekvencija. Perioda koja je zadovoljila potrebe sistema iznosi 11ns. I tom prilikom dobijeni su sledeći rezultati vremenske analize:

Worst Negative Slack (WNS): 0.284 ns
Total Negative Slack (TNS): 0.000 ns
Number of Failing Endpoints: 0
Total Number of Endpoints: 965

Slika 10: Vremenska analiza

Maksimalna učestanost na osnovu periode izračunava se po formuli f = 1/(T - WNS), što u našem slučaju iznosi 93.318MHz.

Skaliranjem sistema brojem redudantnih modula uočeno je da je iskorišćenost DSP ćelija uvek 100%. Iz tog razloga glasačka jedinica je implementirana korišćenjem LUT, budući da su sabiranja koja se obavljaju jednostavna. Dobijeni rezultati prikazani su u sledećoj tabali:

Broj modula	LUT	FF	DSP	Frekvencija
6	1302	1152	60	104.297MHz
5	134	5	75	114.784MHz
4	112	4	60	119.104MHz
3	90	3	45	123.517MHz

## 5. Literatura

- [1] < http://www.elektronika.ftn.uns.ac.rs/diskretni-sistemi/wp-content/uploads/sites/86/2018/03/Vezba-8.zip> oktobar 2022
- [2] J. Losq. 1975 "A Highly Efficient Redudancy Scheme: Self-Purging Redudancy" < <a href="http://i.stanford.edu/pub/cstr/reports/csl/tr/73/62/CSL-TR-73-62.pdf">http://i.stanford.edu/pub/cstr/reports/csl/tr/73/62/CSL-TR-73-62.pdf</a> oktobar 2022.
- [3] J.M.Quintana, M.J.Avedillo, J.L.Huertas "*Efficient Realiyation of a threshold voter for self-purging redudancy*" < <a hreshold <a hreshold <a hreshold line in the image is a self-purging redudancy (a https://digital.csic.es/bitstream/10261/85157/1/Efficient%20realization.pdf</a> oktobar 2022.
- [4] < <a href="https://www.elektronika.ftn.uns.ac.rs/digitalni-sistemi-otporni-na-otkaz/specifikacija/specifikacija-predmeta/">https://www.elektronika.ftn.uns.ac.rs/digitalni-sistemi-otporni-na-otkaz/specifikacija/specifikacija-predmeta/</a> oktobar 2022.