

第八章 DMA

8.1 概述

S3c2440A 支持位于系统总线和外设总线之间的 4 个通道的控制器。每个 DMA 控制器通道无限制地执行系统总线上的设备或外设总线上的设备之间数据搬移。换句话说，就是每个通道都操作一下四种情况：

- (1) 源和设备都在系统总线上
- (2) 源设备在系统总线上，目的设备在外设总线上
- (3) 源设备在外设总线上，目的设备在系统总线上
- (4) 源设备和目的设备都在外设总线上

DMA 的主要有点就是其传输数据不需要 CPU 的干涉。DMA 操作可由软件或来自内设或外部请求引脚来初始化。

8.1.1 DMA 请求源

如果通过 DCON 寄存器 H/W DMA 的请求模式被选择，每个 DMA 控制器通道可以从四个 DMA 源中选择一个 DMA 请求源（如果 S/W 请求模式被选中，DMA 请求源就完全没有任何意义）。如表 8-1 所示对于每个通道的 4 个 DMA 源：

	Source0	Source1	Source2	Source3	Source4	Source5	Source6
Ch-0	nXDREQ0	UART0	SDI	Timer	USB device EP1	I2SSDO	PCMIN
Ch-1	nXDREQ1	UART1	I2SSDI	SPI0	USB device EP2	PCMOUT	SDI
Ch-2	I2SSDO	I2SSDI	SDI	Timer	USB device EP3	PCMIN	MICIN
Ch-3	UART2	SDI	SPI1	Timer	USB device EP4	MICIN	PCMOUT

这里 nXDREQ0 和 nXDREQ1 表示两个外部源（外部设备），I2SSDO 和 I2SSDI 分别表示 IIS 传输和接收。

8.1.2 DMA 操作

DMA 使用三态 FSM（有限状态机）进行操作，其由一下三个步骤来描述：

状态 1： 作为初始状态，DMA 等待 DMA 请求。一旦请求到达，其进入状态 2。在此状态，DMA ACK 和 INT REQ 都为 0。

状态 2： 在此状态，DMA ACK 变成 1 且计数器（CURR_TC）从 DCONN[19:0]装载。注意 DMA ACK 直到后面被清除一直保持 1。

状态 3： 在此状态，进行 DMA 原子操作的子状态机被初始化。此子状态机从源地址读取数据并写入目的地址。此操作应该考虑数据大小和传输大小（single or burst）。在全服务模式 Whole service mode 中，此操作一直被重复直到计数器（CURR_TC）变成 1；而在单服务模式 Single service mode 中，此操作仅被执行一次。主有限机对计数器（CURR_TC）减少计数。此外，当计数器（CURR_TC）变成 0 且外部中断设置 DCON[29]寄存器被置 1，主状态机发出中断请求信号（INT REQ）。另外，遇到以下情况，其清除 DMA ACK。

- (1) 在全服务模式下计数器（CURR_TC）变成 0
- (2) 在单个服务模式下计数器原子操作完成

注意：在单个服务模式下，主状态机的三个状态执行然后停止，再等待其他的 DMA REQ。如果 DMA REQ 到来，将重复这样的三个状态。因此，每个原子传输过程中 DMA ACK 总是先有效再无效。相反，在全服务模式中，主状态机一直在状态 3 等待，直到计数器（CURR_TC）变成 0。所以 DMA ACK 在这个传输过程中有效，然后当计数器（CURR_TC）为 0 时无效。

但是不管服务模式如何，一旦计数器（CURR_TC）变成 0，中断请求信号 INT REQ 发出。

8.1.3 外部 DMA 请求/应答协议

有三种类型的外部 DMA 请求/应答协议（单服务请求，单服务握手和全服务握手模式）。每种模式都定义了像 DMA 请求和应答信号和这些协议如何相关。

8.1.4 基本 DMA 时序

DMA 服务意味着在 DMA 操作中执行一对读写周期，其形成了一个 DMA 操作。如图 8-1 所示 s3c2440A 的 DMA 操作的基本时序。

- 在所有模式中，XnXDREQ 和 XnXDACK 的建立时间和延迟时间是一致的。
- 如果 XnXDREQ 满足其建立时间，其将被同步两个时钟周期且 XnXDACK 被引发。
- 在 XnXDACK 被引发后，DMA 请求总线，如果其得到总线控制权，他将执行操作。当 DMA 操作完成后，XnXDACK 被设无效。

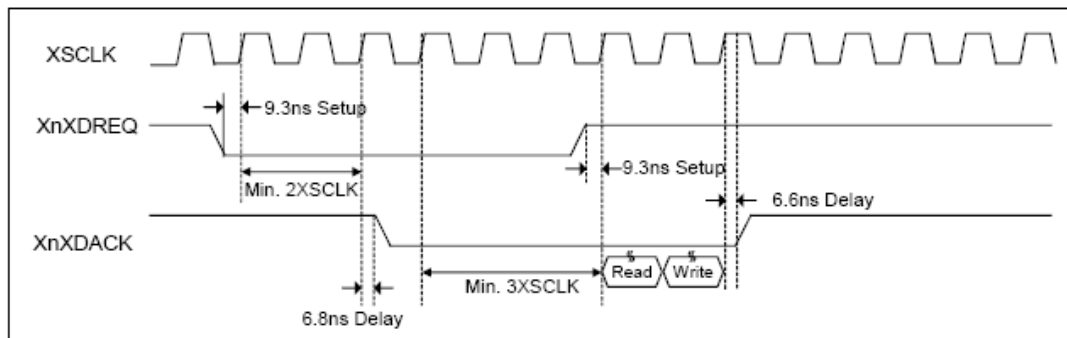


Figure 8-1. Basic DMA Timing Diagram

8.1.5 请求/握手模式对比

请求和握手模式与 XnXDREQ 和 XnXDACK 之间的协议有关。如图 8-2 所示两种模式的不同。

在一个传输的末尾（Single/Burst transfer），DMA 检测两次同步的 XnXDREQ 的状态。

请求模式

- 如果 XnXDREQ 保持有效，下个传输马上开始，否则它会一直等到 XnXDREQ 有效。

握手模式

- 如果 XnXDREQ 无效，DMA 在两个周期内将 XnXDACK 设无效。否则他会一直等 XnXDREQ 无效。

警告：只有在 XnXDACK 无效（高电平）以后，XnXDREQ 才能为有效（低电平）。

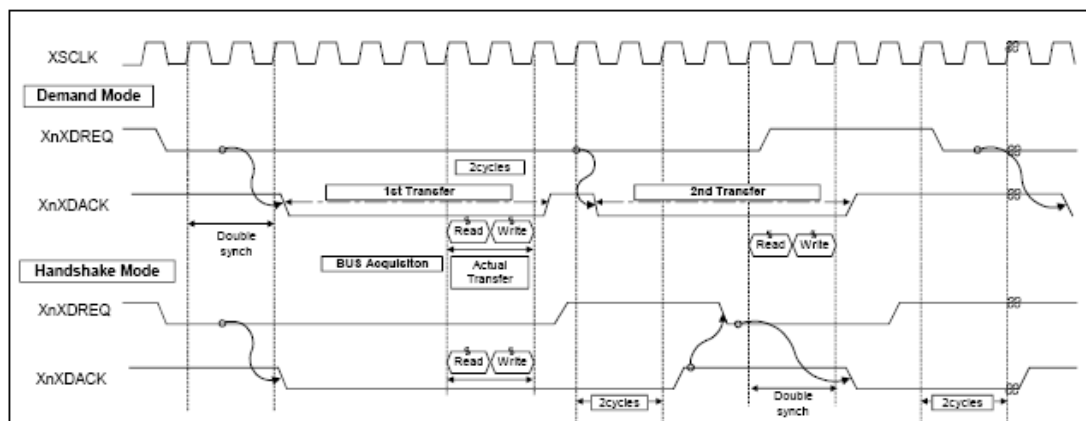


Figure 8-2. Demand/Handshake Mode Comparison

8.1.6 传输大小

-两种不同的传输大小：unit 和 burst4

-在传输大块数据时 DMA 掌握总线。这样其他的总线主设备就不能得到总线控制权。

Burst4 的传输大小

在 Burst4 传输中有 4 个连续的读写操作被分别执行。

注意：Unit 传输大小：一个读和一个写被执行。

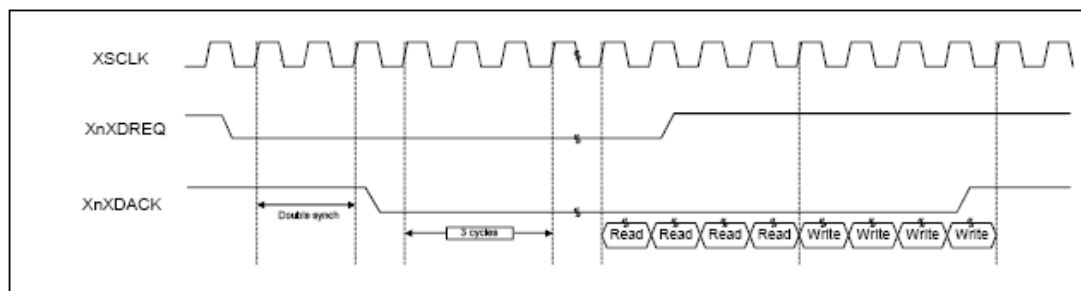


Figure 8-3. Burst 4 Transfer Size

8.1.7 举例

Unit 传输大小请求模式下的单服务

对于每个 unit 传输（单服务模式）XnXDREQ 都需要为有效。当 XnXDREQ 为有效时（请求模式）操作将继续，一对读写操作（单传输大小）被执行。

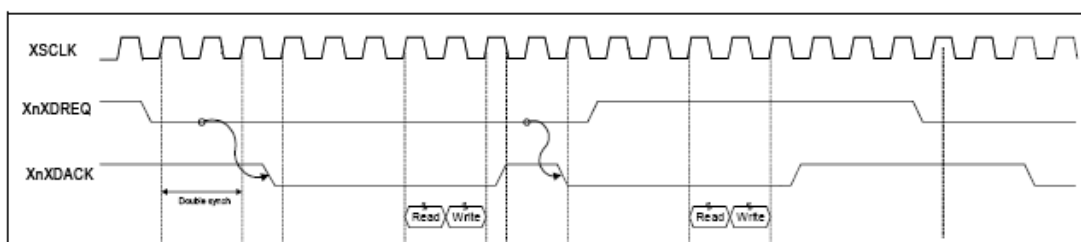


Figure 8-4. Single service in Demand Mode with Unit Transfer Size

Unit 传输大小握手模式下的单服务

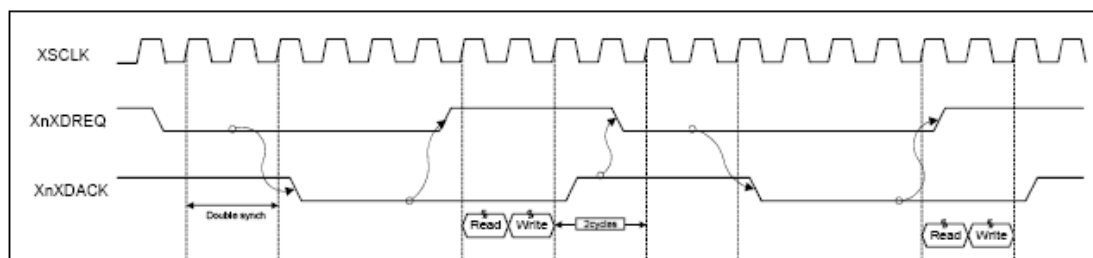


Figure 8-5. Single service in Handshake Mode with Unit Transfer Size

Unit 传输大小握手模式下的全服务

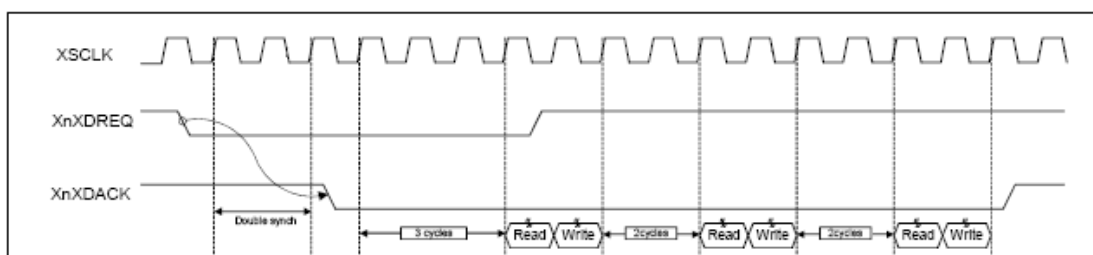


Figure 8-6. Whole service in Handshake Mode with Unit Transfer Size

8.2 DMA 特殊寄存器

每个 DMA 通道都有 9 个控制寄存器（4 个通道 DMA 控制器共计 36 个寄存器）。6 个寄存器用来控制 DMA 传输，其他三个监视 DMA 控制器的状态。这些寄存器的详细情况如下：

- (1) DMA 初始源寄存器(DISRC)
- (2) DMA初始源控制寄存器(DISRCC)
- (3) DMA初始目的寄存器(DIDST)
- (4) DMA初始目的控制寄存器(DIDSTC)
- (5) DMA控制寄存器(DCON)
- (6) DMA状态寄存器（DSTAT）
- (7) DMA当前源寄存器(DCSRC)
- (8) DMA当前目的寄存器(DCDST)
- (9) DMA屏蔽触发寄存器(DMASKTRIG)

8.2.1DMA 初始源寄存器

DMA INITIAL SOURCE REGISTER (DISRC)

寄存器	地址	读写	描述	复位值
DISRC0	0x4B000000	R/W	DMA0 初始源寄存器	0x00000000
DISRC1	0x4B000040	R/W	DMA1 初始源寄存器	0x00000000
DISRC2	0x4B000080	R/W	DMA2 初始源寄存器	0x00000000
DISRC3	0x4B0000C0	R/W	DMA3 初始源寄存器	0x00000000

DISRCn	位	描述	初始值
S_ADDR	[30:0]	用于传输的源数据基址（开始地址）。如果 CURR_SRC 为 0 且 DMA ACK 为 1，该位值将被装载到 CURR_SRC。	0x00000000

8.2.2 DMA 初始源控制寄存器

DMA INITIAL SOURCE CONTROL REGISTER (DISRCC)

寄存器	地址	读写	描述	复位值
DISRCC0	0x4B000004	R/W	DMA0 初始源控制寄存器	0x00000000
DISRCC1	0x4B000044	R/W	DMA1 初始源控制寄存器	0x00000000
DISRCC2	0x4B000084	R/W	DMA2 初始源控制寄存器	0x00000000
DISRCC3	0x4B0000C4	R/W	DMA3 初始源控制寄存器	0x00000000

DISRCCn	位	描述	初始值
LOC	[1]	位 1 被用于选择本地源。 0: 源在系统总线(AHB)上。 1: 源在外设总线(APB)上。	0
INC	[0]	位 0 被用于选择地址增加。 0: 增加 1: 固定 如果为 0, 每次传输以后, 地址增加相应的数据大小 如果为 1, 每次传输以后, 地址保持不变。(burst 模式下, 地址在burst传输中增加, 但是在传输后被初始值覆盖)	0

8.2.3 DMA 初始目的寄存器

DMA INITIAL DESTINATION REGISTER (DIDST)

寄存器	地址	读写	描述	复位值
DIDST0	0x4B000008	R/W	DMA0 初始目的控制寄存器	0x00000000
DIDST1	0x4B000048	R/W	DMA1 初始目的控制寄存器	0x00000000
DIDST2	0x4B000088	R/W	DMA2 初始目的控制寄存器	0x00000000
DIDST3	0x4B0000C8	R/W	DMA3 初始目的控制寄存器	0x00000000

DIDSTn	位	描述	初始值
D_ADDR	[30:0]	用于传输的目的数据基址 (开始地址)。如果 CURR_SRC 为 0 且 DMA ACK 为 1, 该位值将被装载到 CURR_SRC。	0x00000000

8.2.4 DMA 初始目的控制寄存器

DMA INITIAL DESTINATION CONTROL REGISTER (DIDSTC)

寄存器	地址	读写	描述	复位值
DIDSTC0	0x4B00000C	R/W	DMA0 初始目的控制寄存器	0x00000000
DIDSTC1	0x4B00004C	R/W	DMA1 初始目的控制寄存器	0x00000000
DIDSTC2	0x4B00008C	R/W	DMA2 初始目的控制寄存器	0x00000000
DIDSTC3	0x4B0000CC	R/W	DMA3 初始目的控制寄存器	0x00000000

DISRCCn	位	描述	初始值
CHK_INT	[2]	当自动重载被设置, 选择中断出现时间。 0: 当TC为 0, 中断出现 1: 自动重载被执行后, 中断出现	0
LOC	[1]	位 1 被用于选择本地目的。 0: 源在系统总线(AHB)上。 1: 源在外设总线(APB)上。	0
INC	[0]	位 0 被用于选择地址增加。 0: 增加 1: 固定 如果为 0, 每次传输以后, 地址增加相应的数据大小 如果为 1, 每次传输以后, 地址保持不变。 (burst模式下, 地址在burst传输中增加, 但是在传输后被初始值覆盖)	0

8.2.5 DMA 控制寄存器

DMA CONTROL REGISTER (DCON)

寄存器	地址	读写	描述	复位值
DCON0	0x4B000010	R/W	DMA0 控制寄存器	0x00000000
DCON1	0x4B000050	R/W	DMA1 控制寄存器	0x00000000
DCON2	0x4B000090	R/W	DMA2 控制寄存器	0x00000000
DCON3	0x4B0000D0	R/W	DMA3 控制寄存器	0x00000000

DISRCCn	位	描述	初始值
DMD_HS	[31]	在请求模式和握手模式中选 1。 0: 选择请求模式 1: 选择握手模式 在两种模式下, DMA 控制器开始传输且对于一个 DREQ 有效, 使得 DACK 有效。两种模式的差异其是否等待 DACK 无效。在握手模式下, DMA 控制器在开始一个新传输前等待无效 DREQ。如果 DREQ 无效, 其使得 DACK 无效并等待另外有效的 DREQ。相对比, 在请求模式下, DMA 控制器不会等到 DREQ 无效, 其仅将 DACK 置无效且如果 DREQ 有效则开始另外一个传输。我们推荐对于外部 DMA 请求源使用握手模式以避免不经意的开始新的传输。	0
SYNC	[30]	选择 DREQ/DACK 同步。 0: DREQ and DACK 与 PCLK (APB 时钟) 同步。 1: DREQ and DACK 与 HCLK (AHB 时钟) 同步。 因此对于连接在 AHB 总线上的设备, 该位应该置 1; 对于连接在 APB 总线上的设备, 该位应该置 0 对于连接在外部系统上的设备, 该位的设置应该取决于其外部系统同步于 AHB 系统还是 APB 系统。	0
INT	[29]	对于 CURR_TC 中断设置使能或无效 0: CURR_TC 中断无效. 用户必须查看状态寄存器中的传输计数	0

		器（例如轮询）。 1: 当所有的传输结束，中断请求生成（CURR_TC变为0）。	
TSZ	[28]	选择原子传输的传输大小（例如在释放总线之前，一旦DMA拥有总线控制权，传输被执行）。 0: 执行单元传输 1: 执行四数据长度的突发传输	
SERVMODE	[27]	在单服务模式 and 全服务模式中选择服务模式 0: 单服务模式被选定，在此模式下每个原子传输（单数据或4数据长度的突发传输）后DMA停止且等待其他的DMA请求。 1: 全服务模式被选定，在此模式下，DMA请求引起原子传输一直重复，直到传输计数器为0。此模式下不需要附加的请求。 注意：在全模式下,在每个原子传输后DMA释放总线，又试图重新得到总线以避免其他总线主设备得到总线控制。	0
HWSRCSEL	[26:24]	各DMA通道请求源选择： DCON0: 000:nXDREQ0 001:UART0 010:SDI 011:Timer 100:USB device EP1 DCON1: 000:nXDREQ1 001:UART1 010:I2SSDI 011:SPI 100:USB device EP2 DCON2: 000:I2SSDO 001:I2SSDI 010:SDI 011:Timer 100:USB device EP3 DCON3: 000:UART2 001:SDI 010:SPI 011:Timer 100:USB device EP4 DCON0: 101:I2SSDO 110:PCMIN DCON1: 101:PCMOUT 110:SDI DCON2: 101:PCMIN 110:MICIN DCON3: 101:MICIN 110:PCMOUT 这些位控制一个四选一的多路器来为每个DMA选择请求源。如果硬件请求模式通过DCONn[23]被选定，这些位才有意义。	00
SWHW_SEL	[23]	在软件（软件请求模式）和硬件（硬件请求模式）间选择DMA源 0: 选择软件请求模式且DMA通过DMASKTRIG 控制寄存器的SW_TRIG位被触发。 1: 由位[26:24]选定的DMA源触发DMA操作	0
RELOAD	[22]	设定重装载开关选项 0: 当传输计数器的当前值为0，自动重载被执行(例如所有请求的传输都被执行)。 1: 当传输计数器的当前值为0，DMA通道（DMA REQ）被关闭。DMA通道开关位 (DMASKTRIGn[1]) 被清零(DREQ off) 以防止不经意的开始一个新的DMA操作。	0
DSZ	[21:20]	传输数据大小单位 00 = Byte 01 = Half word 10 = Word 11 = reserved	00
TC	[19:0]	初始化传输计数器 注意：传输的实际字节数由以下公式计算：DSZ x TSZ x TC。 DSZ, TSZ (1 或 4)和TC分别代表数据大小DCONn[21:20]、	00000

		传输大小DCONn[28]和初始传输计数器。仅当CURR_TC为 0 且 DMA ACK 为 1, 该值将被重载入CURR_TC。	
--	--	---	--

8.2.6 DMA 状态寄存器

DMA STATUS REGISTER (DSTAT)

寄存器	地址	读写	描述	复位值
DSTAT0	0x4B000014	R/W	DMA0 状态寄存器	0x00000000
DSTAT1	0x4B000054	R/W	DMA1 状态寄存器	0x00000000
DSTAT2	0x4B000094	R/W	DMA2 状态寄存器	0x00000000
DSTAT3	0x4B0000D4	R/W	DMA3 状态寄存器	0x00000000

DSTATn	位	描述	初始值
STAT	[21:20]	DMA控制器的状态 00: 指出DMA控制器准备好接收其他DMA请求 01: 指出DMA控制器忙于传输	00b
CURR_TC	[19:0]	传输个数的当前值 注: 传输计数值被DCONn[19:0]初始化, 在每一次原子传输结束后该值减一。	00000b

8.2.7 DMA 当前源寄存器

DMA CURRENT SOURCE REGISTER (DCSRC)

寄存器	地址	读写	描述	复位值
DCSRC0	0x4B000018	R/W	DMA0 当前源寄存器	0x00000000
DCSRC1	0x4B000058	R/W	DMA1 当前源寄存器	0x00000000
DCSRC2	0x4B000098	R/W	DMA2 当前源寄存器	0x00000000
DCSRC3	0x4B0000D8	R/W	DMA3 当前源寄存器	0x00000000

DCSRCn	位	描述	初始值
CURR_SRC	[30:0]	DMA _n 当前源地址	0x00000000

8.2.8 DMA 当前目的寄存器

CURRENT DESTINATION REGISTER (DCDST)

寄存器	地址	读写	描述	复位值
DCDST0	0x4B00001C	R/W	DMA0 当前目的寄存器	0x00000000
DCDST1	0x4B00005C	R/W	DMA1 当前目的寄存器	0x00000000
DCDST2	0x4B00009C	R/W	DMA2 当前目的寄存器	0x00000000
DCDST3	0x4B0000DC	R/W	DMA3 当前目的寄存器	0x00000000

DCDSTn	位	描述	初始值
CURR_DST	[30:0]	DMA _n 当前目的地址	0x00000000

8.2.9 DMA 屏蔽触发寄存器

DMA MASK TRIGGER REGISTER (DMASKTRIG)

寄存器	地址	读写	描述	复位值
DMASKTRIG0	0x4B000020	R/W	DMA0 屏蔽触发寄存器	0x00000000
DMASKTRIG1	0x4B000060	R/W	DMA1 屏蔽触发寄存器	0x00000000
DMASKTRIG2	0x4B0000A0	R/W	DMA2 屏蔽触发寄存器	0x00000000
DMASKTRIG3	0x4B0000E0	R/W	DMA3 屏蔽触发寄存器	0x00000000

DMASKTRIGn	位	描述	初始值
STOP	[2]	<p>停止DMA 操作。</p> <p>1: 在当前原子操作结束后立即停止DMA操作。如果没有当前原子操作，DMA会立即停止。</p> <p>CURR_TC, CURR_SRC, and CURR_DST 将为 0。</p> <p>注：由于可能的当前原子传输，停止操作可能会花费几个周期。一旦DMA通道开关位（DMAKSTRIG[1]）被设关闭，才能检测出其操作结束（例如，真实停止时间）。此位又名“真正停止”</p>	0
ON_OFF	[1]	<p>DMA通道开关位</p> <p>0: DMA 通道被关闭（对此通道的DMA请求被忽略）</p> <p>1: DMA 通道被开启，DMA请求被处理</p> <p>如果我们设置DCONn[22]位到“非自动装载”且/或停止位DMASKTRIGn设为停止，此位将自动关闭。</p> <p>注意当DCONn[22]位为“非自动装载”，CURR_TC为零则此位清零。如果停止位是 1，一旦当前原子传输完成，此位立即清零。</p> <p>注：此位在DMA操作期间不应该被手工修改（例如通过使用DCON[22]或停止位来修改此位）</p>	0
SW_TRIG	[0]	<p>在软件模式下触发DMA通道。</p> <p>1: 请求对于该控制器的DMA操作。</p> <p>注意：在软件请求模式被选定（DCONn[23]）且通道ON_OFF位被置 1（通道开启）后，此触发器有效。</p> <p>当DMA操作开始后，该位自动清零。</p>	0