

Tarea #4

(Entrega 7 de abril de 2017)

Descripción estructural del registro desplazable de 4 bits: síntesis manual

*****OJO***** Al igual que en la **Tarea #1** tome el tiempo que demora en hacer cada una de las cosas solicitadas: *búsqueda de información, diseño, elaboración de las pruebas, ejecución de las simulaciones, etc.*

Trabajo a realizar sobre el dispositivo a diseñar

Para esta tarea se deben completar los siguientes puntos:

1. Construya una descripción estructural del registro desplazable basado en los componentes de la biblioteca desarrollada en la tarea anterior. En detalle se requieren completar los siguientes pasos:
 - a) Haga una descripción de alto nivel de cómo seccionaría el diseño del registro desplazable en bloques menores. Esto sería un diagrama de bloques donde quedan claramente marcadas las señales de entrada y salida del registro. Por ejemplo, podría haber un bloque combinacional y otro bloque con los elementos que contienen memoria. Otra alternativa sería separarlo por bloques funcionales. Por ejemplo, podría construir un bloque que contenga un mux y un flip-flop, para luego instanciar cuatro de esos y conectarlos con bloques adicionales de lógica combinacional.
 - b) Utilizando las metodologías de diseño de circuitos digitales (mapas de Karnaugh, diagramas de estados, funciones de excitación, ASM, etc.) construya cada bloque identificado en el punto anterior utilizando los componentes que se desarrollaron para la biblioteca. Codifique cada bloque en Verilog y conéctelos. Esta sería la descripción estructural del registro desplazable. Esta descripción estructural debería funcionar igual a la descripción conductual hecha anteriormente.
 - c) Construya un verificador para probar automáticamente que la descripción estructural funciona correctamente cuando se compara con la descripción conductual. El verificador es un circuito que compara las salidas de ambas descripciones y si detecta una diferencia, entonces reporta la situación. El verificador funciona cuando ambas descripciones reciben la misma excitación al mismo tiempo. Esta excitación está disponible en las pruebas que se le realizaron al modelo conductual.
 - d) Una vez que se verifica que la descripción estructural está funcionando correctamente, determine cuál sería la frecuencia máxima de la señal CLK para que el registro desplazable continuara funcionando correctamente.
 - e) Determine el consumo de energía del diseño estructural. Para esto se usará una prueba acordada entre todos los estudiantes del curso para garantizar que se pueden comparar los resultados de cada uno de los diseños. Esta prueba común se debe acordar en la clase.
- a) Cuente el número de los componentes de la biblioteca que se tiene de cada tipo, revise el tiempo dedicado en este proyecto hasta el momento y evalúe el diseño de la siguiente forma:
 - Número de componentes usados.
 - Una estimación el costo del diseño basado en la oferta de mercado de los componentes usados y el tiempo de desarrollo que se ha invertido en el proyecto.

- Frecuencia máxima de operación para cada uno de los modos de funcionamiento.
- Consumo de potencia a la frecuencia máxima de operación.

Rúbrica de Calificación

Tarea #4 Descripción estructural del contador de 4 bits: síntesis manual	Plin	Categoría	Pcat	Ptot
Existe una descripción conductual en Verilog del diseño solicitado. Esta descripción al menos tiene un módulo de banco de pruebas, un módulo probador y un módulo que contiene al dispositivo bajo prueba (DUT).	4%	Simulacion	30%	1,20%
Existe una descripción en Verilog de una biblioteca elaborada manualmente de componentes electrónicos con parámetros de temporización y código de instrumentación para verificar restricciones de temporización y estimar la potencia consumida.	4%	Simulacion	30%	1,20%
Existe una descripción estructural en Verilog del diseño que utiliza los componentes de la biblioteca elaborada manualmente.	8%	Simulacion	30%	2,40%
Las descripciones en Verilog se entregan en archivos distintos al reporte, listos para poder ser simulados.	5%	Simulacion	30%	1,50%
Las descripciones en Verilog están comentadas adecuadamente para que otras personas entiendan la lógica de la descripción.	4%	Simulacion	30%	1,20%
Las descripciones en Verilog compilan sin producir errores.	50%	Simulacion	30%	15,00%
Las descripciones en Verilog ejecutan correctamente. Es decir, corren, entregan algunos resultados y finalizan.	25%	Simulacion	30%	7,50%
El reporte contiene las siguientes secciones: (i) Resumen, (ii) Descripción Arquitectónica, (iii) Plan de pruebas, (iv) Instrucciones de utilización de la simulación, (v) Ejemplos de los resultados, y (vi) Conclusiones y recomendaciones. Una explicación de este contenido se adjunta al final del enunciado de la Tarea #2.	40%	Reporte	15%	6,00%
Longitud del reporte no excede a 10 páginas.	10%	Reporte	15%	1,50%
El reporte explica con claridad los detalles relevantes del diseño particular que se hizo, las partes del diseño que dieron más trabajo para completar y por qué fue así, y una explicación de los problemas que se presentaron y cómo éstos fueron solucionados.	50%	Reporte	15%	7,50%
El contador de 4 bits cuenta correctamente en forma ascendente de 1 en 1. Esto se puede verificar tanto en la descripción conductual como en la estructural según aplique.	5%	Pruebas Base	30%	1,50%
El contador de 4 bits cuenta correctamente en forma descendente de 1 en 1. Esto se puede verificar tanto en la descripción conductual como en la estructural según aplique.	5%	Pruebas Base	30%	1,50%
El contador de 4 bits cuenta correctamente en forma descendente de 3 en 3. Esto se puede verificar tanto en la descripción conductual como en la estructural según aplique.	5%	Pruebas Base	30%	1,50%
El contador de 4 bits carga correctamente el estado Q con cualquier valor de 4 bits que se presente en la entrada D. Esto se puede verificar tanto en la descripción conductual como en la estructural según aplique.	5%	Pruebas Base	30%	1,50%
El contador de 32 bits funciona correctamente en todos los modos en que funciona la versión del contador de 4 bits. Esto se puede verificar tanto en la descripción conductual como en la estructural según aplique.	5%	Pruebas Base	30%	1,50%
Se ha construido manualmente una biblioteca de componentes (Según solicita el enunciado, por ejemplo: latch, flip flop, NAND, MUX, etc.) y se ha probado satisfactoriamente para verificar que cumple con los requisitos de temporización (tiempos de propagación, contaminación, setup y hold) y es capaz de contabilizar el nivel de actividad de las salidas durante simulación para estimar el consumo de potencia.	25%	Pruebas	30%	7,50%
Existe una descripción estructural del diseño basada en los componentes contenidos en la biblioteca construida manualmente. Esta descripción estructural funciona correctamente cuando se verifica automáticamente con la descripción conductual.	50%	Pruebas	30%	15,00%
Se incluyen las hojas de datos de los dispositivos usados en el diseño y una referencia de precio de venta de los mismos.	20%	Elementos varios	25%	5,00%
El diseño estructural realizado con la biblioteca de componentes realizada manualmente se evalúa de la siguiente forma: • Número de componentes usados. • Una estimación el costo del diseño basado en la oferta de mercado de los componentes usados y el tiempo de desarrollo que se ha invertido en el proyecto. • Frecuencia máxima de operación para cada uno de los modos de funcionamiento.	40%	Elementos varios	25%	10,00%
Se incluye una tabla donde se contabiliza el número de horas dedicadas a las distintas actividades que se realizaron para completar la tarea.	40%	Elementos varios	25%	10,00%
Nota Proyecto				100,00