

Tarea #2

(Entrega 24 de marzo de 2017)

Descripción conductual de un registro desplazable sincrónico de 4 bits

*****OJO***** Al igual que en la **Tarea #1** tome el tiempo que demora en hacer cada una de las cosas solicitadas: búsqueda de información, diseño, elaboración de las pruebas, ejecución de las simulaciones, etc.

Especificaciones

Las siguientes son las características básicas del diseño solicitado:

1. Registro desplazable sincrónico de 4 bits, con los siguientes modos de funcionamiento:
 - a) Rotación a la izquierda.
 - b) Rotación a la derecha.
 - c) Rotación circular a la izquierda.
 - d) Rotación circular a la derecha.
 - e) Carga en paralelo.
2. Entradas del registro desplazable:
 - a) **CLK** – Entrada de reloj del registro. El flanco activo de la señal **CLK** es el flanco creciente. Entonces, con cada flanco positivo del reloj el registro cambia de estado dependiendo del estado de las señales de **MODO** y **DIR** si la señal **ENB**=1.
 - b) **ENB** – Entrada de habilitación del registro. Si **ENB**=1 el registro funciona normalmente respondiendo a los flancos activos de **CLK** para cambiar de estado de acuerdo a las señales **MODO** y **DIR**. Si **ENB**=0 el registro mantiene su estado actual sin importar los flancos de **CLK**.
 - c) **DIR** – Entrada de dirección de la rotación. Si **DIR** es cero, el registro rota hacia la izquierda. Si **DIR** es 1, rota hacia la derecha.
 - d) **S_IN** – Entrada serie. Indica el valor a cargar en el bit desplazado de las rotaciones a la izquierda y a la derecha. Para los modos 01 y 10 esta entrada se ignora.
 - e) **MODO[1:0]** – Entrada de modo que consta de dos líneas y sirve, en combinación con **DIR**, para definir cuál será el próximo estado del registro al llegar el flanco activo del reloj en la entrada **CLK**. Si el contador se encuentra en el estado **Q** antes del flanco activo del reloj, luego del flanco activo, su estado será:
 - $DIR = 0 / MODO = 00 \rightarrow Q \ll \{Q[2:0], S_IN\}$
 - $DIR = 1 / MODO = 00 \rightarrow Q \gg \{S_IN, Q[3:1]\}$
 - $DIR = 0 / MODO = 01 \rightarrow Q[3:0] = \{Q[2:0], Q[3]\}$
 - $DIR = 1 / MODO = 01 \rightarrow Q[3:0] = \{Q[0], Q[3:1]\}$
 - $DIR = X / MODO = 10 \rightarrow D$
 - f) **D[3:0]** – Entrada de datos **D** consta de 4 líneas. El valor que tengan las entradas **D[3:0]** será almacenado en **Q[3:0]** en el flanco activo de **CLK** si **ENB** = 1 y **MODO** = 10.
3. Salidas del contador:
 - a) **Q[3:0]** – Salida **Q** que consta de cuatro líneas que indican el estado presente del registro desplazable. El estado del registro cambia con el flanco activo de la señal **CLK** mientras **ENB**=1 y de acuerdo con el modo seleccionado con las líneas **MODO[1:0]** y **DIR**.

- b) **S_OUT** – Salida serie. Contiene el valor del bit desplazado hacia fuera del registro en las rotaciones hacia la izquierda o hacia la derecha. Para los demás modos de operación S_OUT = 0.

Trabajo a realizar sobre el dispositivo a diseñar

Para esta tarea se deben completar los siguientes puntos:

1. Escribir una descripción conductual del registro desplazable usando Verilog. Esta descripción servirá como una especificación detallada y formal del funcionamiento del dispositivo diseñado. Además servirá como patrón para hacer las pruebas sobre los diseños estructurales que se vayan a hacer. La descripción en Verilog deberá tener al menos un módulo de banco de pruebas, un módulo probador, y un módulo con la descripción del contador. Use Icarus Verilog para hacer esto.
2. Definir un plan de pruebas para garantizar el funcionamiento del diseño. El plan de pruebas debe cubrir todos los modos de operación del registro desplazable. En la sección de abajo **“Propuesta de Plan de Pruebas Mínimo”** se da una idea del conjunto mínimo de pruebas que debería tener. El módulo probador debe suministrar las señales necesarias para que las pruebas se realicen.

Propuesta de Plan de Pruebas Mínimo

El conjunto de pruebas mínimas que se deben hacer para validar el diseño conductual solicitado por lo menos debe incluir:

1. **Prueba #1, rotación a la izquierda.** El registro desplazable inicia en un valor predeterminado y se le mandan suficientes flancos activos de reloj para que haga una secuencia completa de estados. También se debe verificar que las señales Q y S_OUT alcanzan los valores esperados a través de cada uno de los estados, según los valores iniciales de D y S_IN. Un ejemplo de cómo se puede estructurar la prueba se muestra en la siguiente secuencia:
 1. Establecer $MODO[1:0]=10$, DIR=0, S_IN=1 y $D[3:0]=0000$. Pone modo de cargar estado.
 2. Enviar flanco activo en CLK. Con esto se pone el registro a cero.
 3. Establecer $MODO[1:0]=00$. Pone modo de rotación a la izquierda.
 4. Enviar flanco activo en CLK. El estado del registro debería pasar a $Q[3:0]=0001$ y S_OUT=0.
 5. Enviar 4 flancos activos en CLK. Esto debería hacer que el registro avance por cada uno de los siguientes 4 estados y la salida final quede en $Q[3:0]=1111$ y S_OUT=1. El resto del tiempo S_OUT debería estar en cero.
2. **Prueba #2, rotación a la derecha.** El registro inicia en un valor predeterminado y se le mandan suficientes flancos activos de reloj para que haga una secuencia completa de estados. También se debe verificar que la señal S_OUT varía conforme al último valor desplazado hacia la derecha. ¿Qué valores iniciales del registro desplazable y de S_IN producen variaciones interesantes de Q y S_OUT?
3. **Prueba #3, rotación circular a la izquierda.** El registro inicia en un valor predeterminado y se le mandan suficientes flancos activos de reloj para que haga una secuencia completa de estados. También se debe verificar que la señal S_OUT permanece en cero a lo largo de la prueba. ¿Qué conjunto mínimo de valores de D y S_IN permiten garantizar que hemos probado todas las combinaciones relevantes para el funcionamiento del registro desplazable?
4. **Prueba #4, rotación circular a la derecha.** El registro inicia en un valor predeterminado y se le mandan suficientes flancos activos de reloj para que haga una secuencia completa de estados. También se debe verificar que la señal S_OUT permanece en cero a lo largo de la

prueba. ¿Qué diferencias funcionales hay entre este caso y el anterior?

5. **Prueba #5, carga en paralelo.** Verificar que si el registro desplazable se encuentra en cualquier estado inicial posible, es posible cargarle cualquier valor que se coloque en las entradas D . Tome en cuenta la posibilidad de usar un estado indeterminado, como estado inicial $D[3:0]=XXXX$, antes de cargar cualquier valor en D .
6. **Prueba #6, registro desplazable de 32 bits.** Construya un registro desplazable de 32 bits utilizando ocho registros de 4 bits de los ya probados. Verifique que el registro de 32 bits funciona en todos los modos de funcionamiento del registro de 4 bits. Para esto diseñe una prueba mínima dado que las pruebas de la #1 a la #5 de arriba ya cubren una buena porción de la funcionalidad esperada.

Rúbrica de Calificación

Tarea #2 Descripción conductual de un contador binario sincrónico de 4 bits	Plin	Categoria	Pcat	Ptot
Existe una descripción conductual en Verilog del diseño solicitado. Esta descripción al menos tiene un módulo de banco de pruebas, un módulo probador y un módulo que contiene al dispositivo bajo prueba (DUT).	16%	Simulacion	30%	4,80%
Las descripciones en Verilog se entregan en archivos distintos al reporte, listos para poder ser simulados.	5%	Simulacion	30%	1,50%
Las descripciones en Verilog estan comentadas adecuadamente para que otras personas entiendan la lógica de la descripción.	4%	Simulacion	30%	1,20%
Las descripciones en Verilog compilan sin producir errores.	50%	Simulacion	30%	15,00%
Las descripciones en Verilog ejecutan correctamente. Es decir, corren, entregan algunos resultados y finalizan.	25%	Simulacion	30%	7,50%
El reporte contiene las siguientes secciones: (i) Resumen, (ii) Descripción Arquitectónica, (iii) Plan de pruebas, (iv) Instrucciones de utilización de la simulación, (v) Ejemplos de los resultados, y (vi) Conclusiones y recomendaciones. Una explicación de este contenido se adjunta al final del enunciado de la Tarea #2.	40%	Reporte	15%	6,00%
Longitud del reporte no excede a 10 paginas.	10%	Reporte	15%	1,50%
El reporte explica con claridad los detalles relevantes del diseño particular que se hizo, las partes del diseño que dieron más trabajo para completar y porqué fue así, y una explicación de los problemas que se presentaron y cómo éstos fueron solucionados.	50%	Reporte	15%	7,50%
El contador de 4 bits cuenta correctamente en forma ascendente de 1 en 1. Esto se puede verificar tanto en la descripción conductual como en la estructural según aplique.	20%	Pruebas Base	30%	6,00%
El contador de 4 bits cuenta correctamente en forma descendente de 1 en 1. Esto se puede verificar tanto en la descripción conductual como en la estructural según aplique.	20%	Pruebas Base	30%	6,00%
El contador de 4 bits cuenta correctamente en forma descendente de 3 en 3. Esto se puede verificar tanto en la descripción conductual como en la estructural según aplique.	20%	Pruebas Base	30%	6,00%
El contador de 4 bits carga correctamente el estado Q con cualquier valor de 4 bits que se presente en la entrada D. Esto se puede verificar tanto en la descripción conductual como en la estructural según aplique.	20%	Pruebas Base	30%	6,00%
El contador de 32 bits funciona correctamente en todos los modos en que funciona la versión del contador de 4 bits. Esto se puede verificar tanto en la descripción conductual como en la estructural según aplique.	20%	Pruebas Base	30%	6,00%
Se incluye una tabla donde se contabiliza el número de horas dedicadas a las distintas actividades que se realizaron para completar la tarea.	100%	Elementos varios	25%	25,00%
Nota Proyecto				100,00

Guía para el reporte (Sigue los mismo lineamientos del reporte de los proyectos)

Se debe entregar en forma electrónica un documento (Formato compatible con Microsoft Word/Open Office/Libre Office) que incluya los siguientes puntos en a lo sumo 10 páginas de longitud:

1. **Resumen:** Breve (Media página máximo) descripción de **todo** el proyecto. Esta sección es fundamental pues puede determinar si el lector se interesa o no en leer los detalles del proyecto. Un resumen mal hecho puede esconder un excelente proyecto. El resumen debería incluir:
 - a) Descripción breve del sistema, es decir, qué hace. Incluya alguna característica que considere que distingue este diseño en particular.
 - b) Las pruebas que se realizaron y qué resultados se obtuvieron. Indique problemas que se tuvieron que considere importante resaltar.
 - c) Conclusiones más importantes y recomendaciones para un diseño posterior.
2. **Descripción Arquitectónica:** Incluye un diagrama de bloques con las señales más importantes que sirve como base para describir el funcionamiento del sistema. La descripción va en términos de lo que se espera que el sistema haga. Es decir, se debe detallar la funcionalidad del sistema, el protocolo de las señales que se usan para que funcionen cada una de las partes y las secuencias de eventos que se deben dar. Esta descripción podría ir acompañada de tablas de verdad, tablas de transición de estados, diagramas de estados, diagramas temporales, etc.
3. **Plan de Pruebas:** Aquí se deben enumerar, esto es, se debe presentar una **lista detallada** de las pruebas que se le van a hacer al diseño para verificar que está funcionando de acuerdo a las especificaciones dadas. La lista debe contener por lo menos los siguientes elementos i) Nombre/número de prueba, ii) Descripción de la prueba, y iii) Una indicación de si el diseño la falló o la pasó. Estas pruebas podrían incluir la generación de vectores de entrada para probar en forma exhaustiva todas las líneas de una tabla de verdad o tabla de estados, patrones aleatorios de entradas para tratar de causar errores en la respuesta del diseño, o patrones específicos que ejerciten un cierto modo de funcionamiento. Cada prueba debería ser claramente enumerada en el plan para que también se pueda hacer referencia a ella en el código del banco de pruebas del diseño.
4. **Instrucciones de utilización de la simulación:** Esta sección debe mostrar los comandos necesarios para hacer funcionar la simulación en todos los casos que especifica el plan de pruebas. Hay que suponer que el diseño de un grupo puede ser utilizado por otro grupo o el profesor. Si los resultados no se pueden repetir porque no se conocen los comandos para hacer funcionar la simulación entonces es como si el diseño no funcionara del todo. Idealmente, se debe crear un Makefile de modo que se pueda correr todas las pruebas del caso con un solo comando en Icarus Verilog y GTKwave.
5. **Ejemplos de los resultados:** Una descripción de los resultados más importantes acompañados de los diagramas temporales de la simulación (GTKWave) o cualquier otra salida que demuestre claramente el comportamiento descrito. No es necesario incluir una muestra exhaustiva de resultados, sino que los más representativos del diseño. El punto es mostrarle al lector los comportamientos más sobresalientes para formarle una idea clara del funcionamiento del diseño. Ya verá el lector si desea más detalles, entonces podrá correr una simulación.
6. **Conclusiones y recomendaciones:** Basado en los resultados obtenidos se indica aquí qué se logró con el proyecto. Puede ser que se concluya que con el diseño propuesto se tiene una limitación en la velocidad de respuesta de... etc. O que con ciertas combinaciones de entradas el diseño se vuelve inestable o los resultados no son los esperados. También se puede concluir que ventajas o problemas encontraron al seguir el plan de trabajo. A raíz de

las conclusiones se puede también recomendar como se podría mejorar el diseño o que otras pruebas se le podrían hacer para garantizar su funcionamiento en otras condiciones que al principio no se consideraron, o también cómo se debería planear el siguiente proyecto para poder cumplirlo a tiempo.