

Tarea #5

(Entrega 21 de abril de 2017)

Descripción estructural del registro desplazable de 4 bits: síntesis automática

*****OJO***** Al igual que en la **Tarea #1** tome el tiempo que demora en hacer cada una de las cosas solicitadas: *búsqueda de información, diseño, elaboración de las pruebas, ejecución de las simulaciones, etc.*

Trabajo a realizar sobre el dispositivo a diseñar

Para esta tarea se deben completar los siguientes puntos:

1. Obtenga una segunda descripción estructural a partir del programa de síntesis Yosys.
Busque una librería de elementos lógicos para hacer el mapeo tecnológico correspondiente. En detalle se deberían completar las siguientes tareas:
 - a) Realice la síntesis de alto nivel del diseño conductual del registro desplazable. Esto produce una descripción estructural genérica (RTLIL) que no depende de una tecnología en particular. Los componentes usados en esta descripción corresponden a los de la biblioteca interna del sintetizador Yosys.
 - b) Verifique que la descripción estructural genérica funciona usando el verificador automático ya construido.
 - c) Seleccione una biblioteca con una tecnología comercial disponible para realizar el mapeo tecnológico del diseño. Esto produce una descripción estructural usando componentes comercialmente disponibles. Para esta tarea puede usar *cmos_cells.lib*.
 - d) Verifique que la descripción estructural con el mapeo tecnológico pasa las pruebas usando el verificador automático. Use el archivo *cmos_cells.v* para la simulación.
 - e) Modifique el archivo *cmos_cells.v* para que la simulación tome en cuenta retardos. Verifique que el diseño sintetizado con el archivo *cmos_cells.v* modificado también funciona.
 - f) Busque los datos pertinentes y evalúe el diseño de la siguiente forma:
 - Número de componentes usados.
 - Una estimación el costo del diseño basado en la oferta de mercado de los componentes usados y el tiempo de desarrollo que se ha invertido en el proyecto.
 - Frecuencia máxima de operación para cada uno de los modos de funcionamiento.
 - Consumo de potencia a la frecuencia máxima de operación.
 - g) Compare los dos diseños estructurales realizados, el de los componentes seleccionados manualmente y el realizado con el sintetizador. Comente las dos experiencias de diseño con detalles adicionales.

Rúbrica de Calificación

Tarea #5 Descripción estructural del contador de 4 bits: síntesis automática	Plin	Categoria	Pcat	Ptot
Existe una descripción conductual en Verilog del diseño solicitado. Esta descripción al menos tiene un módulo de banco de pruebas, un módulo probador y un módulo que contiene al dispositivo bajo prueba (DUT).	4%	Simulacion	30%	1,20%
Existe una descripción en Verilog de una biblioteca elaborada manualmente de componentes electrónicos con parámetros de temporización y código de instrumentación para verificar restricciones de temporización y estimar la potencia consumida.	4%	Simulacion	30%	1,20%
Existe una descripción estructural en Verilog del diseño que utiliza los componentes producto de un proceso de síntesis automático y un mapeo tecnológico.	8%	Simulacion	30%	2,40%
Las descripciones en Verilog se entregan en archivos distintos al reporte, listos para poder ser simulados.	5%	Simulacion	30%	1,50%
Las descripciones en Verilog estan comentadas adecuadamente para que otras personas entiendan la lógica de la descripción.	4%	Simulacion	30%	1,20%
Las descripciones en Verilog compilan sin producir errores.	50%	Simulacion	30%	15,00%
Las descripciones en Verilog ejecutan correctamente. Es decir, corren, entregan algunos resultados y finalizan.	25%	Simulacion	30%	7,50%
El reporte contiene las siguientes secciones: (i) Resumen, (ii) Descripción Arquitectónica, (iii) Plan de pruebas, (iv) Instrucciones de utilización de la simulación, (v) Ejemplos de los resultados, y (vi) Conclusiones y recomendaciones. Una explicación de este contenido se adjunta al final del enunciado de la Tarea #2.	40%	Reporte	15%	6,00%
Longitud del reporte no excede a 10 paginas.	10%	Reporte	15%	1,50%
El reporte explica con claridad los detalles relevantes del diseño particular que se hizo, las partes del diseño que dieron más trabajo para completar y porqué fue así, y una explicación de los problemas que se presentaron y cómo éstos fueron solucionados.	50%	Reporte	15%	7,50%
El contador de 4 bits cuenta correctamente en forma ascendente de 1 en 1. Esto se puede verificar tanto en la descripción conductual como en la estructural según aplique.	5%	Pruebas Base	30%	1,50%
El contador de 4 bits cuenta correctamente en forma descendente de 1 en 1. Esto se puede verificar tanto en la descripción conductual como en la estructural según aplique.	5%	Pruebas Base	30%	1,50%
El contador de 4 bits cuenta correctamente en forma descendente de 3 en 3. Esto se puede verificar tanto en la descripción conductual como en la estructural según aplique.	5%	Pruebas Base	30%	1,50%
El contador de 4 bits carga correctamente el estado Q con cualquier valor de 4 bits que se presente en la entrada D. Esto se puede verificar tanto en la descripción conductual como en la estructural según aplique.	5%	Pruebas Base	30%	1,50%
El contador de 32 bits funciona correctamente en todos los modos en que funciona la versión del contador de 4 bits. Esto se puede verificar tanto en la descripción conductual como en la estructural según aplique.	5%	Pruebas Base	30%	1,50%
Existe una descripción estructural sintetizada automáticamente a una biblioteca de componentes genéricos de la herramienta de síntesis. Esta descripción estructural funciona correctamente cuando se verifica automáticamente con la descripción conductual.	25%	Pruebas	30%	7,50%
Existe una descripción estructural sintetizada automáticamente a una biblioteca de componentes comercialmente disponibles, mediante un "mapeo de tecnología". Esta descripción estructural funciona correctamente cuando se verifica automáticamente con la descripción conductual.	50%	Pruebas	30%	15,00%
Se muestra el archivo de la librería usada para el mapeo tecnológico de los dispositivos usados en el diseño y se da una referencia de precio de venta de los mismos.	20%	Elementos varios	25%	5,00%
El diseño estructural realizado con la biblioteca de componentes realizada manualmente se evalúa de la siguiente forma: <ul style="list-style-type: none"> Número de componentes usados. Una estimación el costo del diseño basado en la oferta de mercado de los componentes usados y el tiempo de desarrollo que se ha invertido en el proyecto. Frecuencia máxima de operación para cada uno de los modos de funcionamiento. Consumo de potencia a la frecuencia máxima de operación. 	40%	Elementos varios	25%	10,00%
Se incluye una tabla donde se contabiliza el número de horas dedicadas a las distintas actividades que se realizaron para completar la tarea.	40%	Elementos varios	25%	10,00%
Nota Proyecto			100,00	