

## 实验 08 简单时序逻辑设计与实践

### 实验学生个人信息栏

课序号： 04 班级： 2307 学号： 20232241110 姓名： 刘晨旭

### 实验 08 得分：

实验教师（签字）： \_\_\_\_\_

### 一、实验目的

- 研究基于 D 和 JK 触发器的二分频电路：深入探究其电路设计原理，进行精确的仿真分析，并详细研究输入输出波形之间的关系。
- 设计并改进基于 D 和 JK 触发器的异步十进制计数器：通过精心绘制电路图，并进行详尽的仿真测试。
- 模 6 计数器的多功能电路设计仿真：实现同步置数、异步置数、同步清零、异步清零等多种功能。
- 基于 NE555 定时器芯片的方波时钟电路设计与仿真：采用 NE555 定时器芯片，设计并仿真一个稳定的方波时钟电路。

### 二、实验设备与器件

- 使用软件： Proteus 8
- 使用元器件与器件名称符号说明

表格 1 使用元器件与器件名称符号说明

元件名称	元件符号
双 D 触发器	U1 (74HC74)
双 JK 触发器	U2 (74HC112)
逻辑状态开关	(LOGICSTATE)
脉冲激励源	CLK (PULSE)
数字示波器	(OSCILLOSCOPE)
与非门	U3 (74HC00)
七段数码管	(7SEG-BCD)
异步二进制计数器	U1,U5 (74HC161)
同步二进制计数器	U6 (74HC163)
异步二进制计数器	U3 (74HC192)
3 线-8 线译码器	U4 (74HC138)

### 三、实验操作过程及结果分析

- 基于 D 和 JK 触发器的二分频电路的研究

(1) 基于 D 和 JK 触发器的二分频电路如附图 8.2;

(2) 将信号源设置为频率为 1Hz 的方波信号的占空比: 50%, 高电平: 5V, 低电平: 0V, 波形如附图 8.3;

(3) 该电路通过 CLK 脉冲信号控制 D 触发器和 JK 触发器的 CP (时钟) 端。D 触发器的 D 端与自身的非  $Q$  ( $\bar{Q}$ ) 端相连。根据 D 触发器的特性方程  $Q_{n+1} = \overline{Qn}$ , 每当 CLK 脉冲到来时, D 触发器的输出  $Q$  将在高低电平之间进行切换, 即  $Q$  发生翻转。

而 JK 触发器的 J 端和 K 端则连接至同一个信号源。根据 JK 触发器的特性方程  $Q = J(\bar{Q}n) + \bar{K}Qn$ , 在高低电平转换的初期, JK 触发器的  $Q$  输出并不会立即跟随变化, 而是在稍后的时钟周期中根据 J 和 K 端的信号状态进行翻转。

因此, 结合 D 触发器和 JK 触发器的特性, 该二分频电路能够有效地实现时钟信号的二分频功能, 即将输入的 CLK 脉冲信号的频率降低一半。

## 2、基于 D 和 JK 触发器的异步十进制计数器的设计与改进:

参照附图 8.4, 我们设计了一个改进的异步十进制计数器, 该计数器采用了 D 触发器和 JK 触发器交替排列的布局, 即 D 触发器、JK 触发器、D 触发器、JK 触发器依次排列。该电路被用于数字时钟中, 其周期精确设定为 1 秒, 确保计数器每秒递增一次。计数器从 0 开始计数, 依次递增至 9, 然后归零, 并循环重复此过程。

## 3、模 6 计数器的四种设计

(1) “同步置数”的模 6 计数器见附图 8.5(a);

(2) “异步置数”的模 6 计数器见附图 8.5(b);

(3) “异步清零”的模 6 计数器见附图 8.5(c);

(4) “同步清零”的模 6 计数器见附图 8.5(d);

## 4、四种设计的理论分析

“同步”一词在电子学中指的是触发器仅在接收到特定时钟脉冲信号时才会执行“置数”或“置零”等操作。这种操作是严格依据时钟信号的节奏进行的, 确保了操作的准确性和同步性。“异步”则描述了一种无需等待时钟脉冲信号的情况, 当满足特定的操作条件时, 触发器会立即执行“置数”或“置零”等操作。这种方式允许触发器更加灵活地响应外部事件, 不依赖于固定的时钟周期。“置数”操作指的是将触发器的输出端通过与非门连接到 LD 端, 通过计算对应的表达式来实现重置归零的功能。这种操作允许用户将特定的数值直接加载到触发器中。“置零”操作则是将触发器的输出端通过与非门连接到 CR 端, 通过计算模值对应的表达式来实现重置归零的功能。与“置数”不同, “置零”操作通常用于将触发器的输出设置为特定的零值。

# 四、实验总结、建议和质疑

本实验报告详细研究了基于 D 和 JK 触发器的二分频电路、异步十进制计数器的设计改进, 以及模 6 计数器的四种不同设计。通过精确控制 D 触发器和 JK 触发器的输入与输出, 成功实现了时钟信号的二分频功能, 并设计了改进的异步十进制计数器, 用于数字时钟的精确计时。此外, 本实验还探讨了同步与异步、置数与置零等概念在模 6 计数器设计中的应用, 展示了不同设计方法的优缺点。实验结果科学可信, 验证了触发器在数字电路设计中的重要作用, 为后续的电子系统设计提供了有价值的参考。

# 五、附录

## 附录 8.1 课堂实践部分最终版

附录 8.2 基于 D、JK 触发器的二分频电路设计

附录 8.3 基于 D、JK 触发器的二分频电路输入输出波形关系的研究

附录 8.4 基于 D、JK 触发器的异步十进制计数器

附录 8.5 模 6 计数器的四种设计

## 附录 8.1 简单时序逻辑设计课堂实践部分

个人信息栏	得分（百分制）
课序号: <u>04</u> 实验台号: <u>64</u> 班级: <u>2307</u> 姓名: <u>刘景旭</u> 学号: <u>20232241110</u>	

**重要提示：以下操作及全部数据的手动填写需要在课堂上完成，因此，课前请大家将此文档打印出来，上课时随身携带!!!**

验收“异步十进制加法计数器”的实际功能，验收原则如下：

1、实验箱上建立电路

按照仿真电路原理图在实验箱上实现“异步十进制加法计数器”，用实验箱上的十进制七段 LED 数码管来显示加法计数的结果。

2、实验结果检查

(1) 利用函数信号发生器产生 4Hz 的 TTL 标准方波作为“异步十进制加法计数器”的数字信号时钟输入，用数字示波器的 CH1 通道进行检测，并调节示波器将输入信号正确的显示在示波器的屏幕上。

(2) 用数字示波器的 CH2 通道检测与时钟输入信号相对应的“异步十进制加法计数器”最低位的二分频电路的输出端，并调节示波器将该输出信号正确的显示在示波器的屏幕上。示波器屏幕上应显示二分频的信号波形关系。

(3) 最后验收“异步十进制加法计数器”是否可以在数字信号时钟的驱动下，实现从 0→9 的循环累加的计数功能。

(4) 检查完毕后指导教师签字并记录完成时刻，立即将电路拆除。

记录完成时刻: 14:45

实验教师（签字）: 于成

（选做）其它实验 08 的时序逻辑实验：

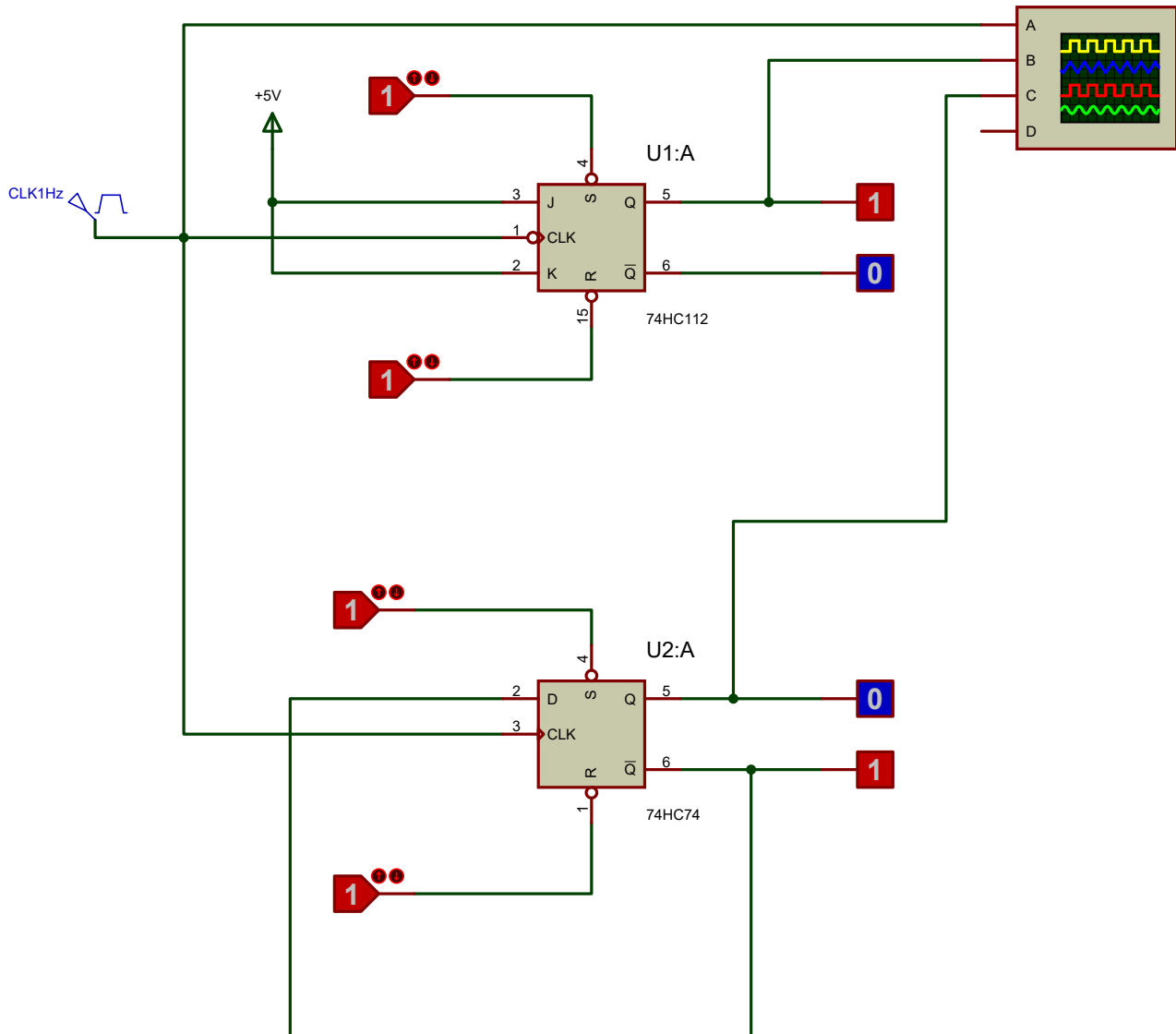
基于集成计数器芯片的模 6 计数器，等。

实验教师（签字）: \_\_\_\_\_

**本实践部分无需课上提交，在与实验指导教师确认签字后要扫描成 PDF 与实验作业合并提交！**

## 附录8.2 基于D、JK触发器的二分频电路设计

课序号：04 班级：软2307 学号：2023224110 姓名：刘晨旭



### 附录 8.3 基于 D、JK 触发器的二分频电路输入输出波形关系的研究

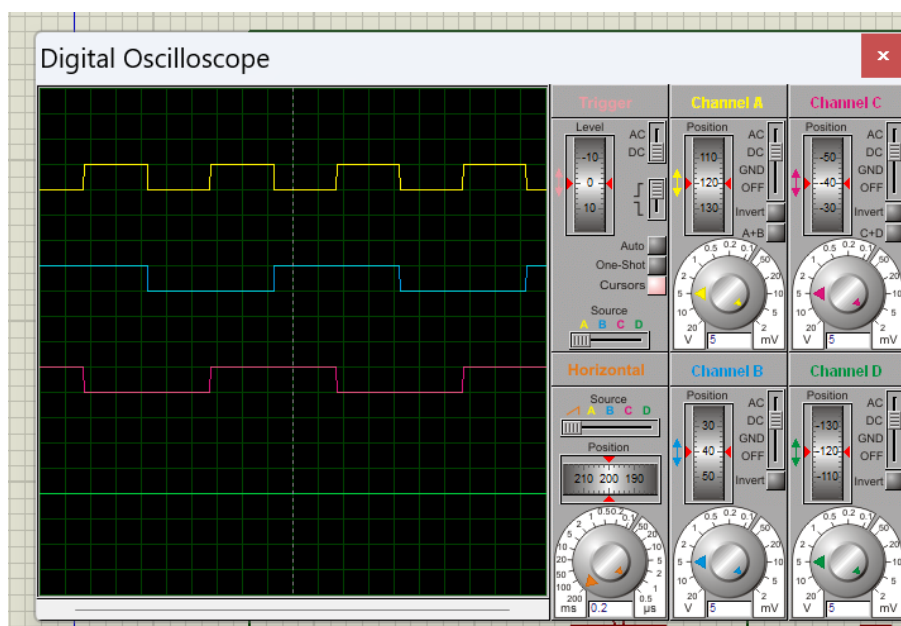


Figure 1 1Hz 占空比为 50%时的于 D、JK 触发器的二分频电路输入输出波形

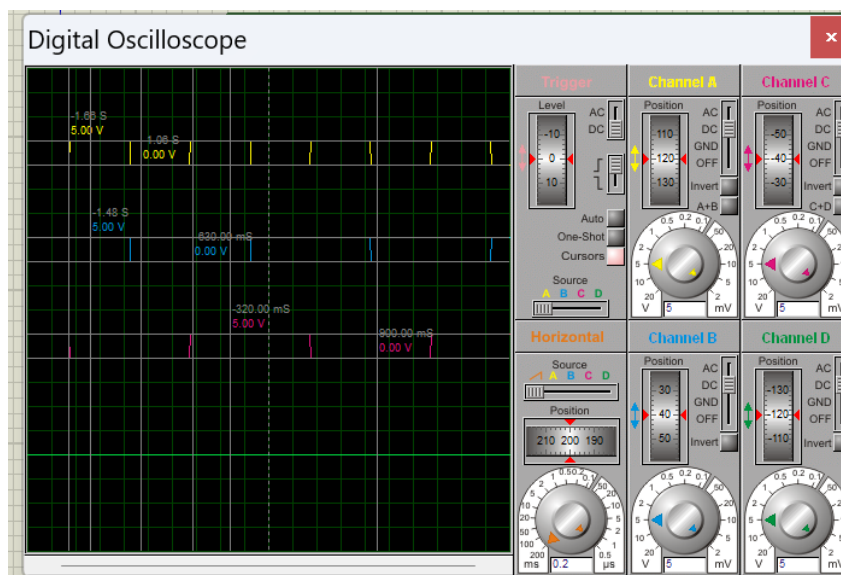
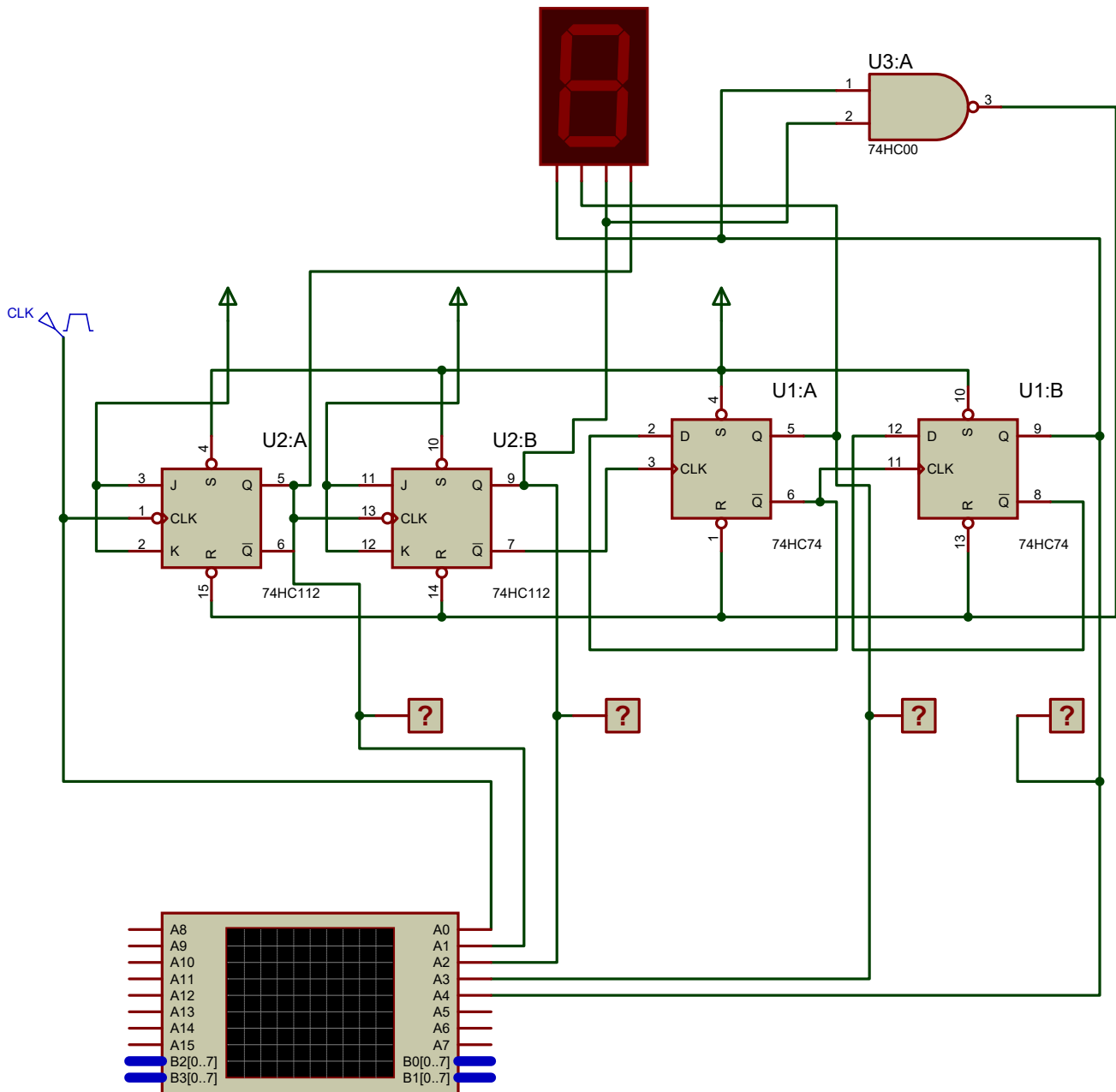


Figure 2 使用 cursors 功能得到的各个波形的最大与最小值

## 附录8.4 基于D、JK触发器的异步十进制计数器

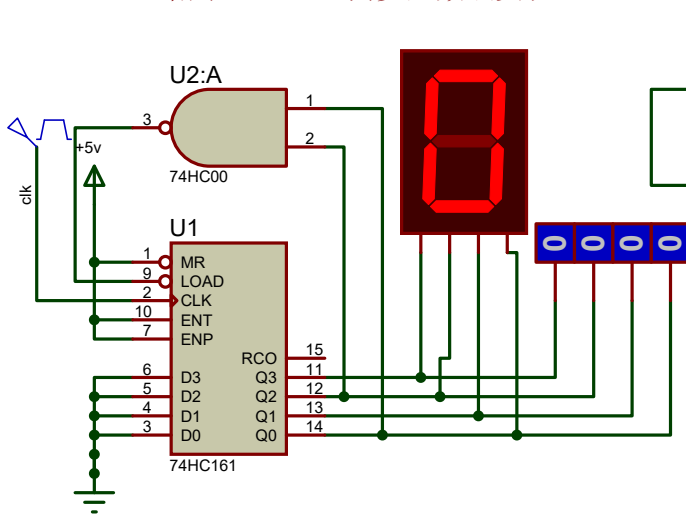
课序号：04 班级：软2307 学号：20232241110 姓名：刘晨旭



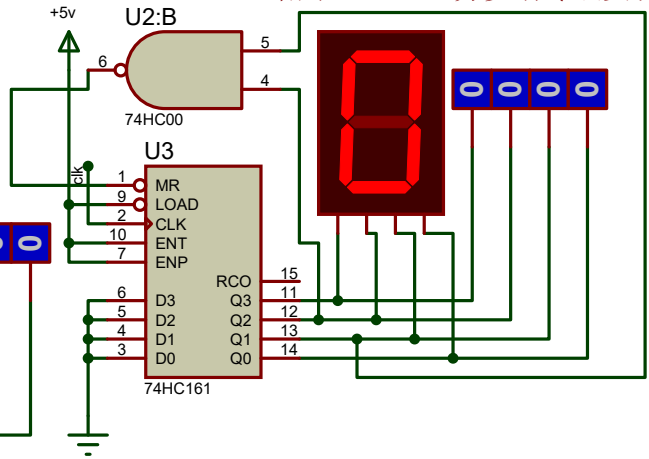
## 附录8.5 模6计数器的四种设计

课序号：04 班级：软2307 学号：20232241110 姓名：刘晨旭

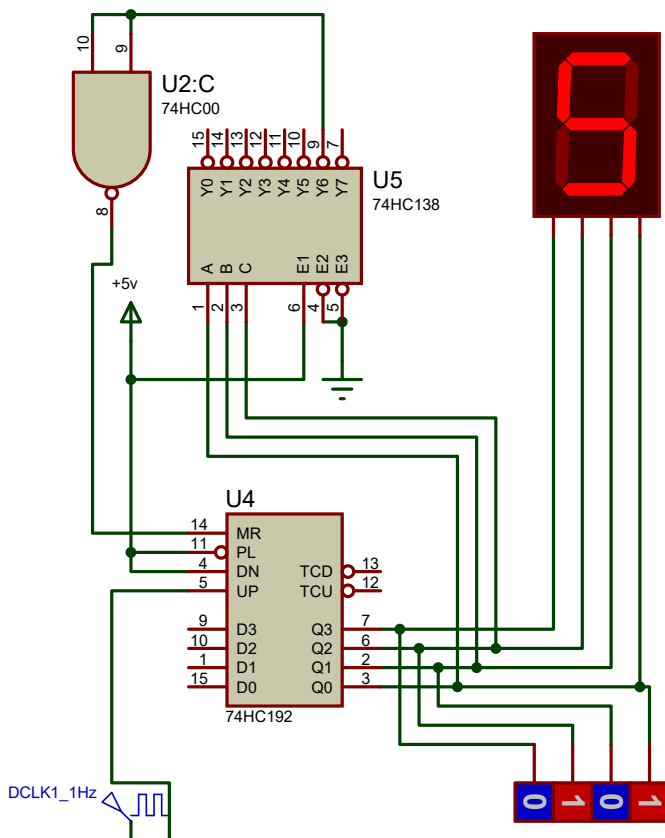
(1) 附录8.5 (a) 同步置数法实现



(3) 附录8.5 (c) 异步清零法实现



(2) 附录8.5 (b) 异步置数法实现



(4) 附录8.5 (d) 同步清零法实现

