

# Informe GanttProject

Proyecto : Divisor de Frecuencia (PLL)

Inicio : 20/05/21

Fin : 31/05/21

Organización : Facultad de Ingenieria – UNSJ

Página web :

## Descripción :

Divisor de frecuencia implementado con un PLL. El mismo cuenta con entrada de seleccion para elegir entre las frecuencias 5Hz, 2Hz, 1Hz, 0.5Hz y 0.1Hz. El circuito cuenta con decodificadores BCD a 7 segmentos con el fin de mostrar la freceuncia seleccionada en display.

Date : 03-jun-2021 21:56:36

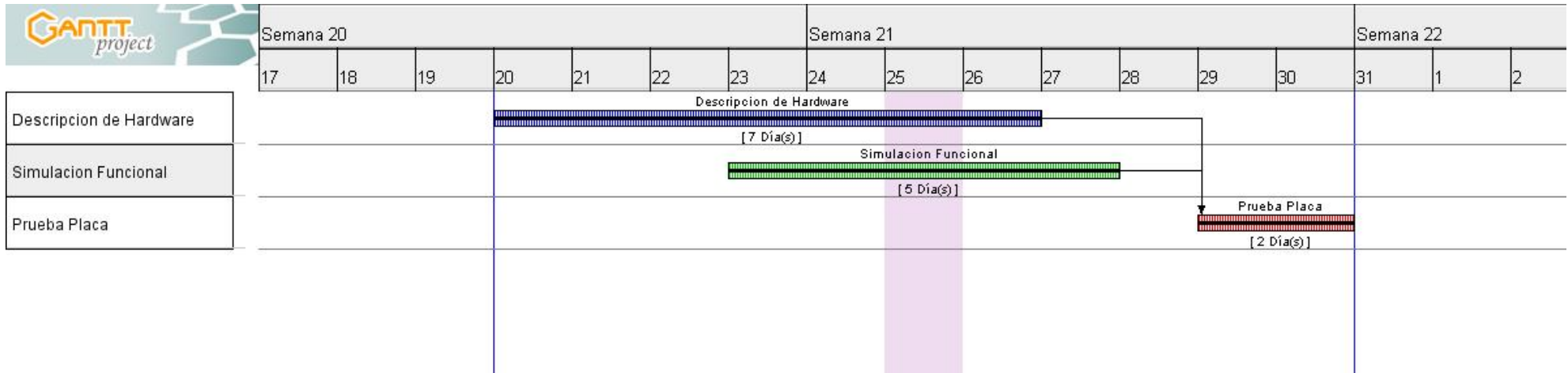
## Lista de tareas

Nombre			Fecha de inicio	Fecha de fin	Horas	Recursos
	Descripcion de Hardware	20/05/21	27/05/21	9	Ing. Electronico	
	Simulacion Funcional	23/05/21	29/05/21	6	Ing. Electronico	
	Prueba Placa	29/05/21	31/05/21	2	Ing. Electronico	

## Lista de recursos

Nombre	Función	Costo Total + IVA [Pesos]		Total Horas	Costo Parcial [Pesos]
		Costo/Hora [Pesos]			
Ing. Electronico	Encargado del proyecto	400	8228.0	17	6800.0

# Diagrama de Gantt



## Diagrama de recursos

