

西安电子科技大学
2020 年硕士研究生招生考试初试试题
考试科目代码及名称 833 计算机专业基础综合
考试时间 2019 年 12 月 22 日下午 (3 小时)

答题要求: 所有答案 (填空题按照标号写) 必须写在答题纸上, 写在试题上一律作废, 准考证号写在指定位置!

一、单项选择题 (每小题 2 分, 将答案写在答题纸上)

1. 某微处理器芯片内部采用哈佛结构, 其 L1 Cache 分为指令 Cache 和数据 Cache 两部分, 预取的指令必须放在指令 Cache, 缓存的数据必须放在数据 Cache。关于指令 Cache 与数据 Cache 分离的设计, 下述说法错误的是 ()。
A. 指令 Cache 只读不写, 设计更简单。
B. 数据 Cache 可读可写, 需要解决 Cache 一致性问题。
C. 指令和数据可以共享并充分利用 Cache 资源。
D. 可避免指令流水线“取指令”、“取数据”冲突带来的结构相关。
2. 希望通过改进某计算机的浮点数运算部件, 使其运行某科学计算程序的性能达到原来的 2 倍。已知浮点数运算时间占该程序总运行时间的 70%, 则浮点数运算部件的速度提高到原来的 () 倍, 即可达到整体的性能目标。
A. 2.5 B. 3.5 C. 4.5 D. 5.5
3. 有如下 C 语言程序段:

```
char var1 = -127;  
unsigned char var2 = var1;
```


执行上述两条语句后, var2 的值为 ()。
A. -127 B. 127 C. 128 D. 129
4. 某通信系统待发送数据为 8 位, 采用海明校验码, 偶校验。为了能够纠正 1 位错误, 需要 4 位奇偶校验位。若接收器收到如下编码字: $(010011000101)_2$, 则发送方发送的 8 位数据为 ()。
A. 48H B. 49H C. 4DH D. 69H
5. 行波进位加法器的最大缺点在于 ()。

- A. 无法实现减法运算 B. 进位信号传递延迟大, 速度慢
C. 无法判断溢出 D. 硬件实现复杂, 不易扩展
6. 下述定点数乘法运算的实现方法中, 速度最快的是 ()。
A. 布斯 (Booth) 法 B. 原码一位乘法
C. 阵列乘法器 D. 利用加法和移位指令通过软件实现
7. 计算机系统的高速缓存 (Cache)、主存、辅存 (外存), 可分别用下列哪些存储器实现? ()
A. DRAM、SRAM、磁盘 B. SRAM、DRAM、Flash
C. SRAM、Flash、DRAM D. Flash、EPROM、磁盘
8. Cache 用于临时存放 CPU 频繁使用的主存数据, 主存单元地址与 Cache 单元地址之间的转换工作由 () 完成。
A. 硬件 B. 系统软件 C. 应用软件 D. 程序员
9. 某指令系统指令长为 8 位, 每一地址码长 3 位, 用扩展操作码技术。若指令系统具有 2 条二地址指令、20 条零地址指令, 则最多有 () 条一地址指令。
A. 12 B. 13 C. 14 D. 15
10. 下列微处理器中, 不具有“指令系统简单”、“Load/Store 结构”、“强调优化编译技术”特点的是 ()。
A. Intel Core i7 B. ARM Cortex-A76
C. IBM POWER9 D. 龙芯 3A3000
11. 某微程序控制器, 其微指令的控制域采用水平型字段译码法, 某字段用来表示 32 个互斥的微命令, 则该字段应采用 () 位编码。
A. 3 B. 4 C. 5 D. 6
12. 下列关于主存储器 (MM) 和控制存储器 (CS) 的叙述中, 错误的是 ()。
A. MM 在 CPU 外, CS 在 CPU 内
B. MM 按地址访问, CS 按内容访问
C. MM 存储指令和数据, CS 存储微指令
D. MM 用 RAM 和 ROM 实现, CS 用 ROM 实现
13. 假定计算机 M1 和 M2 具有相同的指令集体系结构 (ISA), 主频分别为 1.5GHz 和

1.2GHz。在 M1 和 M2 上运行某程序 P，平均 CPI 分别为 2 和 1，则程序 P 在 M1 和 M2 上运行时间的比值是 ()。

- A. 0.4 B. 0.625 C. 1.6 D. 2.5

14. 某数组多路通道最大数据传输率为 1MB/s，它有 10 个子通道，则每个子通道的最大数据传输率为 ()。

- A. 100KB/s B. 1MB/s
C. 介于 A、B 之间 D. 小于 100KB/s

15. 关于多计算机系统，下列说法不正确的是 ()。

- A. 大规模并行处理机 (MPP) 使用高性能定制的通信网络实现节点之间的互联。
B. 集群 (Cluster) 由比较简单的非定制组件构成，结点之间一般采用商品化的网络互连。
C. 网络连接的一组相关、并不信任的计算机，节点分布的地理范围更广。
D. 各节点之间共享内存。

16. 下列说法正确的是 ()。

- A. 数据结构研究的是数值计算问题中的数据组织与操作问题
B. 逻辑结构指的是数据元素之间的关系
C. 存储结构是数据在计算机中的存储映象，与逻辑结构无关
D. 存储结构分为线性结构和非线性结构两种

17. 在长度为 n 的顺序表的表尾插入一个新元素的时间复杂度为 ()。

- A. $O(n)$ B. $O(1)$ C. $O(n^2)$ D. $O(\log n)$

18. 已知单链表中结点 *q 是结点 *p 的直接前驱，若在 *q 与 *p 之间插入结点 *s，需要执行的操作是 ()。

- A. $s \rightarrow next = q \rightarrow next; q \rightarrow next = s;$ B. $s \rightarrow next = p \rightarrow next; p \rightarrow next = s;$
C. $q \rightarrow next = s; s \rightarrow next = q \rightarrow next;$ D. $p \rightarrow next = s; s \rightarrow next = q;$

19. 设有一个 $n \times n$ 的对称矩阵 A 的下三角部分按行存放在一个一维数组 B 中， $A[0][0]$ 存放于 B[0] 中，那么 A 中的元素 $A[i][j]$ 存放于 B 中的存放位置是 ()。

- A. $(i+1)*i/2+j$ B. $(i+1)*j/2+j$
C. $(2n-i+1)*j/2$ D. $(2n-i-1)*j/2$

20. 设树 T 的度为 4，其中度为 1, 2, 3 和 4 的结点个数分别为 4, 2, 1, 1 则 T 中的

叶子数为 ()。

- A. 5 B. 6 C. 7 D. 8

21. 在树的层次遍历和图的广度优先遍历算法中采用的数据结构是: ()。

- A. 队列 B. 栈
C. 广义表 D. 数组

22. 将 50 个元素散列到容量为 100 的哈希表中, () 产生冲突

- A. 一定会 B. 一定不会 C. 有可能会 D. 以上都不对

23. 在下列排序方法中, 平均时间性能为 $O(n \log n)$ 且空间性能最好的是 ()。

- A. 快速排序 B. 堆排序 C. 归并排序 D. 基数排序

二、分析设计题

1. (本题 13 分)

已知两个十进制实数变量 $X=22.625$, $Y=0.375$, 解决以下问题:

(1) (4 分) 按照 IEEE754 标准单精度浮点方式分别表示 X 和 Y, 要求列出转换过程, 最终浮点表示以 8 位十六进制形式给出。

(2) (5 分) 在上述表示基础上, 按照浮点数加法流程, 完成 IEEE754 单精度浮点数 $X+Y$ 操作, 要求给出对阶、尾数求和、规格化步骤, 其中尾数求和可以直接使用真值计算, 最终结果以 8 位十六进制的 IEEE754 单精度浮点格式给出。

(3) (4 分) 变量 Z 为 IEEE754 单精度浮点数, 其十六进制内容为 $(FE000000)_{16}$, 试判断 $Y \div Z$ 是否溢出, 写出计算过程并说明理由; 如果溢出, 除法运算后, 应如何返回 $Y \div Z$ 的结果?

2. (本题 14 分)

某计算机主存按字节编址, 虚拟 (逻辑) 地址空间大小为 256MB, 主存 (物理) 地址空间大小为 16MB, 页面大小 4KB; 指令 Cache 和数据 Cache 分离; 数据 Cache 采用直接映射方式, 共 8 块; 主存与 Cache 之间交换的块大小为 32B。系统运行到某一时刻时, 页表的部分内容和 Cache 地址映射表的内容分别如图 a、图 b 所示, 图中实页号及标记字段的内容为十六进制形式。请回答下列问题:

(1) (3 分) 虚拟地址共有几位, 哪几位表示虚页号? 物理地址共有几位, 哪几位表示实页号?

(2) (2 分) 使用物理地址访问 Cache 时, 物理地址应划分成哪几个字段? 说明每个字段的位数及在物理地址中的位置。

(3) (4 分) 虚拟地址 00056A8H 所在的页面是否在主存中? 若在主存中, 则该虚拟地址对应的物理地址是什么? 访问该物理地址时是否命中 Cache? 如果命中 Cache, 对应的 Cache 内部地址是什么? 请写出计算过程并说明理由。

虚页号	有效位	实页号	...	行号	有效位	标记	...
0	1	23B	...	0	1	2A46	...
1	1	226	...	1	1	23B9	...
2	0	—	...	2	1	20D6	...
3	1	287	...	3	0	—	...
4	0	—	...	4	1	20D8	...
5	1	20D	...	5	1	20D6	...
6	1	235	...	6	0	—	...
7	1	2A4	...	7	1	23BA	...

图 a 页表的部分内容

图 b Cache 地址映射表

(4) (5 分) 现有两个功能相同的程序 A 和 B, 其伪代码如下所示:

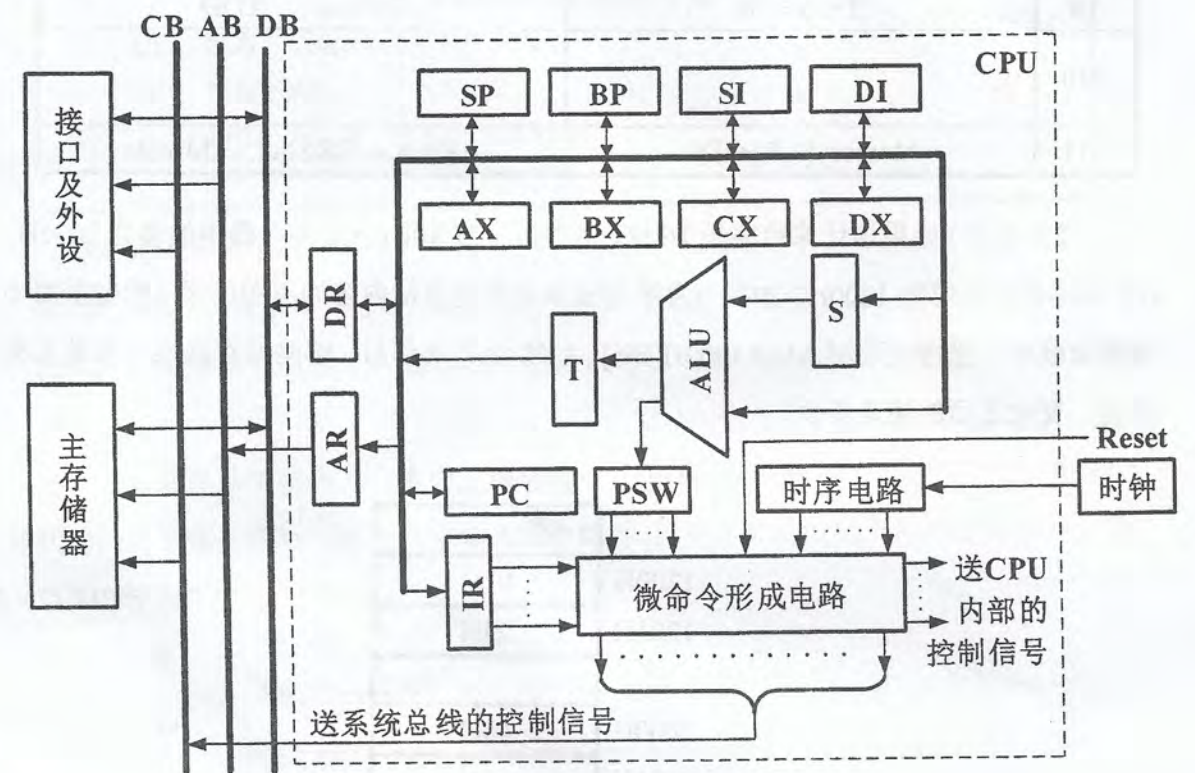
<pre>int a[64][64] int sum_array1() { int i,j,sum=0; for(i=0;i<64;i++) for(j=0;j<64;j++) sum += a[i][j]; return sum; }</pre> <p>程序 A</p>	<pre>int a[64][64] int sum_array2() { int i,j,sum=0; for(j=0;j<64;j++) for(i=0;i<64;i++) sum += a[i][j]; return sum; }</pre> <p>程序 B</p>
--	--

假定 int 类型数据用 32 位补码表示, 程序编译时 i, j, sum 均分配在寄存器中, 数组 a 在内存中按行优先方式存放, 其首地址为 768 (十进制数), 且程序执行之前数组 a 的任何元素均不在 Cache 中。请问: 程序 A 和 B 的数据访问 Cache 命中率各是多少? 哪个程序的执行时间更短? 要求说明理由或给出计算过程。

3. (本题 8 分)

某计算机框图如下, 包括 CPU、主存、外设、总线等。CPU 的寄存器有输入锁存控制信号 AXin、BXin、CXin、DXin、SPin、BPin、SIin、DIin、PCin、IRin、DRIin、DRSin、ARin、Sin、PSWin; 输出允许控制信号 AXout、BXout、CXout、DXout、SPout、BPout、SIout、DIout、PCout、IRout、DRIout、DRSout、ARout、Tout、PSWout; 还有 PC 自增信号 PC+1, SP 自增信号 SP+1 和 SP 自减信号 SP-1。CPU 的 ALU 有加(ADD)、减(SUB)、与(AND)、或(OR)、非(NOT)等运算控制信号; 外部控制信号有存储器读信号 (Mread)、存储器写信号 (Mwrite)、I/O 读信号 (IOread)、I/O 写信号 (IOWrite)。

其中, DRIout、DRIin 是数据寄存器 DR 在 CPU 内部总线边的读、写控制信号; DRSout、DRSin 是数据寄存器 DR 在系统总线边的读、写控制信号。CPU 内部为单总线结构; 系统总线包括控制总线 (CB)、地址总线 (AB) 与数据总线 (DB)。



(1) (6 分) 加法指令 “ADD 1000H[BX], AX” 的功能是将寄存器 AX 中的操作数与地址 1000H+BX 所指向的内存单元中的操作数相加, 并将结果存入地址 1000H+BX 所指向的内存单元中。其中 1000H[BX] 为寄存器相对寻址。该指令取指令阶段和执行指令阶段的微操作与微命令序列如下表所示, 请将该表补充完整。

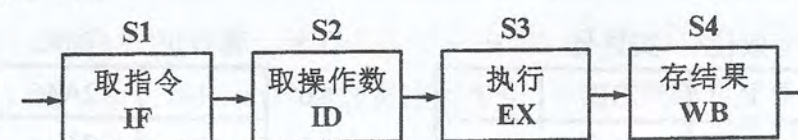
节拍	微操作	微命令
T1	$AR \leftarrow PC$	PCout, ARin
T2	$DR \leftarrow Memory[AR]$	ARout, Mread, DRSin
T3	$PC \leftarrow PC+I, IR \leftarrow DR$	PC+1, DRlout, IRin
T4	$S \leftarrow IR$ (地址字段)	IRout, Sin
T5		
T6	$AR \leftarrow T$	Tout, ARin
T7		
T8	$S \leftarrow AX$	AXout, Sin
T9	$T \leftarrow S+DR$	DRlout, ADD
T10		
T11	$Memory[AR] \leftarrow DR$	ARout, DRSout, Mwrite

(2) (2分) 如果该计算机字长 16 位, 主存按字节编址; AX 寄存器中的值为 2000H, BX 寄存器中的值为 1200H, 如果内存中相应单元中的存储内容如下图所示 (数据采用小端存储顺序), 则执行了 “ADD 1000H[BX], AX” 这条语句后, 哪些寄存器或主存单元有变化, 变化之后的值是多少?

主存地址	主存单元内容
1200H	01H
1201H	23H
2000H	45H
2001H	67H
2200H	89H
2201H	ABH

4. (本题 10 分)

已知 AX、BX、CX、SI、DI 均为某 CPU 内部的 16 位寄存器, CX 寄存器的初值只有 0000H 或 FFFFH 两种可能。该 CPU 内部指令流水线为 4 级, 如下图所示, 每级运行时间相同, 为 $\tau=10\text{ns}$ 。



(1) (6分) 现有代码 1 如下:

指令编号	指令	指令说明
I1:	JCXZ L1	条件转移: 若 CX 寄存器为 0, 则跳转至标号 L1
I2:	MOV CX, DI	$CX \leftarrow (DI)$
I3:	JMP L2	无条件转移: 跳转至标号 L2
I4:	L1: MOV CX, SI	$CX \leftarrow (SI)$
I5:	L2: MOV AX, 0	$AX \leftarrow 0$
I6:	SHL BX, 1	$BX \leftarrow (BX) \times 2$

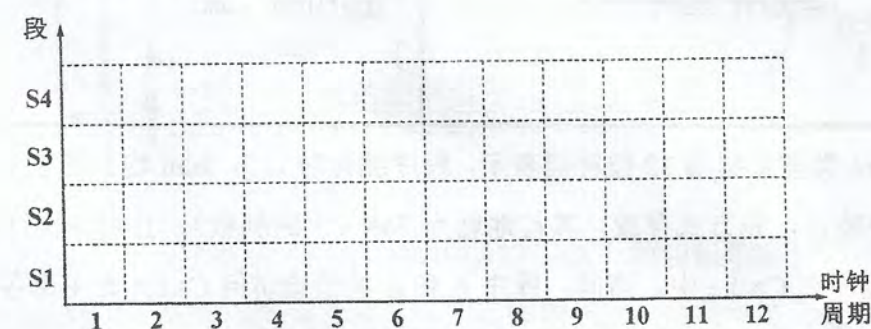
代码 1

代码 1 前四条指令的功能是:

若 CX 内容为 0000H, 则执行赋值 $CX \leftarrow (SI)$; 否则执行赋值 $CX \leftarrow (DI)$ 。

已知跳转指令只有执行完、排出流水线后, 才可明确下一条指令的位置 (即是否跳转)。

画出 CX 寄存器初值为 0、分支预测失败的情况下, 该 CPU 的 4 级指令流水线执行上述代码的时空图 (在对应的方框中填入指令编号), 并计算此情况下流水线的实际吞吐率 (以 MIPS 为单位)、加速比。



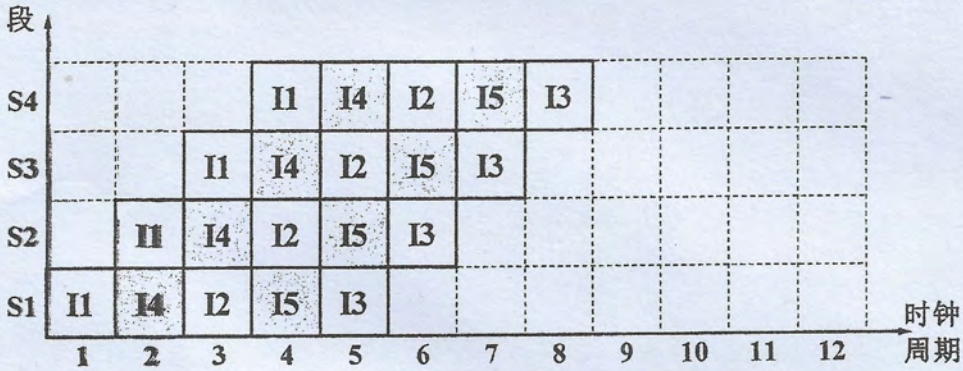
(2) (4分) 为了避免跳转指令引起的控制相关, CX 寄存器的最终值可以这样得到: $CX \leftarrow SI \oplus (CX \cdot (SI \oplus DI))$, 其中 “ \oplus ” 为按位异或运算, “ \cdot ” 为按位相与运算。通过上述运算, 可在不使用跳转指令的情况下实现如下逻辑: 若 CX 寄存器的初值

为 0000H, 则执行赋值 $CX \leftarrow SI$; 若 CX 寄存器的初值为 FFFFH, 则执行赋值 $CX \leftarrow DI$ 。

代码 1 的功能可以改用代码 2 实现。

指令编号	指令	指令说明
I1:	XOR DI, SI	$DI \leftarrow (DI) \oplus (SI)$
I2:	AND CX, DI	$CX \leftarrow (CX) \text{ AND } (DI)$
I3:	XOR CX, SI	$CX \leftarrow (CX) \oplus (SI)$
I4:	MOV AX, 0	$AX \leftarrow 0$
I5:	SHL BX, 1	$BX \leftarrow (BX) \times 2$
代码 2		

该 CPU 的 4 级指令流水线执行代码 2 的时空图如下:



请问, 代码 2 中存在哪些数据相关? 从时空图上看, 该 CPU 为了解决数据相关问题, 都采取了哪些策略? 说明其原理。

5. (本题 10 分)

已知长度为 n 的线性表 $A=(a_1, a_2, \dots, a_{n-1}, a_n)$ 采用顺序存储结构。编写一个算法, 将线性表原地转换为 $A'=(a_n, a_{n-1}, \dots, a_2, a_1)$, 要求转换过程中用尽可能少的辅助空间。

6. (本题 13 分)

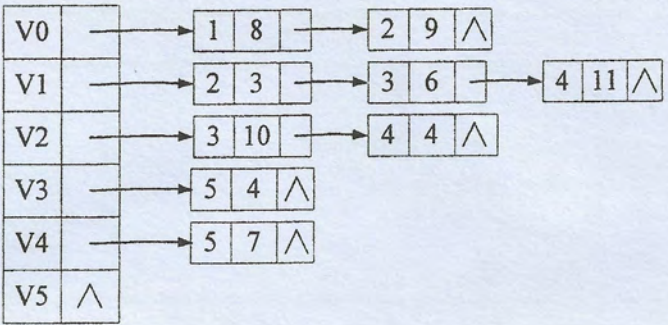
已知某字符串 S 中共有 6 种字符, 各种字符分别出现 2 次、3 次、7 次、10 次、4 次和 5 次。

- (1) (7 分) 为这 6 种字符设计哈夫曼编码 (要求画出哈夫曼树)。
- (2) (6 分) 问字符串 S 的编码至少有多少位 (即树的带权路径长度)?

7. (本题 18 分)

已知一个有向图的邻接表如下图所示, 其中表结点中的域为:

邻接顶点编号	边上的权值	next 指针
--------	-------	---------



(1) (3 分) 根据邻接表从顶点 V_0 出发做深度优先遍历, 写出遍历序列, 并画出生成树;

(2) (3 分) 根据邻接表从顶点 V_0 出发做广度优先遍历, 写出遍历序列, 并画出生成树;

(3) (4 分) 该图存在包含全部顶点的拓扑序列吗? 若存在, 则写出所有序列; 若不存在, 说明原因;

(4) (4 分) 用 Dijkstra 算法求顶点 V_0 到 V_5 的最短路径, 写出最短路径及其长度。要求写出求解过程中每一步的 $D[n]$ 数组;

(5) (4 分) 将该图看作无向图, 从顶点 V_0 开始用 Prim 算法求最小生成树, 要求标明边的生成顺序。

8. (本题 18 分)

从空树起, 依次插入关键字 40、8、90、15、62、95、12、23、56、32, 构造一棵二叉排序树。

- (1) (9 分) 画出该二叉排序树。
- (2) (9 分) 画出删去该树中关键字值为 90 的元素之后的二叉排序树。