

西安电子科技大学

2019 年硕士研究生招生考试初试试题

考试科目代码及名称 833 计算机专业基础综合

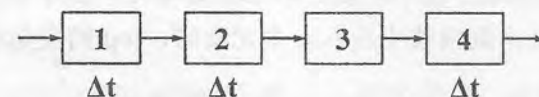
考试时间 2018 年 12 月 23 日下午 (3 小时)

答题要求: 所有答案 (填空题按照标号写) 必须写在答题纸上, 写在试题上一律作废, 准考证号写在指定位置!

一、单项选择题 (每小题 2 分, 共 46 分)

- 2018 年初, 国外安全研究机构公布了 Meltdown (熔断) 和 Spectre (幽灵) 两组 CPU 漏洞, 影响几乎所有的 Intel 和 AMD 的 CPU, 以及主流的 ARM CPU。利用该漏洞, 低权限代码可以访问内核的内容, 导致用户隐私信息泄露。该漏洞利用了高性能 CPU 的 () 机制。
A. 存储管理单元 MMU、虚拟存储管理
B. 分支预测、推测执行、高速缓存
C. 宏融合、微融合技术
D. 数据重定向、寄存器重命名
- 若 $[X]_{\text{补}} = x_0, x_1 x_2 \cdots x_n$, 其中 x_0 为符号位, x_1 为最高数值位。若 (), 则当补码左移 1 位时, 将会发生溢出。
A. $x_0 = x_1$ B. $x_0 \neq x_1$ C. $x_1 = 0$ D. $x_1 = 1$
- 在串行进位的行波进位加法器中, 影响加法器运算速度的关键因素是 ()。
A. 门电路的延迟 B. 时钟信号的频率
C. 进位信号传递延迟 D. 各位加法器的速度不同
- 某计算机需要连续执行大量乘法任务, 定点乘法运算单元有下述多种实现方法, 其中速度最快的是 ()。
A. 布斯 (Booth) 法 B. 阵列乘法器
C. 进位保留乘法器 (Wallace 树) D. 流水线进位保留乘法器
- 相联存储器可实现按内容访问、快速查找。在计算机系统中, 无需使用相联存储器实现的是 ()。
A. 全相联 Cache 的目录表 B. 内存 (主存)
C. 变换旁视缓冲器 (TLB) D. 分支历史表 (分支预测缓存)
- 关于高速缓冲存储器 (Cache), 下列说法正确的是 ()。
A. 由操作系统完成大部分管理工作
B. 可以扩大程序员可用的主存容量
C. 可以提高主存的平均访问速度
D. 与主存之间以字节为单位进行数据调度

- 不属于构成虚拟存储器的必要组件, 或不参与虚拟存储管理的是 ()。
A. 主存储器+联机工作的外部存储器
B. CPU 内部的存储管理单元 (MMU)
C. 操作系统
D. 应用软件
- 磁盘的平均寻道时间、平均等待时间通常为 ()。
A. 几个纳秒 B. 几个微秒
C. 几个毫秒 D. 几秒
- 在内存地址空间与接口地址空间统一编址的计算机中, 下列哪种类型的指令是不需要的? ()
A. 数据传送类 (比如 MOV 指令)
B. 算术、逻辑运算类 (比如 ADD、SUB、AND、OR 指令)
C. 输入/输出类 (比如 IN、OUT 指令)
D. 程序控制类 (比如条件转移指令、子程序调用指令)
- 下列哪些因素不会影响 CPU 运行某程序的实际 CPI? ()
A. CPU 时钟频率 B. Cache 行为发生变化
C. 指令混合发生变化 D. 分支预测发生变化
- 关于微处理器的多线程、多核技术, 下列说法正确的是 ()。
A. 对于某多线程程序, 在其他参数相同的情况下, 其在单核多线程处理器上的运行速度是单核单线程处理器的 2 倍。
B. 对于某多线程程序, 在其他参数相同的情况下, 其在双核多线程处理器上的运行速度是单核单线程处理器的 2 倍。
C. 对于某单线程程序, 在其他参数相同的情况下, 其在双核处理器上的运行速度是单核处理器的 2 倍。
D. 处理器内核引入多线程技术 (比如单核多线程), 会大幅度增加处理器的功耗。
- 某异步时钟控制的指令流水线, 将一条指令的执行过程分为四步, 其中第 1、2 和 4 步的经过时间为 Δt , 如图所示。若该流水线连续执行 50 条指令所用时间为 $153 \cdot \Delta t$, 不考虑相关问题, 则该流水线的瓶颈第 3 步的时间为 () Δt 。



- A. 2 B. 3 C. 4 D. 5

13. 设指令的处理过程由取指、分析、执行 3 个子部件完成, 每个子部件的处理时间均为 Δt , 若采用度为 4 的超标量流水线处理机, 连续执行 20 条指令, 不考虑相关问题, 所需时间为 ()。
- A. $3\Delta t$ B. $5\Delta t$ C. $7\Delta t$ D. $9\Delta t$
14. 在某计算机系统中, 各设备得到总线使用权的机会基本相等, 则该系统采用的集中式总线仲裁策略可能是 ()。
- I. 链式查询方式 II. 计数器定时查询方式 III. 独立请求方式
- A. 只能 I, 其余都不可能 B. II 和 III 都有可能, I 不可能
C. 只能 II, 其余都不可能 D. I、II、III 都有可能
15. 在 CPU 响应中断时, 硬件需要保护的断点包括 () 的内容。
- I. 通用寄存器 II. 程序计数器 PC III. 程序状态字 PSW
- A. I 和 II B. 仅 II C. II 和 III D. I、II 和 III
16. 关于数据的逻辑结构和存储结构说法正确的是 ()。
- A. 数据的逻辑结构唯一决定数据的存储结构
B. 数据的存储结构唯一决定数据的逻辑结构
C. 数据的逻辑结构独立于数据的存储结构
D. 数据的存储结构独立于数据的逻辑结构
17. 关于算法的时间复杂度的描述正确的是 ()。
- A. 时间复杂度相同的算法在相同的计算机上的运行时间相同
B. 算法的时间复杂度仅反映算法的运行时间与问题规模之间的关系
C. 时间复杂度相同的算法在解决问题的规模相同时运行时间相同
D. 算法的时间复杂度与问题的规模和计算机硬件的运行速度相关
18. 在有 n 个元素的顺序表中, 算法的时间复杂度是 $O(1)$ 的操作是 ()。
- A. 在第 i 个元素后插入一个新元素 ($1 \leq i \leq n$)
B. 删除第 i 个结点元素 ($1 \leq i \leq n$)
C. 将 n 个元素从小到大排序
D. 访问第 i 个元素 ($1 \leq i \leq n$) 和求第 i 个元素的直接前驱 ($2 \leq i \leq n$)
19. 在一个 n 个单元的顺序栈中, 假定以地址高端 (下标为 $n-1$ 的单元) 作为栈底, 以 top 作为栈顶指针, 则向栈中压入一个元素时, top 的变化是 ()。
- A. top 不变 B. $top=n$
C. $top=top-1$ D. $top=top+1$

20. 已知一棵完全二叉树的第 6 层 (设根为第 1 层) 有 8 个叶结点, 则完全二叉树的结点个数最多是 ()。
- A. 39 B. 52
C. 111 D. 119
21. 下列算法中, () 可以用来判断一个图是否存在回路。
- A. 最小生成树算法 B. 拓扑排序算法
C. 关键路径算法 D. 最短路径算法
22. 对线性表进行二分查找时, 要求线性表必须 ()。
- A. 以顺序方式存储 B. 以顺序方式存储, 且数据元素有序
C. 以链接方式存储 D. 以链接方式存储, 且数据元素有序
23. 下列排序算法中, () 算法在一趟结束后不一定能选出一个元素放在其最终位置上。
- A. 选择排序 B. 冒泡排序
C. 归并排序 D. 堆排序

二、分析设计题 (共 45 分)

1. (本题 13 分)

`float` 型数据在计算机中通常用 IEEE 754 单精度浮点数格式表示, 由 3 个字段组成: 一个符号位 S 、8 位的阶码 e (移码表示, 偏移值为 127) 以及 23 位的尾数 f , 这些字段连续存储在一个 32 位字中, 如下图所示。



若编译器将 `float` 型变量 X 分配在一个 32 位浮点寄存器 $FR1$ 中,

且 $X = -8.25$ (即变量 X 的十进制真值为 -8.25)。

(1) (5 分) 求浮点寄存器 $FR1$ 的内容, 用十六进制表示。要求写出求解过程, 只有结果、没有过程不给分。

(2) (5 分) 另外两个 `float` 型变量 Y 、 Z 分别存储在 32 位浮点寄存器 $FR2$ 、 $FR3$ 中, 存储变量 Y 的 $FR2$ 寄存器十六进制内容为 $(4DA60000)_{16}$ 。当计算机执行完 “ $Z=X+Y$ ” 后, 试比较变量 Z 与变量 Y 真值的大小, 即: $Z>Y$, $Z<Y$, 还是 $Z=Y$? 说明理由。只有结果、没有理由不给分。

提示: 计算机中浮点数加法的运算步骤包括: 对阶, 尾数求和, 运算结果规格化、舍入处理。

(3) (3分) 下面为单精度浮点数 C 语言测试程序及其运行结果。

程序	运行结果
<pre>#include <stdio.h> void main(void) { int i = 123456789; float f = 123456789.0f; f += 20; printf("1: %f\n", f); f = (float)i; printf("2: %f\n", f); float f1 = 0.33f, f2 = 0.11f; f2 += 0.22f; if (f1 == f2) printf("3: Equal\n"); else printf("3: Not Equal\n"); }</pre>	<p>1: 123456816.000000</p> <p>2: 123456792.000000</p> <p>3: Not Equal</p>

请根据 float 型变量格式, 解释在计算机中为何浮点数 123456789.0 与 20.0 相加的结果为 123456816.0 (不等于 123456809.0); 为何整数 123456789 转换为单精度浮点数后, 变为 123456792.0; 为何浮点数 0.11+0.22 不等于 0.33。

2. (本题 9 分)

某直接映射方式的 Cache, 初始内容为空。Cache 容量为 2KB, 以 128B 分块。主存容量为 1MB, 求:

- (4分) Cache 分为多少块? Cache 块号及块内地址各为多少位? 为实现地址映像, 主存地址应如何划分?
- (2分) 主存中顺序排列的第 129 块 (即若主存不分区, 以第 0 块开始顺序排列时) 内容调入到 Cache 的哪一块中?
- (3分) 在上一步的基础上, 读写主存地址 040CBH 时是否命中? 若未命中, 说明理由; 若命中, 求对应 Cache 的内部地址, 用十六进制表示。

3. (本题 13 分)

某 16 位计算机, 按字节编址, 有 A、B、C 三类指令, 指令格式采用扩展操作码设计。其中, A 类指令操作码 5 位, 共 20 条; B 类指令操作码 8 位, 共 80 条; C 类指令操作码 10 位。下面为该计算机的 4 条典型指令, 分别列出了各条指令的功能、助记符 (汇编语言格式)、机器码。

指令 1 (A 类, 二地址格式): 立即数到寄存器的数据传送指令, 将 16 位的立即数 IMM 传送至目标寄存器 Rd。该指令的助记符及机器码如下:

MOV Rd, IMM

字节 1 (小地址)					字节 2					字节 3 (大地址)						
7	3	2	0		7	0				7	0					
1	0	1	1	1	Rd	IMM _L					IMM _H					
操作码					寄存器		立即数 (低 8 位)					立即数 (高 8 位)				

指令 2 (C 类, 二地址格式): 寄存器到寄存器的加法指令, 将源寄存器 Rs 与目的寄存器 Rd 的内容相加, 结果存入目的寄存器 Rd。该指令的助记符及机器码如下:

ADD Rd, Rs

字节 1 (小地址)				字节 2 (大地址)							
7			0	7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0	1	1	1	
操作码				寄存器 (源)				寄存器 (目的)			

指令 3 (B 类, 一地址格式): 条件转移指令, PC 相对寻址。若程序状态字 (PSW) 中的零标志位未置位 (即上一条指令的运算结果不为 0), 则跳转至目标标号处; 否则顺序执行下一条指令。该指令的助记符及机器码如下:

JNZ Label

字节 1 (小地址)								字节 2 (大地址)							
7							0	7							0
0	1	1	1	0	1	0	1	disp							
操作码								偏移量 (补码)							

指令 4 (A 类, 一地址格式): 减 1 指令, 将寄存器 Reg 的内容减 1, 结果存入寄存器 Reg。该指令的助记符及机器码如下:

DEC Reg

7			3	2	0
0	1	0	0	1	Reg
操作码			寄存器		

- (3分) 该计算机 C 类指令最多可以有多少条? 请写出计算过程。
- (6分) 该计算机最多可以有多少个通用寄存器? 数据存储顺序采用大端存储还是小端存储? 是 RISC 还是 CISC? 请写明原因。

(3) (4分) 下面为该计算机内存中的一段程序:

行号	内存地址 (十六进制)	机器码 (十六进制)	指令助记符
1	0100	B80000	MOV R0, 0
2	0103	B96400	MOV R1, 0064H
3	0106	01C8	L1: ADD R0, R1
4	0108	49	DEC R1
5	0109	75FB	JNZ L1
6	010B

上表第3行解读如下:

起始内存地址为 0106H, 地址为 0106H 的内存单元内容为 01H, 下一内存单元 (地址为 0107H) 的内容为 C8H。这两个字节为一条加法指令, 源寄存器的二进制编号为 001, 即 R1; 目的寄存器的二进制编号为 000, 即 R0。

请问: 第5行指令 (JNZ) 机器码中的第二个字节 (内容为 FBH) 有何含义? 该指令第一次执行时, 执行前、执行后 PC (程序计数器) 的内容分别是什么, 与机器码中第二个字节的内容有何关联?

4. (本题 10 分)

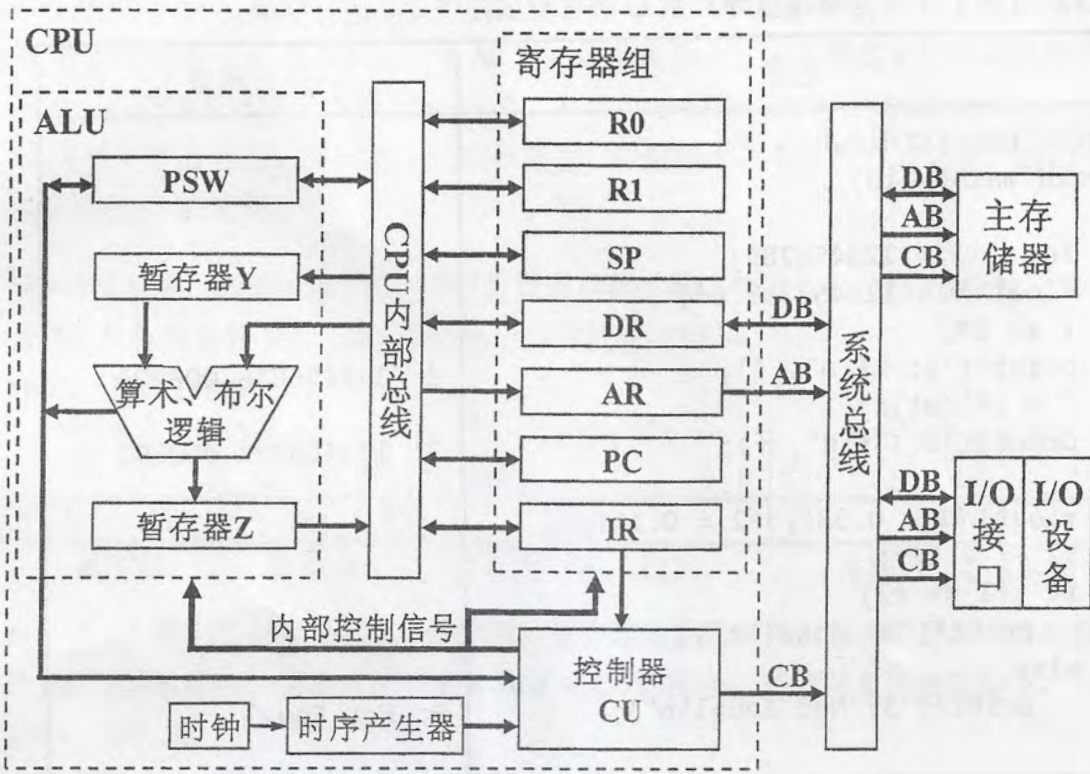
下图是一个简单的计算机系统模型。其中 R0、R1 为通用寄存器, SP 为堆栈指针寄存器, DR 为数据暂存器, AR 为地址暂存器, PC 为程序计数器, IR 为指令寄存器, PSW 为标志寄存器。寄存器名加 “in” 下标的控制信号为该寄存器的写信号, 寄存器名加 “out” 下标的控制信号为该寄存器的读信号。

特殊寄存器的控制信号:

- DR 为双端口寄存器, DRlin 与 DRlout 为 DR 寄存器 CPU 片内总线边的写信号、读信号; DRSin 与 DRSout 为 DR 寄存器系统总线边的写信号、读信号。
- PC 具有自动加 1 功能, PC+1 为控制其加 1 的信号。
- SP 具有自增、自减功能, 控制信号分别为 SP+1、SP-1。

其它的控制信号:

- 控制信号 ADD、SUB、AND、OR 可控制运算器做算术加、算术减、逻辑与、逻辑或运算。
- Mread、Mwrite、IOread、IOwrite 分别为内存读、内存写、接口读、接口写信号。



(1) (4分) 下列信号是相容的还是互斥的? 勾选出正确答案。

- ① ARout, DRSout, Mwrite (相容/互斥)
- ② ADD, AND (相容/互斥)
- ③ R0out, R1out (相容/互斥)
- ④ DRlout, IRin, PC+1 (相容/互斥)

(2) (2分) 该计算机的指令系统需要设计输入输出类 (IN、OUT) 指令吗, 为什么?

(3) (4分) 该计算机出栈指令 “POP R0” 执行阶段的微操作、微命令序列如下表所示。

节拍	微操作序列	微命令序列 (有效的控制信号)
T1	AR ← SP	SPout, ARin
T2	DR ← Memory[AR]	ARout, Mread, DRSin
T3	R0 ← DR, SP ← SP+1	DRlout, R0in, SP+1

请按照上述格式写出压栈指令 “PUSH R0” 执行阶段的微操作、微命令序列, 要求用三个节拍完成。

三、综合设计题（共 59 分）

1.（本题 11 分）

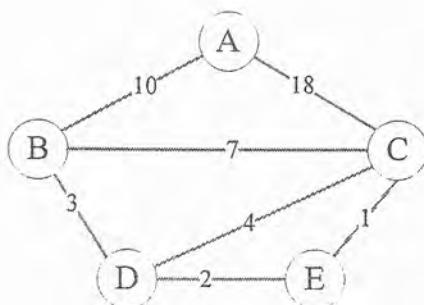
已知一森林的先序遍历序列为 ABDCEGFHJKL，中序遍历序列为 BDAGECJHKFL，要求：

（1）（5 分）画出该森林。

（2）（6 分）将该森林对应的二叉树后序线索化，画出后序线索化之后的二叉树。

2.（本题 16 分）

已知如下图，采用 Dijkstra 算法计算从顶点 A 到其他各个顶点的最短路径和最短路径长度。



（1）（4 分）给出 Dijkstra 算法求得最短路径节点的先后次序。

（2）（12 分）依次给出从顶点 A 出发到各个顶点的最短路径和最短路径长度。

3.（本题 16 分）

假定一个待散列存储的线性表为 (32, 75, 63, 48, 94, 25, 36, 18, 70)，散列地址空间为 [0..10]，若散列函数为 $H(key)=key\%11$ ，并采用拉链法处理冲突，试给出它们对应的散列表，并计算等概率查找情况下查找成功和查找失败的平均查找长度。

4.（本题 16 分）

已知一个带头结点的单链表，其头指针为 H，链表中数据元素 Key 为整数类型，试设计算法，将此单链表中的元素按 Key 值递增的顺序进行就地排序。

单链表结点类型为：

```
typedef struct LNode {  
    int Key; //数据域  
    struct LNode *next; //指针域  
} LNode, *LinkList;
```