

ADC架构II：逐次逼近型ADC

作者：Walt Kester

简介

数年以来，逐次逼近型ADC一直是数据采集系统的主要依靠。近期设计改良使这类ADC的采样频率扩展至兆赫领域且分辨率为18位。ADI公司的PulSAR®系列SAR ADC采用内部开关电容技术和自动校准，以CMOS工艺实现18位、2 MSPS性能([AD7641](#))，而无需进行昂贵的薄膜激光调整。在16位级别，[AD7625](#)(6 MSPS)和[AD7626](#)(10 MSPS)还代表着突破性的技术。

基本逐次逼近型ADC如图1所示。该器件根据命令执行转换。为了处理交流信号，SAR ADC必须具有输入采样保持(SHA)功能来实现在转换周期期间保持信号不变。

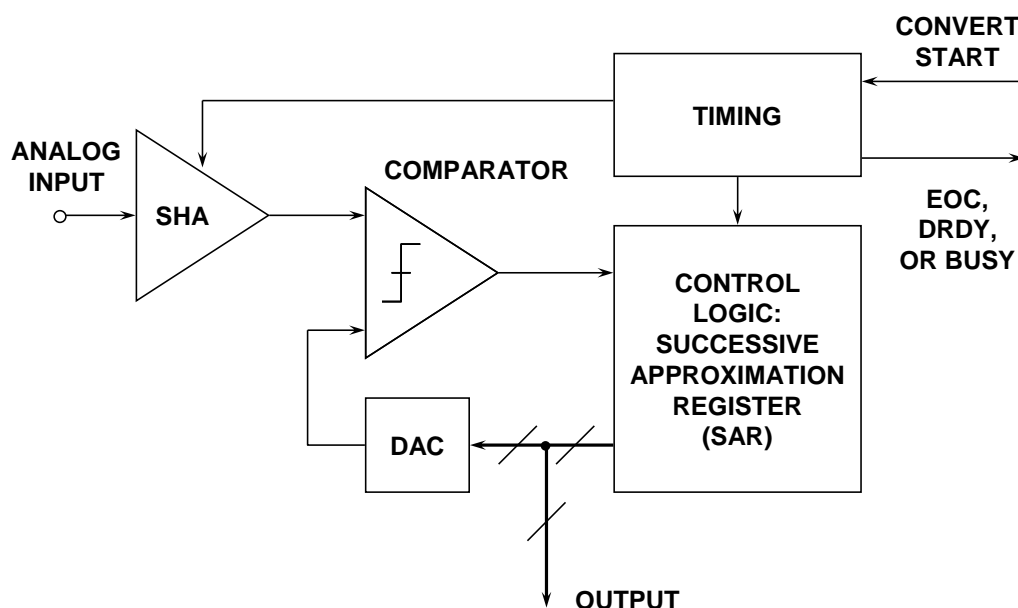


图1：基本逐次逼近型ADC(反馈减损型ADC)

CONVERT START命令置位时，采样保持(SHA)电路置于保持模式，而内部DAC设为中间电平。比较器确定SHA输出是大于还是小于DAC输出，并将结果(位1，转换的最高有效位)存储在逐次逼近型寄存器(SAR)中。然后，DAC被设为 $\frac{1}{4}$ 量程或 $\frac{3}{4}$ 量程(取决于位1的值)，而比较器则确定转换的位2。结果同样存储在寄存器中，而该过程继续进行，直到确定所有位的值为止。当所有位均完成设置、测试并根据需要复位之后，SAR的内容即对应于模拟输入的值，而转换到此完成。这些位“测试”构成串行输出SAR型ADC的基础。注意，首字母缩写词“SAR”实际上代表Successive Approximation Register(逐次逼近型寄存器)，即控制转换过程的逻辑模块，但人们普遍将其视作该架构本身的缩写。

SAR ADC时序

典型SAR ADC的基本时序图如图2所示。转换结束通常是通过转换结束(EOC)、数据就绪(DRDY)或繁忙信号(实际上, 空闲信号表示转换结束)来表示。对于不同的SAR ADC, 此信号的极性和名称可能会有所不同, 但基本概念是相同的。在转换间隔开始时, 信号变为高电平(或低电平)并保持该状态, 直到转换完成为止, 然后信号变为低电平(或高电平)。下降沿通常表示有效的输出数据, 但应当仔细查看数据手册; 有些ADC中可能需要额外延迟, 输出数据才有效。

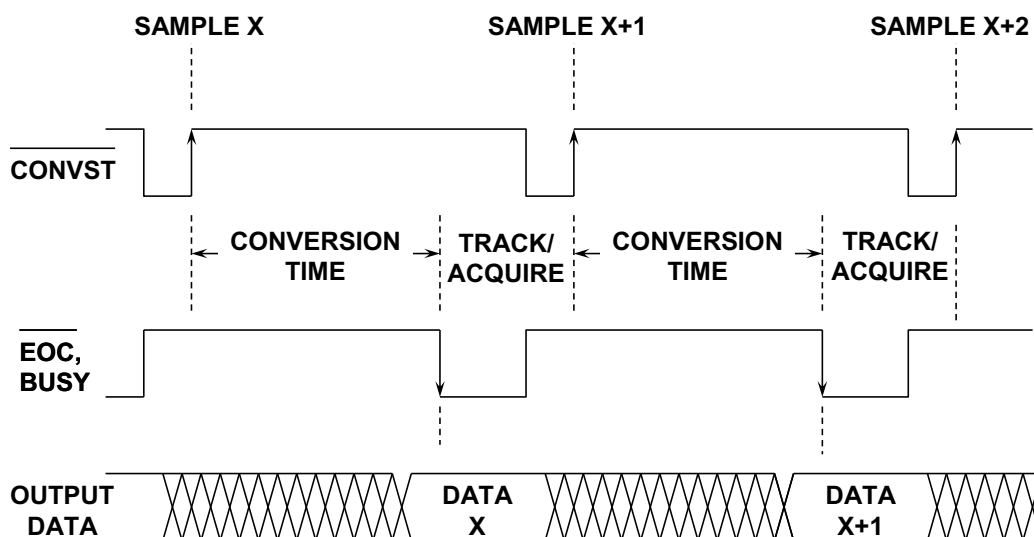


图2: 典型的SAR ADC时序

N位转换分N步进行。因此, 16位转换器的转换时间是8位转换器的两倍, 这看起来是非常浅显的道理, 但实际并不是这样。在8位转换器中, DAC必须建立至8位精度, 然后才会做出位判断, 而在16位转换器中则必须建立至16位精度, 而这需要更长时间。在实际操作中, 8位逐次逼近型ADC在数纳秒内即可完成转换, 而16位逐次逼近型ADC则通常需要数微妙。

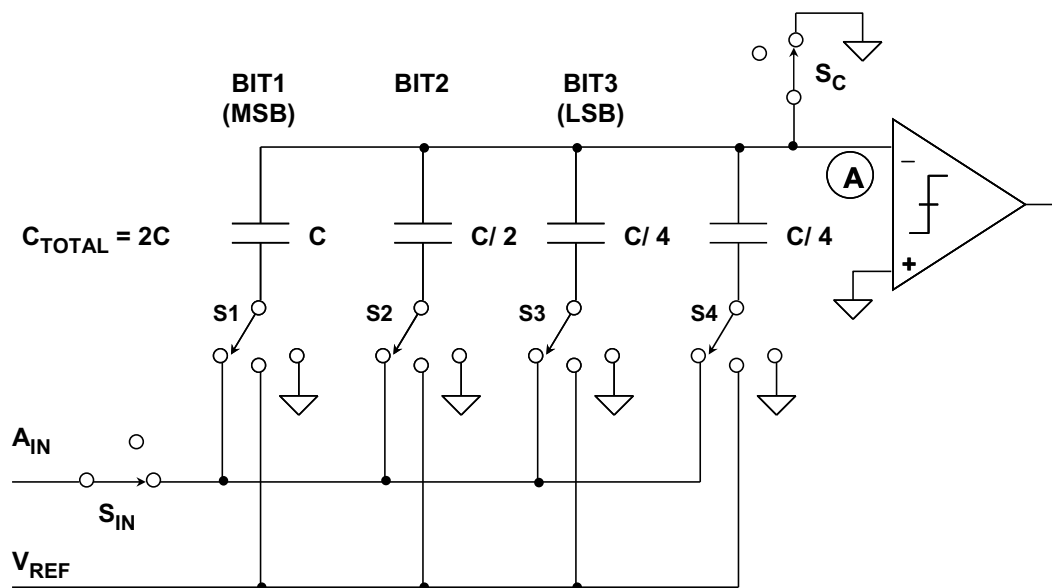
虽然存在一些变化, 但大多数ADC的基本时序是类似的且相对直观。转换过程通常由置位 **CONVERT START** 信号来启动。 $\overline{\text{CONVST}}$ 信号是趋负脉冲, 其趋正边沿实际上启动转换。内部采样保持(SHA)放大器在此边沿置于保持模式, 并使用SAR算法来确定各个位。 $\overline{\text{CONVST}}$ 的趋负边沿导致 **EOC** 或 **BUSY** 线路变为高电平。转换完成时, **BUSY** 线路变为低电平, 表示转换过程已完成。大多数情况下, **BUSY** 线路的下降沿可用于表示输出数据有效并可用来选通输出数据并存入外部寄存器。不过, 由于术语和设计上存在诸多变化, 因此使用特定ADC时应当仔细查阅相关数据手册。SAR ADC的重要特性之一是转换时间结束时, 即可获得对应于采样时钟边沿的数据, 而没有“流水线”延迟。这使得SAR ADC在“单发”和多路复用应用中使用尤为简单。

还应注意的是，除CONVERT START命令之外，有些SAR ADC还需要外部高频时钟。大多数情况下，无需将CONVERT START命令同步至高频时钟。如果需要，外部时钟的频率通常位于1 MHz至30 MHz范围内，具体取决于ADC的转换时间和分辨率。其它SAR ADC内置振荡器来用于执行转换并仅需要CONVERT START命令。因为其架构，SAR ADC通常允许以从DC到转换器最大转换速率范围内的任意重复率进行单发转换。不过，存在一些例外情况，因此始终应当查阅数据手册。

注意，SAR ADC的整体精度和线性度主要取决于内部DAC。直到最近，大多数精密SAR ADC都采用激光调整薄膜DAC来实现所需的精度和线性度。薄膜电阻调整过程会导致成本增加，并且薄膜电阻值可能会受到封装机械压力的影响。

为此，开关电容(或电荷再分配)DAC在新款SAR ADC中日益流行。开关电容DAC的优势在于，精度和线性度主要取决于高精度光刻，而后者又控制电容板面积、电容值和匹配程度。此外，可与主电容并联小电容，并可通过自动校准例程来控制是否接入小电容，因而无需薄膜激光调整，便可实现高精度和线性度。开关电容之间的温度跟踪能力可优于1 ppm/°C，因此可提供较高的温度稳定性。现代细线CMOS工艺非常适合制造开关电容SAR ADC，因此成本较低。

简单的3位电容DAC如图3所示。图中的开关处于跟踪或采样模式，其中模拟输入电压 A_{IN} 对所有电容并联组合持续充电和放电。保持模式通过打开 S_{IN} 来启动，此时将采样的模拟输入电压保留在电容阵列中。接着，开关 S_C 被打开，从而允许节点A处的电压随着位开关操控而移动。如果S1、S2、S3和S4全部连接到地，则节点A处出现大小等于 $-A_{IN}$ 的电压。如果将S1连接到 V_{REF} ，则电压会在 A_{IN} 的基础上增加 $V_{REF}/2$ 。然后，比较器做出MSB位判断，而SAR保持S1连接到 V_{REF} 或将其连接到地，具体取决于比较器输出(高电平或低电平，分别取决于节点A处的电压是正还是负)。剩余的两个位遵循类似的过程。转换时间间隔结束时，S1、S2、S3、S4和 S_{IN} 连接回 A_{IN} 、 S_C 连接到地，而转换器则已准备好进入下一周期。



SWITCHES SHOWN IN TRACK (SAMPLE) MODE

图3：3位开关电容DAC

注意，需要使用额外的LSB电容(对于3位DAC，为 $C/4$)来使电容阵列的总电容值等于 $2C$ ，以便可在操控各个位电容时完成二进制分配。

电容DAC(cap DAC)的操作类似于R-2R阻性DAC。当特定位电容切换至 V_{REF} 时，该位电容所构成的分压器和总阵列电容($2C$)即会导致节点A处电压增加，具体幅度等于该位的权重。当该电容切换至地时，则会从节点A中减去相同大小的电压。

SAR ADC历史展望

逐次逼近型(最初称为“反馈减损型”)ADC转换过程中使用的基本算法可以追溯到16世纪，与某个数学谜团的解决相关，即通过最小序列的称量操作来确定未知重量(参考文献1)。如上所述，该问题的目的是确定最少的称量次数，从而使用天平称量出1 lb到40 lb范围内且为整数值的重量。1556年数学家Tartaglia提出的解决方案之一就是使用1 lb、2 lb、4 lb、8 lb、16 lb和32 lb的称重序列。上述称重算法与现代逐次逼近型ADC中使用的算法完全相同。(应注意，此种解决方案实际上可以测量最高63 lb的未知重量，而非问题中所述的40 lb。)该算法如图4所示，其中未知重量为45 lb。此处使用天平等比来演示该算法。

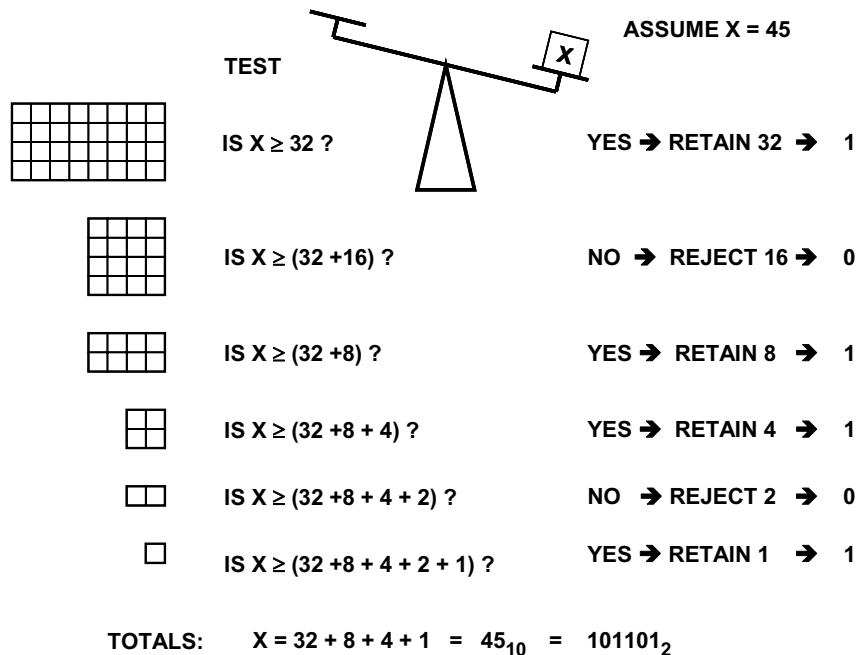


图4：逐次逼近型ADC算法

逐次逼近型ADC的早期实施并未采用DAC和逐次逼近型寄存器，但却以各种方式实施了类似功能。实际上，早期SAR ADC称为“连续编码器”、“反馈编码器”或“反馈减法器编码器”。术语SAR ADC是在上世纪70年代随着National Semiconductor和Advanced Micro Devices退出2503和2504等商用逐次逼近型寄存器逻辑IC而出现的。这些器件经过专门设计，可在逐次逼近型ADC中执行寄存器和控制功能，并且是许多模块式和混合型数据转换器的标准构建模块。

从数据转换角度来看，逐次逼近型ADC架构构成T1 PCM载波系统的构建模块，并且仍然是如今备受欢迎的架构之一，但此架构的确切来源并不是很清楚。虽然与逐次逼近型架构改进和变化相关的专利颁发无数，但这些专利都未说明基本原理。

1946年，贝尔电话实验室的J. C. Schelleng首次在某项专利中提到PCM环境下的逐次逼近型ADC架构(实际上是连续编码器)(参考文献2)。该设计并未使用内部DAC，而是以某种涉及添加二进制加权基准电压的革新方式实施逼近过程。有关此真空管设计的详细信息，请参见该项专利。

1947年，贝尔电话实验室的Goodall在某篇论文中描述了实施逐次逼近型ADC的更好方法(参考文献3)。此ADC具有5位分辨率并以8 kSPS的速率对声音通道进行采样。首先对语音信号进行采样，并将对应电压存储在电容上。然后，将其与大小等于满量程电压一半的基准电压进行比较。如果大于基准电压，则MSB登记为"1"，并从存储电容减去大小等于 $\frac{1}{2}$ 量程的电荷量。如果电容上的电压小于 $\frac{1}{2}$ 量程，那么不会移除任何电荷，并且位登记为"0"。MSB判断完成之后，针对第二位继续该循环，不过此时基准电压为 $\frac{1}{4}$ 量程。该过程持续到所有位判断完成为止。这种电荷再分配概念类似于现代开关电容DAC。

Schelleng和Goodall设计的ADC均采用二进制加权基准电压加减过程来执行SAR算法。虽然存在DAC功能，但并未使用传统的二进制加权DAC来执行。1953年，H. R. Kaiser et. al.(参考文献4)和B. D. Smith(参考文献5)设计的ADC采用真正的二进制加权DAC来产生输入信号的模拟逼近，这与现代SAR ADC相似。Smith还指出，通过使用非均匀加权DAC可以实现非线性ADC传递函数。这项技术构成了早期PCM系统中所用压缩扩展语音频带编解码器的基础。(请参见[教程MT-018](#)：有意为之的非线性DAC”。)在这项非线性ADC技术面世之前，采用的是线性ADC，并使用二极管/电阻网络来执行压缩和扩展功能，而二极管/电阻网络必须单独进行校准且必须保持在恒温条件下，以免出现漂移误差(参考文献6)。

当然，在讨论ADC历史时，如果没有提到EPSCO公司(现在为Analogic, Incorporated)Bernard M. Gordon做出的划时代工作，那么肯定就不完整。Gordon在1955年的专利申请(参考文献7)中描述了一种全真空管11位、50 kSPS逐次逼近型ADC，这代表着完整转换器的首款商用产品(见图5)。DATRAC采用19" × 26" × 15"外壳设计，功耗为数百瓦，当时售价约为\$8000.00。

在稍后一项专利中(参考文献8)，Gordon详细描述了执行逐次逼近型算法所需的逻辑模块。稍后在上世纪70年代中，National Semiconductor和Advanced Micro Devices实施了SAR逻辑功能——备受欢迎的2502/2503/2504系列IC逻辑芯片。在上世纪70和80年代，这些芯片几乎成为所有模块式和混合型逐次逼近型ADC必不可少的构建模块。

◆ 19" × 15" × 26"

◆ 150 lbs

◆ \$8,500.00



Courtesy,
Analogic Corporation
8 Centennial Drive
Peabody, MA 01960

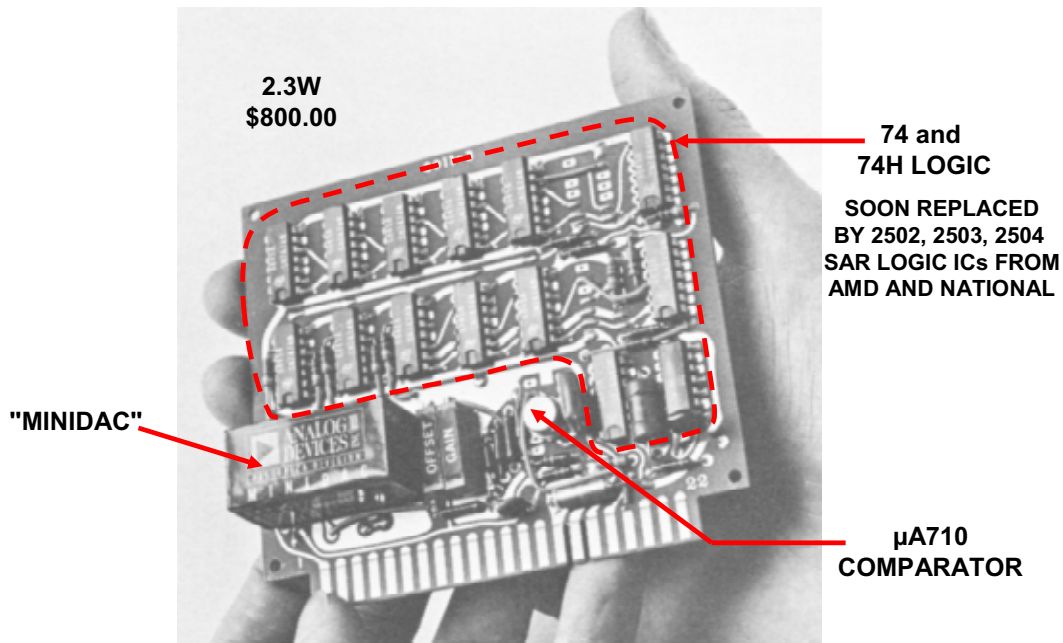
<http://www.analogic.com>

图5: 1954年EPSCO公司Bernard M. Gordon设计的11位、50-kSPS SAR ADC "DATRAC"

ADI公司于1969年进军数据转换器领域

1965年，Ray Stata和Matt Lorber在马萨诸塞州剑桥市创立ADI公司。ADI公司最初产品为高性能模块式运算放大器，但在1969年并购了Pastoriza Electronics(数据转换器产品的领先供应商)，从此坚定不移地投身于数据采集和线性产品。

Pastoriza拥有一系列数据采集产品，而图6所示为1969年款12位、10- μ s通用逐次逼近型ADC ADC-12U(当时售价约\$800.00)的照片。ADC-12U采用的是逐次逼近型架构，并利用一个 μ A710比较器、一个模块式12位"Minidac"和14个7400系列逻辑封装来执行逐次逼近型转换算法。



**图6：ADI公司Pastoriza分公司于1969年推出的12位、
10- μ s SAR ADC ADC-12U**

"Minidac"模块实际上是由“四通道”IC (AD550)和薄膜网络(AD850)构建而成。有关这些早期DAC构建模块的进一步讨论，请参见[教程MT-015：DAC架构II：二进制DAC](#)。

注意，在ADC-12U中，逐次逼近型算法的实施要求采用14个逻辑封装。1958年，Bernard M. Gordon申请了一项关于逐次逼近型算法执行逻辑的专利(参考文献9)，并在上世纪70年代早期，Advanced Micro Devices和National Semiconductor推出了商用逐次逼近型寄存器IC：2502(8位串行，不可扩展)、2503(8位，可扩展)和2504(12位串行，可扩展)。这些器件经过专门设计，可在逐次逼近型ADC中执行寄存器和控制功能，并成为很多模块式和混合型数据转换器的标准构建模块。

1969年之后，ADI公司继续保持数据转换领域的先驱者地位。上世纪70年代期间，模块逐渐发展成为混合电路。混合电路通常采用具有厚膜或薄膜导体的陶瓷基板。独立芯片焊接到基板(通常采用环氧树脂)，而线焊构成焊盘和导体之间的连接。混合电路通常采用某种类型的陶瓷或金属封装进行密封封装。精度是通过在组装和互连之后、封装之前调整厚膜或薄膜电阻来实现的。制造商采用薄膜网络、分立薄膜电阻、堆积式厚膜或薄膜电阻或上述任意组合。

ADI公司于1977年推出的12位、25- μ s SAR ADC [AD572](#)就是混合技术的一个很好例子。AD572配有内部时钟、基准电压源、比较器和输入缓冲放大器。SAR寄存器为常见的2504。内部DAC由一个12位开关芯片和一个主动调整型薄膜梯形电阻网络构成(单独封装为双芯片AD562 DAC)。AD572是首款通过军用认证的12位ADC，其按照MIL-STD-883B标准加工且可在-55°C至+125°C的整个温度范围内工作。图7所示为AD572的照片。

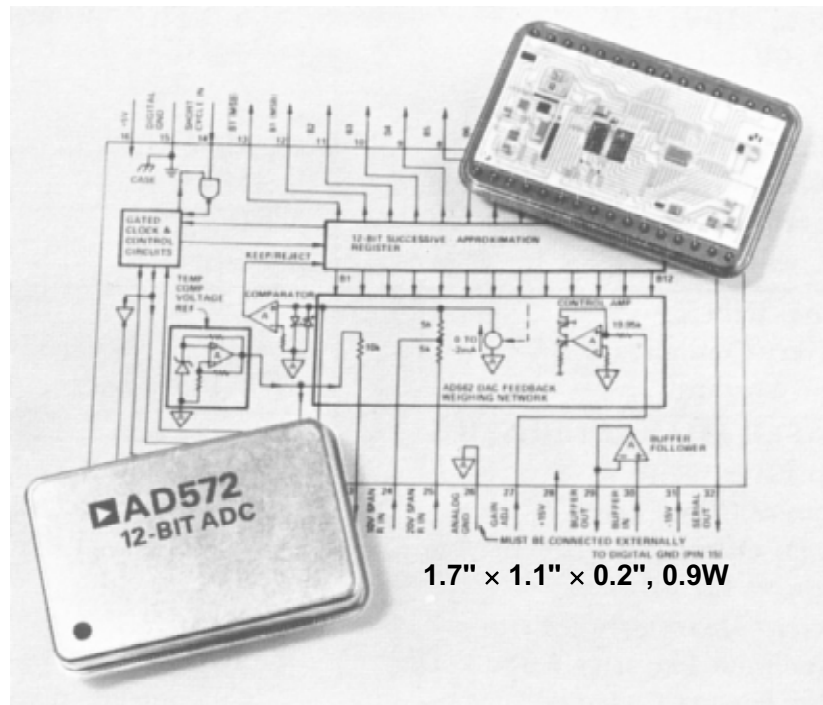


图7：1977年通过军用认证的12位、25- μ s混合型ADC AD572

ADI公司还是单芯片数据转换器领域的先驱者。1978年推出的12位、35- μ s [AD574](#)很可能是有史以来最重要的SAR ADC。AD574代表着一个完整解决方案，其中包括埋层齐纳型基准电压源、时序电路和三态输出缓冲器来直接与8、12或16微控制器总线接口。最初推出时，AD574采用复合单芯片结构制造并基于两个芯片——其中一个12位电流输出DAC [AD565](#)，包括基准电压源和薄膜调整电阻；而另一个则包含逐次逼近型寄存器(SAR)、微处理器接口逻辑功能和精密锁存比较器。AD574很快成为上世纪80年代早期的工业标准12位ADC。1985年，该器件首次以单芯片形式出现；此后使得低成本商用塑料封装成为可能。AD574简化框图如图8所示。

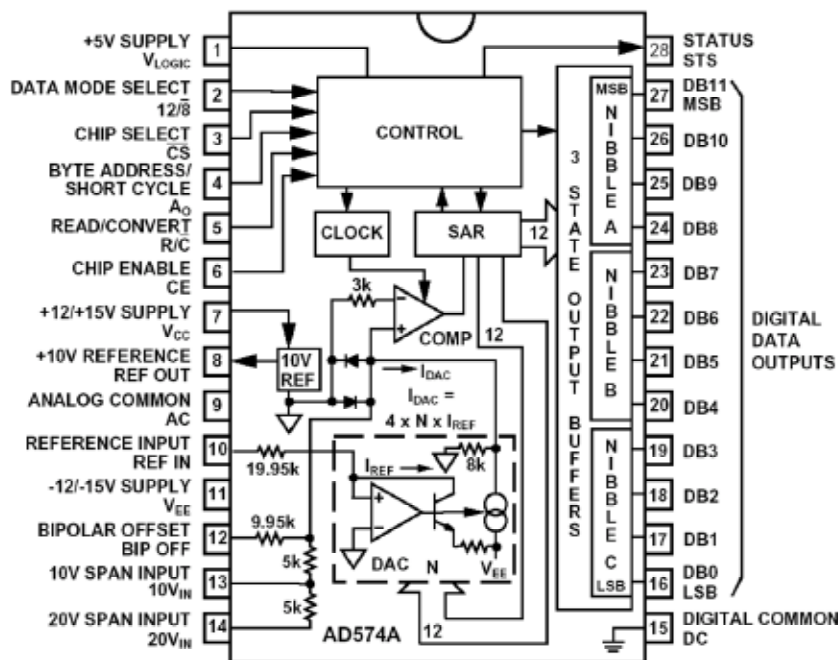


图8: 1978年工业标准12位、35- μ s IC ADC [AD574](#)

现代SAR ADC

随着逐次逼近型ADC日益受欢迎，其分辨率、采样速率、输入/输出选项和成本开始出现多样化。现在，很多SAR ADC提供片上输入多路复用器，非常适合多通道数据采集系统。本教程无法一一介绍所有类型的SAR ADC，而只是重点介绍几款具有突破性意义的现代产品。

ADI公司的PulSAR®系列就是现代电荷再分配逐次逼近型ADC的一个例子。[AD7641](#)是一款18位、2 MSPS、全差分 ADC，采用2.5 V单电源供电(见图9)。该器件内置一个18位高速采样ADC、一个内部转换时钟、纠错电路、一个内部基准电压源以及串行和并行系统接口。AD7641经过出厂硬件校准和全面测试，可确保除一般直流参数(增益、偏置和线性度)之外，诸如信噪比(SNR)和总谐波失真(THD)等交流参数也合乎要求。

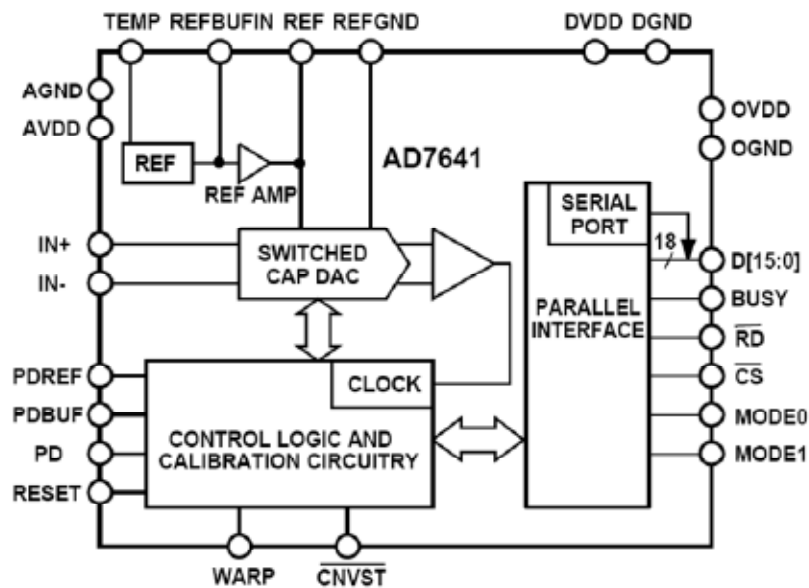


图9：18位2-MSPS开关电容PulSAR® ADC [AD7641](#)

处理工业级信号

几年前推出了许多低电压单电源SAR ADC，但其输入范围通常限制为小于或等于电源电压。许多情况下，这并不是什么问题；但是，仍旧有很多工业应用要求对双极性信号(如 $\pm 5\text{ V}$ 或 $\pm 10\text{ V}$)进行数字化处理。在与单电源ADC接口时，这就要求使用外部电路。图10显示了两种可能方法。可以使用外部运算放大器来执行所需的电平转换和衰减，以使 $\pm 10\text{ V}$ 信号与ADC的0至 $+2.5\text{ V}$ 输入范围相匹配(图10A)。或者利用电阻网络来执行衰减和电平转换(图10B)。两种方法都需要外部元件。

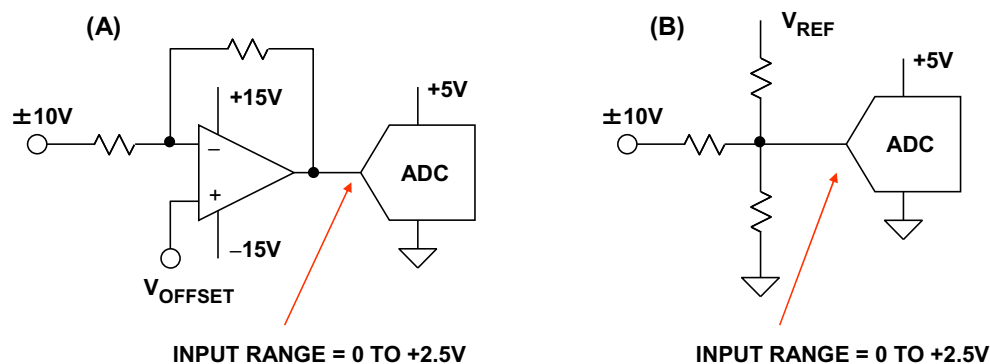


图10：工业级双极性信号与低电平ADC接口

ADI公司采用专有工业CMOS([iCMOS™](#))工艺打造了一种更加稳妥的解决方案,该方案允许输入电路使用标准工业 $\pm 15\text{ V}$ 电源供电,而ADC内核使用低电压电源(5 V 或更小)供电。图11显示的是13位8通道输入ADC [AD7328](#)。

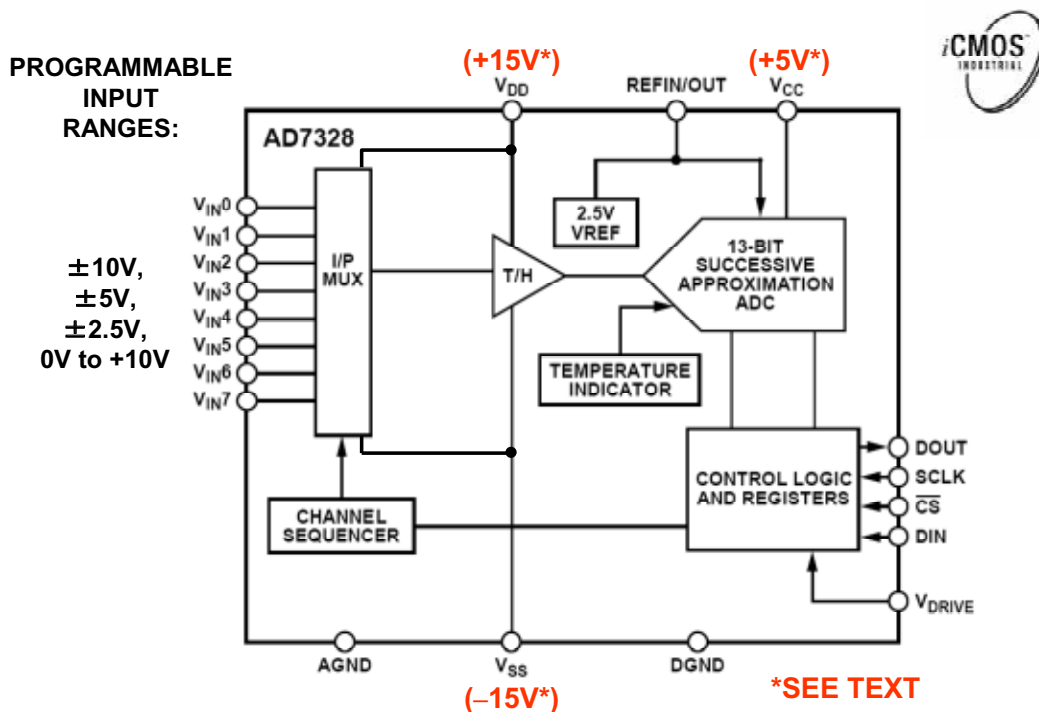


图11: 真双极性输入、13位、1MSPS iCMOS™ ADC AD7328

AD7328采用iCMOS(工业CMOS)工艺设计。iCMOS是一种将高电压CMOS和低电压CMOS结合使用的工艺。通过这种工艺,可开发在33V高压下工作的高性能模拟IC,其体积性能比是以往的高压器件所无法实现的。与采用传统CMOS工艺的模拟IC不同,iCMOS组件不但可以输入双极性信号,同时还能提升性能,大幅降低功耗并减小封装尺寸。AD7328可输入真双极性模拟信号,它有四种软件可选输入范围:±10 V、±5 V、±2.5 V和0 V至10 V。每个模拟输入通道支持独立编程,可设为四个输入范围之一。AD7328中的模拟输入通道可通过编程设为单端、真差分或伪差分三种模式。该ADC内置一个2.5 V的基准电压,也可采用外部基准。如果在REFIN/OUT引脚上施加3V外部基准电压,AD7328则可接受±12 V真双极性模拟输入。对于±12 V输入范围,需要采用最低±12 V的 V_{DD} 和 V_{SS} 电源。

AD7328的低电压内核采用 V_{CC} 电源供电，针对额定性能的标称值应为5 V(4.75 V至5.5 V)。对于2.7 V和4.75 V之间的 V_{CC} ，该器件符合其典型规格。AD7328采用单独的 V_{DRIVE} 引脚来设置I/O逻辑接口电压(2.7 V至5.5 V)。 V_{DRIVE} 电压不应比 V_{CC} 高出0.3 V。

该器件配有一个高速串行接口，最高吞吐量可达1 MSPS。

总结

SAR ADC架构是一种完善、有效且易于理解的架构，非常适合现代细线CMOS工艺。该架构没有“流水线”延迟，因此非常适合单发和多路复用数据采集应用。CMOS工艺允许添加各种各样的数字功能，如自动通道时序控制和自动校准等。此外，许多SAR ADC拥有片上温度传感器和基准电压源。虽然SAR ADC源自16世纪的数学谜团，但是其仍然是现代多通道数据采集系统所青睐的转换器。

参考文献

1. W. W. Rouse Ball and H. S. M. Coxeter, *Mathematical Recreations and Essays*, Thirteenth Edition, Dover Publications, 1987, pp. 50, 51. *(describes a mathematical puzzle for measuring unknown weights using the minimum number of weighing operations. The solution proposed in the 1500's is the same basic successive approximation algorithm used today).*
2. John C. Schelleng, "Code Modulation Communication System," *U.S. Patent 2,453,461*, filed June 19, 1946, issued November 9, 1948. *(an interesting description of a rather cumbersome successive approximation ADC based on vacuum tube technology. This converter was not very practical, but did illustrate the concept. Also in the patent is a description of a corresponding binary DAC).*
3. W. M. Goodall, "Telephony by Pulse Code Modulation," *Bell System Technical Journal*, Vol. 26, pp. 395-409, July 1947. *(describes an experimental PCM system using a 5-bit, 8KSPS successive approximation ADC based on the subtraction of binary weighted charges from a capacitor to implement the internal subtraction/DAC function. It required 5 internal reference voltages).*
4. Harold R. Kaiser, et al, "High-Speed Electronic Analogue-to-Digital Converter System," *U.S. Patent 2,784,396*, filed April 2, 1953, issued March 5, 1957. *(one of the first SAR ADCs to use an actual binary-weighted DAC internally).*
5. B. D. Smith, "Coding by Feedback Methods," *Proceedings of the I. R. E.*, Vol. 41, August 1953, pp. 1053-1058. *(Smith uses an internal DAC and also points out that a non-linear transfer function can be achieved by using a DAC with non-uniform bit weights, a technique which is widely used in today's voiceband ADCs with built-in companding).*
6. L.A. Meacham and E. Peterson, "An Experimental Multichannel Pulse Code Modulation System of Toll Quality," *Bell System Technical Journal*, Vol. 27, No. 1, January 1948, pp. 1-43. *(describes non-linear diode-based compressors and expanders for generating a non-linear ADC/DAC transfer function).*

7. Bernard M. Gordon and Robert P. Talambiras, "Signal Conversion Apparatus," *U.S. Patent 3,108,266*, filed July 22, 1955, issued October 22, 1963. (*classic patent describing Gordon's 11-bit, 20kSPS vacuum tube successive approximation ADC done at Epsco. The internal DAC represents the first known use of equal currents switched into an R/2R ladder network.*)
8. Bernard M. Gordon and Evan T. Colton, "Signal Conversion Apparatus," *U.S. Patent 2,997,704*, filed February 24, 1958, issued August 22, 1961. (*classic patent describes the logic to perform the successive approximation algorithm in a SAR ADC.*)
9. Walt Kester, [*Analog-Digital Conversion*](#), Analog Devices, 2004, ISBN 0-916550-27-3, Chapter 1 and 3. Also available as [*The Data Conversion Handbook*](#), Elsevier/Newnes, 2005, ISBN 0-7506-7841-0, Chapter 1 and 3.

Copyright 2009, Analog Devices, Inc. All rights reserved. Analog Devices assumes no responsibility for customer product design or the use or application of customers' products or for any infringements of patents or rights of others which may result from Analog Devices assistance. All trademarks and logos are property of their respective holders. Information furnished by Analog Devices applications and development tools engineers is believed to be accurate and reliable, however no responsibility is assumed by Analog Devices regarding technical accuracy and topicality of the content provided in Analog Devices Tutorials.