

## ADC 架构 V : 流水线式分级 ADC

作者 : Walt Kester

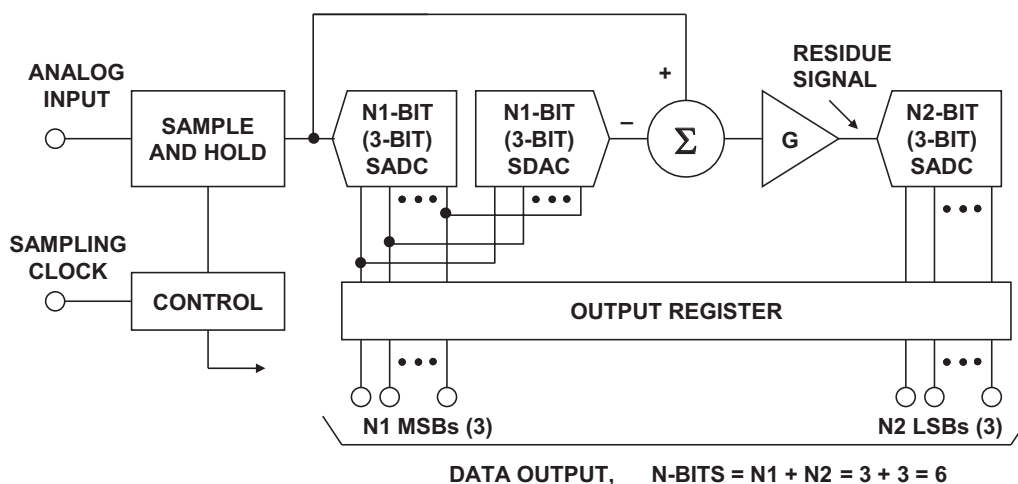
### 简介

目前对于需要 5 MSPS 至 10 MSPS 以上采样速率的应用，流水线式分级 ADC 架构占优势。尽管 *Flash*（全并行）架构（参见[教程 MT-020](#)）在上世纪 80 年代和 90 年代早期主导 8 位视频 IC ADC 市场，但现代应用中流水线式架构已大面积取代 *Flash* ADC。也有少量采样速率高于 1 GHz 的高功率砷化镓 (GaAs) 工艺 *Flash* 转换器，但分辨率仅限于 6 或 8 位。不过，*Flash* 转换器仍然是较高分辨率流水线式 ADC 的常用构建模块。

流水线式 ADC 的应用包括视频、图像处理、通信和各种其他应用。该架构有助于较低成本的 IC 工艺，最常见的有 CMOS 和 BiCMOS。目前的技术在高于 100 MSPS 的采样速率下可产生 12 至 16 位分辨率。

### 基本分级 ADC 架构

流水线式 ADC 源于上世纪 50 年代首次使用的分级架构，该架构用于减少隧道二极管和真空管 *Flash* ADC 中的元件数和功率（参见参考文献 1、2）。分级架构的框图如图 1 所示，其中显示了一个 6 位、二级 ADC。

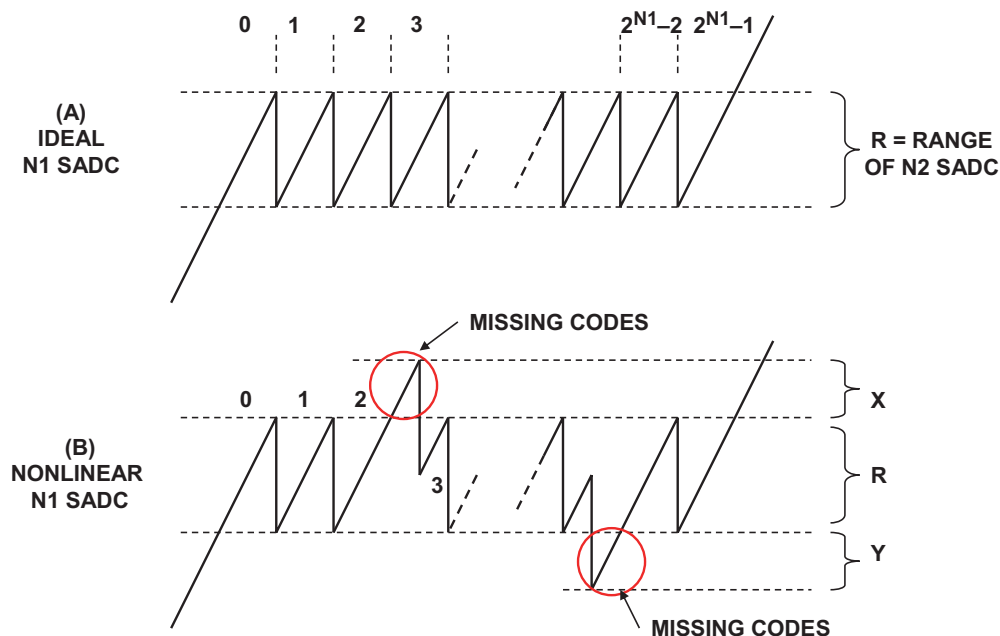


See: R. Staffin and R. Lohman, "Signal Amplitude Quantizer,"  
U.S. Patent 2,869,079, Filed December 19, 1956, Issued January 13, 1959

**图 1 : 6 位、二级分级 ADC**

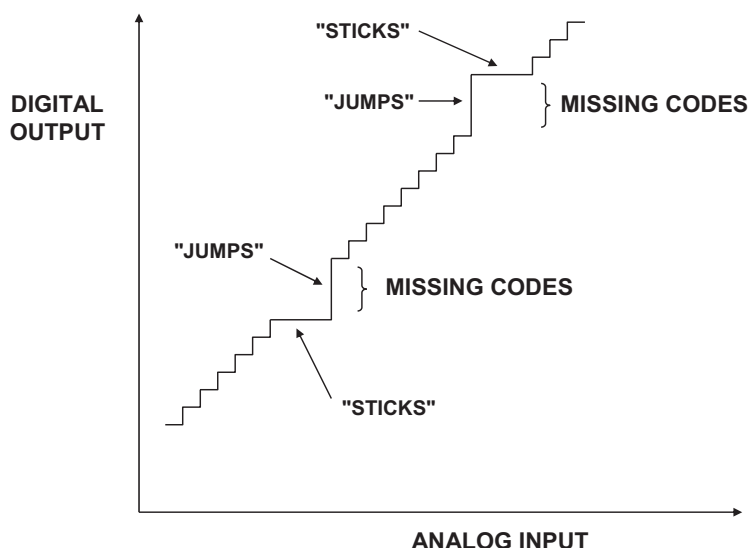
通过第一级 3 位子 ADC (SADC)——Flash 转换器，将输入采样保持电路 (SHA) 的输出数字化。接着使用 3 位子 DAC (SDAC) 将粗略 3 位 MSB 转换结果转换回至模拟信号。SDAC 输出则从 SHA 输出减除，经放大后施加于第二级 3 位 SADC。接着通过 3 位第二级 SADC 数字化“残余信号”，从而产生总共 6 位输出字的三个 LSB。此类型的 ADC 通常称为“分级”ADC，因为输入范围细分为若干个较小范围（子范围），这些较小范围又可进一步细分。

通过考察第二级 ADC 输入端的残余波形，可对此分级 ADC 执行最佳分析，如图 2 所示。该波形假定整体 ADC 接收的是低频斜坡输入信号。为了确保无失码，残余波形必须恰好填满第二级 ADC 的输入范围，如图 2A 的理想情况所示。这意味着  $N_1$  SADC 和  $N_1$  SDAC 的精度必须均优于  $N_1 + N_2$  位，所示例子中， $N_1 = 3$ ， $N_2 = 3$ ， $N_1 + N_2 = 6$ 。如图所示，该架构可用于最高约 8 位的分辨率 ( $N_1 = N_2 = 4$ )，但在两级间维持 8 位以上的对准（具体而言是在温度变化范围内）可能不易做到。图 2B 所示情况在残余波形超出  $N_2$  SADC 的范围“R”且落在“X”或“Y”区域内时（由非线性  $N_1$  SADC 或级间增益和 / 或失调不匹配导致）会造成失码。



**图 2：第二级 SADC 输入端的残余波形**

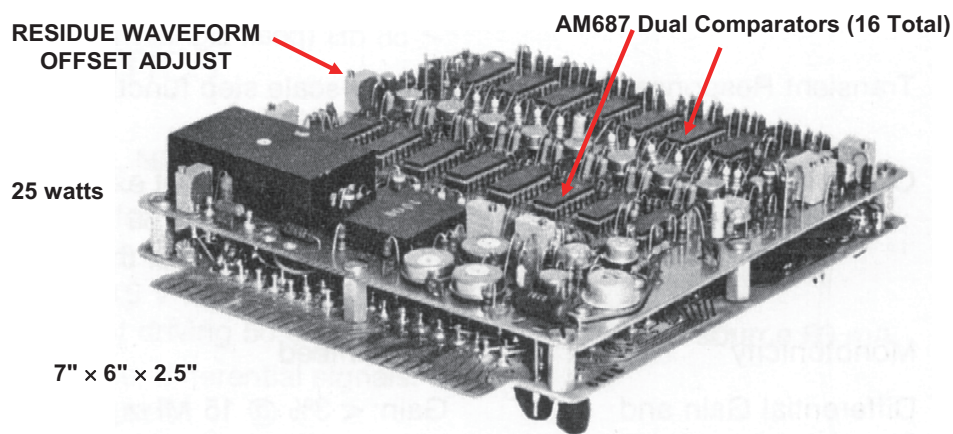
当级间对准不准确时，失码会出现在整体 ADC 传递函数中，如图 3 所示。如果残余信号进入正超量程（“X”区域），输出首先“粘贴”在代码上，然后“跳过”一个区域并留下失码。如果残余信号进入负超量程，则结果与此相反。



**图 3 : 由于 MSB SADC 非线性或级间对准误差引起的失码**

此时应注意，分级架构中并不存在特殊原因要求每级位数必须相等（某些设计问题除外，但不在本文讨论范围内）。此外，级数可以超过两个。无论如何，除非增加某种形式的纠错，图 1 所示架构限于约 8 位分辨率。

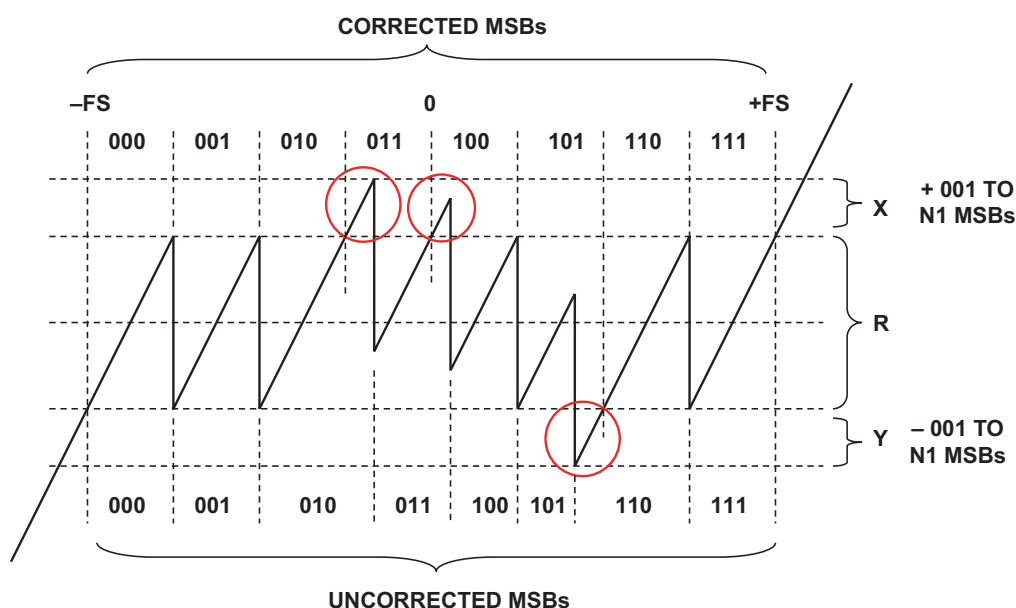
图 4 显示了常用的 8 位 15 MSPS 分级 ADC，由 Computer Labs, Inc. 于 20 世纪 70 年代中期制造。此转换器是基本的二级分级 ADC，采用两个 4 位 Flash 转换器，每个转换器由 8 个双通道 AM687 高速比较器组成。级间失调调整电位计允许现场对传递函数进行优化。该 ADC 在早期数字视频产品中很常用，例如帧存储器和时基校正器。



**图 4 : MOD-815, 8 位、15 MSPS 4×4 分级 ADC, 1976 年 Computer Labs, Inc. 制造**

## 使用数字纠错的分级 ADC

为了以分级法可靠地实现高于 8 位的分辨率，业界采用了一种技术，通常称为数字校正分级、数字纠错、重叠位、冗余位等等。该方法最早可追溯至 1964 年，由 T. C. Verster 正式提出（参考文献 3），随后得到迅速传播和采用（参考文献 4 至 7）。图 5 使用残余波形显示了基本概念。

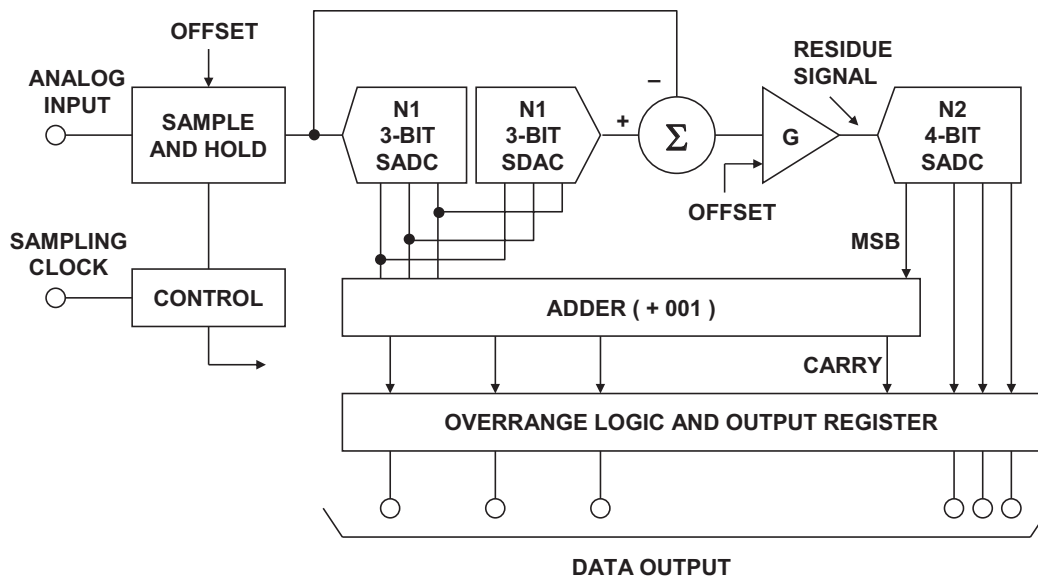


**图 5：对  $N1 = 3$  使用更高量化级数的纠错**

残余波形显示的是  $N1 = 3$  位的特定情况。在标准分级 ADC 中，残余波形必须恰好填满  $N2$  SADC 的输入范围，即必须处于称为 R 的区域内。失码问题通过在正超量程区域 X 和负超量程区域 Y 内添加额外量化电平来解决。这些附加电平需要在基本  $N2$  Flash SADC 内添加比较器。具体方案如下：一旦残余波形进入 X 区域， $N2$  SADC 应立即返回全零状态，重新开始递增计数。另外，必须给  $N1$  SADC 的输出添加代码 001，以使 MSB 读取正确代码。图示在波形下部标示了未校正的 MSB 区域，在波形上部标示了已校正的 MSB 区域。残余波形进入负超量程区域 Y 时发生类似情况。此时 Y 区域内的第一量化电平产生全一代码，且额外超量程比较器应使计数递减。Y 区域内，必须从 MSB 减除代码 001，以产生已校正的 MSB 代码。必须了解，为了让此校正方法正常工作， $N1$  SDAC 必须比 ADC 的总分辨率更加精确。 $N1$  SDAC 的非线性度或增益误差会影响残余波形垂直“跳跃”部分的幅度，从而可能产生输出失码。

Horna 在 1972 年的一篇文章（参考文献 6）中介绍了一种实验型 8 位 15 MSPS 纠错式分级 ADC，使用摩托罗拉 MC1650 双通道 ECL 比较器作为 Flash 转换器构建模块。Horna 在第二个 Flash 转换器中添加了额外比较器，并详细说明了此程序。他指出通过给残余波形添加适当失调，避免负超量程条件，可以显著简化校正逻辑。这样便无需减法函数，仅需要加法器。MSB 可不经修改直接通过，或者添加 1 LSB（相对于 N1 SADC），具体取决于残余信号是在范围内还是超量程。

现代数字校正分级 ADC 一般使用内部 ADC 和更高分辨率的 N2 SADC 来获得额外量化电平。例如，如果给 N2 SADC 添加一个额外位，其范围加倍，则残余波形可能超出范围两端  $\frac{1}{2}$  LSB（以 N1 SADC 为基准）。给 N2 添加两个额外位则使残余波形超出范围两端  $1\frac{1}{2}$  LSB（以 N1 SADC 为基准）。残余波形使用 Horna 的技术施加失调，因此仅需要简单的加法器就能执行校正逻辑。工作原理的详情无法直接阐明，但可以通过 6 位 ADC 的实际示例予以最佳解释，该 ADC 使用 3 位 MSB SADC 和 4 位 LSB SADC 提供一位纠错。示例 ADC 的功能框图如图 6 所示。

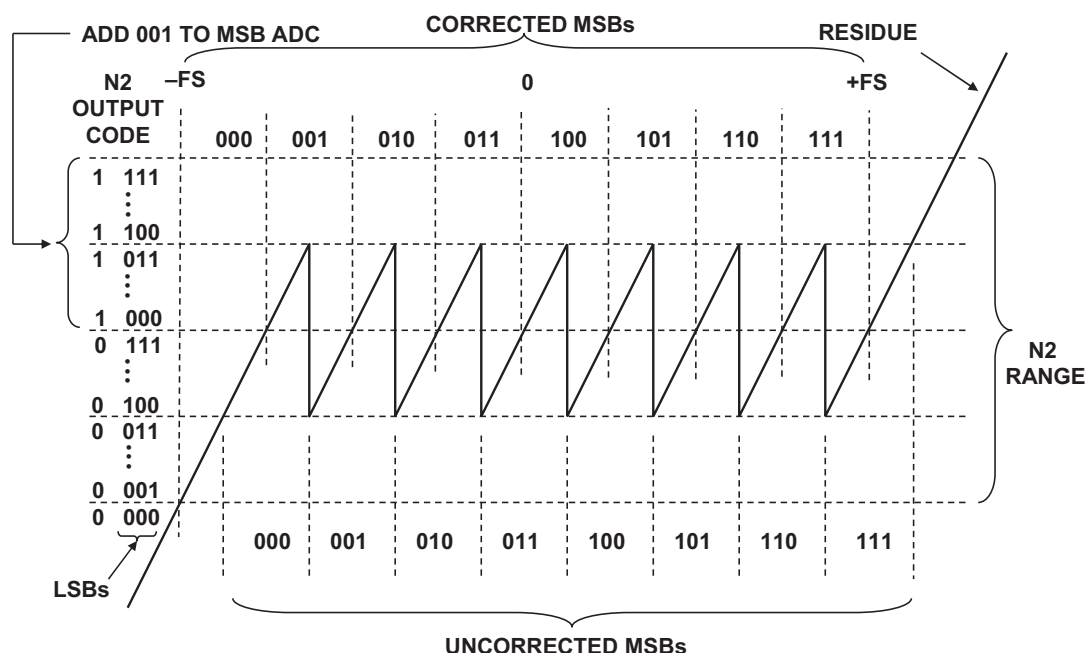


SEE: T. C. Verster, "A Method to Increase the Accuracy of Fast Serial-Parallel Analog-to-Digital Converters," *IEEE Transactions on Electronic Computers*, EC-13, 1964, pp. 471-473

**图 6 : 6 位分级纠错 ADC,  $N1 = 3$ ,  $N2 = 4$**

通过输入采样保持电路后，信号由 3 位 SADC 数字化，由 3 位 SDAC 重构，从被保持的模拟信号中减除，然后放大并施加于第二个 4 位 SADC。放大器增益  $G$  经恰当选择，使得残余波形占据 4 位 SADC 输入范围的  $\frac{1}{2}$ 。6 位输出数据字的 3 LSB 直接从第二 SADC 到达输出寄存器。4 位 SADC 的 MSB 控制加法器是否向 3 MSB 添加 001。加法器的进位输出与一些简单的超量程逻辑配合使用，以防止输入信号超出 ADC 正量程时输出位返回全零状态。

现在将详细考察满量程斜坡输入的残余波形，以解释校正逻辑的工作原理。图 7 显示了理想残余波形，假定第一 ADC 具有完全线性度，且两级间具有完美对准。请注意，残余波形恰好占据 N2 SADC 范围的  $\frac{1}{2}$ 。N2 SADC 的 4 位数字输出显示于图示左侧。图示底部显示由 3 位未校正 N1 SADC 定义的区域。图示顶部显示由 3 位已校正 N1 ADC 定义的区域。



**图 7：6 位纠错分级 ADC 的残余波形， $N1 = 3$ ， $N2 = 4$ ，理想 MSB SADC**

从左至右观察残余波形，输入在  $-FS$  下首次进入总体 ADC 范围时，N2 SADC 开始从 0000 递增计数。N2 SADC 到达 1000 代码时，将 001 添加至 N1 SADC 输出，使输出从 000 变更为 001。随着残余波形继续增加，N2 SADC 继续递增计数，直至到达代码 1100，此时 N1 SADC 切换至下一电平，SDAC 切换并使残余波形向下跳至 0100 输出代码。由于 N2 SADC 的 MSB 为零，加法器现在被禁用，所以 N1 SADC 输出保持 001。残余波形接着继续通过每个剩余区域，直至到达  $+FS$ 。



此一方法具有一些巧妙特性值得注意。首先，总体传递函数以 MSB SADC 为基准偏移  $\frac{1}{2}$  LSB(以总体 ADC 模拟输入为基准则为  $1/16^{\text{th}}$  FS)。通过向输入采样保持电路注入失调电压，可以轻松校正该偏移。众所周知，内部 N1 SADC 和 SDAC 切换的点最可能具有额外噪声，且最可能在总体 ADC 传递函数内建立微分非线性。函数偏移  $1/16^{\text{th}}$  FS 可以确保零伏特模拟输入附近的低电平信号（小于  $\pm 1/16^{\text{th}}$  FS）不会出现重要切换点，并且提供对通信应用至关重要的低噪声和出色的 DNL。最后，由于理想残余信号中心位于 N2 SADC 的范围内，N2 SADC 提供的额外范围在 N1 SADC 转换中最多允许  $\pm 1/16^{\text{th}}$  FS 的误差，同时仍可保持无失码。

图 8 显示了一个残余信号，此时 N1 SADC 内存在误差。请注意，残余信号提供的总体 ADC 线性度不受影响，仍保持在 N2 SADC 的范围内。只要满足此条件，所述纠错方法就能校正下列误差：采样保持下降误差、采样保持建立时间误差、N1 SADC 增益误差、N1 SADC 失调误差、N1 SDAC 失调误差、N1 SADC 线性度误差、余量放大器失调误差。尽管具有校正以上所有误差的能力，应强调的是该方法无法校正与 N1 SDAC 相关的增益和线性度误差或者余量放大器内的增益误差。这些参数的误差以总体分级 ADC 的 N 位为基准必须小于 1 LSB。可从另一方面认识该要求：以 N2 SADC 输入为基准，残余波形垂直“跳跃”转换的幅度（对应于 N1 SADC 和 SDAC 变化电平）必须保持在  $\pm \frac{1}{2}$  LSB 以内，以便通过校正防止失码。

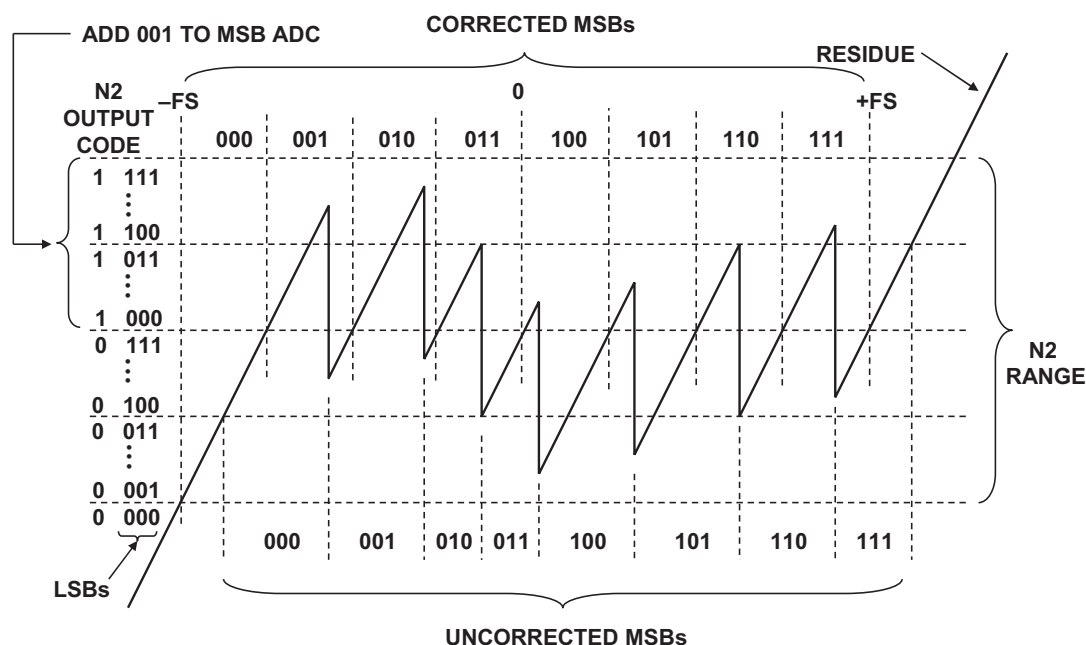
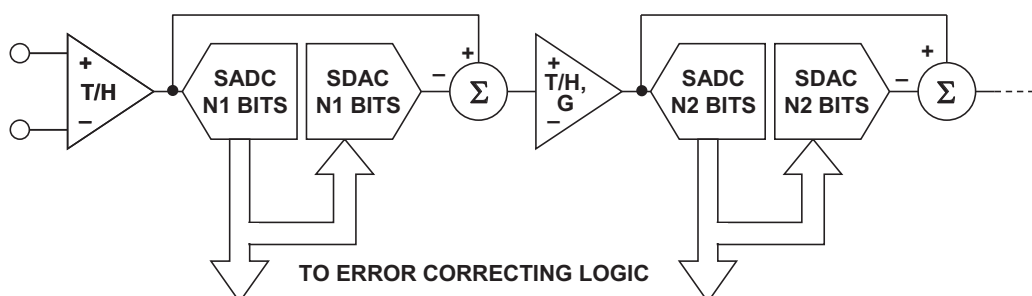


图 8：6 位纠错分级 ADC 的残余波形，N1 = 3，N2 = 4，非线性 MSB SADC

图 6 所示的纠错分级 ADC 无“流水线”延迟。输入 SHA 在以下事件发生期间处于保持模式：第一级 SADC 做出决策，输出由第一级 SDAC 重构，SDAC 输出从 SHA 输出减除、放大并由第二级 SADC 数字化。数字数据通过纠错逻辑和输出寄存器后即可使用，转换器准备好接收另一采样时钟输入。

### 流水线式分级 ADC 提高速度

图 9 所示的流水线式架构是数字校正分级架构，其中每一级在一半采样时钟周期内处理数据，然后在下半个周期前将残余输出传递至流水线内的下一级。级间采样保持 (T/H) 电路用作模拟延迟线，时序设置成当第一级转换完成时进入保持模式。这样便为内部 SADC、SDAC 和放大器提供更多建立时间，并且允许流水线式转换器在远高于非流水线式转换器的总体采样速率下工作。

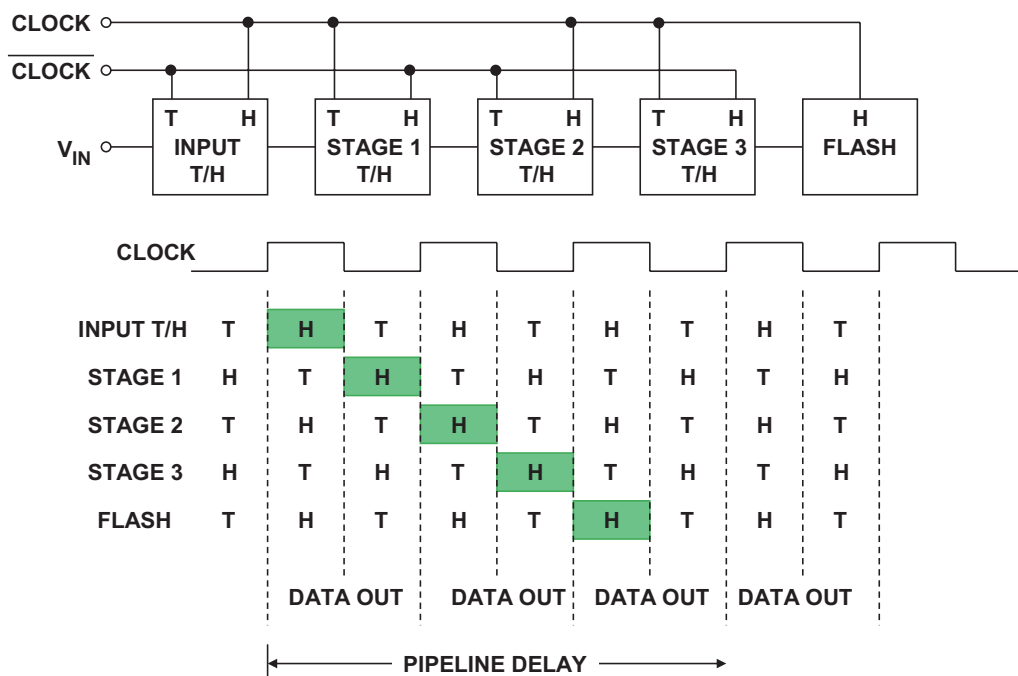


**图 9：可纠错分级 ADC 内的一般化流水线级**

术语“流水线式”架构表示某一级能够在采样时钟周期的任何给定相位期间处理前一级的数据。在特定时钟周期每一相位的末端，使用 T/H 函数将给定级的输出传递至下一级，并将新数据移入该级。当然，这意味着除“流水线”最后一级外，所有级的数字输出必须存储在适当数目的移位寄存器内，使得到达校正逻辑的数字数据对应于同一样本。

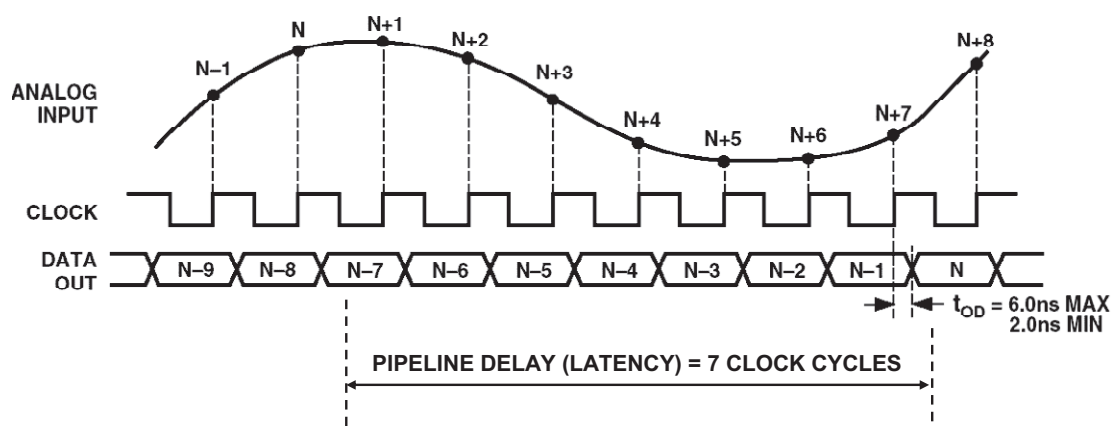
图 10 显示了一个典型流水线式分级 ADC 的时序图。请注意，进入 T/H 放大器的时钟相位随级而交替，因此当 ADC 内的特定 T/H 进入保持模式时便保持前一 T/H 的样本，而前一 T/H 返回跟踪模式。被保持的模拟信号沿着级向前传递，直至到达流水线式 ADC 内的最终级，在本例中即 Flash 转换器。当以高采样速率工作时，差分采样时钟务必保持在 50% 占空比，以便实现最佳性能。非 50% 的占空比会影响信号链内的所有 T/H 放大器，一些放大器将具有长于最佳值的跟踪时间或短于最佳值的保持时间；而另一些情况恰好相反。许多较新的流水线式 ADC（包括 12 位、65 MSPS [AD9235](#) 和 12 位、170/210 MSPS [AD9430](#)）具有片内时钟调理电路，可以控制内部占空比并保持额定性能，即使外部时钟占空比存在一些变化。





**图 10：流水线式 ADC 内的时钟问题**

图 11 针对 12 位 65 MSPS ADC AD9235 显示输出数据内的“流水线”延迟（有时称为“延迟时间”）效应，其中存在 7 时钟周期的流水线延迟。



**图 11：12 位、65 MSPS ADC AD9235 的典型流水线式 ADC 时序**

请注意，流水线延迟与级数以及所考虑 ADC 的特定架构成函数关系，有关采样时钟与输出数据时序间的关系详情，请务必查阅数据手册。许多应用中，流水线延迟不成问题，但如果 ADC 位于反馈环路内部，流水线延迟可能造成不稳定。在多路复用应用中或以“单发”模式操作 ADC 时，流水线延迟也可能带来麻烦。对于这些类型的应用，其他 ADC 架构更合适，例如逐次逼近型。

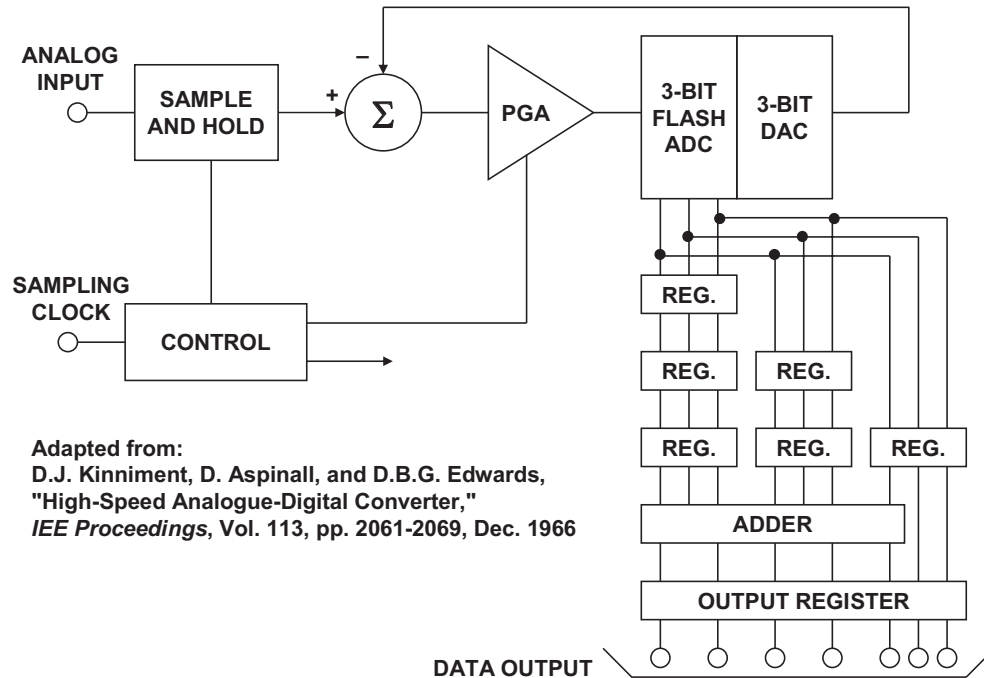
大多数 CMOS 流水线式 ADC 的一个细微问题是低采样速率下的性能。由于内部时序一般由外部采样时钟控制，极低采样速率会使内部采样保持电路的保持时间延长，以致过度下降造成转换误差。因此，大多数流水线式 ADC 具有针对最小以及最大采样速率的规格。显然，这使得此类器件不能用于单发或突发模式应用，这些应用中 SAR ADC 架构更合适。

业界常常错误地假定所有分级 ADC 均为流水线式，所有流水线式 ADC 均分级。虽然为了尽可能实现最大采样速率，大多数现代分级 ADC 确实是流水线式，但在设计用于更低速度时却不一定是流水线式。例如，采样时钟前沿可以启动转换过程，继续转换所需的任何额外时钟脉冲可以使用片内时序电路在 ADC 内部生成。在转换过程末端，可以生成转换结束或数据就绪信号，作为对应于该特定采样沿的数据有效的外部指示。去除流水线式结构显然会大幅降低总体采样速率，因此“无延迟”方法不常使用。

相反地，一些未使用分级架构的 ADC 也是流水线式。例如，除与并联比较器相关的锁存器外，大多数 Flash 转换器使用另外一组输出锁存器，这会为输出数据带来流水线延迟（参见[教程 MT-020](#)）。一般具有较多流水线延迟的非分级架构还有  $\Sigma\text{-}\Delta$  架构，在[教程 MT-022](#)和[教程 MT-023](#)中有详细说明。不过请注意，可以修改正常  $\Sigma\text{-}\Delta$  型 ADC 的时序，降低输出数据速率，从而得到“无延迟”的  $\Sigma\text{-}\Delta$  型 ADC。

### 循环分级流水线式 ADC

另一不太常用的纠错分级架构类型是循环分级 ADC。图 12 显示了这一架构，由 Kinniment 等人在 1966 年的一篇文章中提出（参考文献 5）。此概念类似于前文讨论过的纠错分级架构，但该架构中残余信号使用开关和可编程增益放大器 (PGA) 在单个 ADC 和 DAC 级中循环。图 12 显示了存储每次转换获得的流水线式数据所需的额外缓冲寄存器，以便使进入校正逻辑（加法器）的数据对应于相同样本。图 12 所示的循环架构类似于 20 世纪 90 年代早期推出的一些集成电路 ADC，例如 [AD678](#)（12 位、200 kSPS）和 [AD679](#)（14 位、128 kSPS）。目前，使用逐次逼近型架构（[教程 MT-021](#) 予以论述），可以更有效、更经济地实现具有同样分辨率和采样速率的 ADC。



**图 12 : Kinniment 等人于 1966 年提出的流水线式 7 位、9 MSPS 循环 ADC 架构**

### 用于视频和图像处理的现代单芯片流水线式 ADC

在纠错流水线式 ADC 讨论的最后，将提供一些常见架构的现代集成电路实施示例。这些示例显示了在不同分辨率、采样速率、功耗下灵活优化 ADC 性能的技术。

视频市场目前使用分辨率介于 8 至 12 位、采样速率介于 54 MSPS 至 140 MSPS 的 ADC。现在这些 ADC 大多数已集成到执行其他数字信号处理的芯片内，例如各种现有视频标准间的转换（复合、RGB、Y/C、Y/Pb/Pr）。从 ADI 公司的 ADV 系列[视频解码器](#)可以看到由上述 IC 执行的大量数字处理。ADC 架构一般是流水线式，采用 CMOS 工艺，总封装功耗范围从 250 mW 至 600 mW。另一类似产品系列用于相机和便携式摄像机的[CCD 图像处理](#)应用。

在目前“独立”的 8 位 ADC 市场中，流水线式架构在 8 位、250 MSPS [AD9480](#)（LVDS 输出）和 [AD9481](#)（解复用 CMOS 输出）中实施，两者功耗分别为 700 mW 和 600 mW。

## 用于宽带通信的流水线式 ADC

鉴于市场需要适合通信应用的宽动态范围（高 SFDR）ADC，突破性产品 12 位、41 MSPS ADC [AD9042](#) 终于在 1995 年问世（见参考文献 8）。该转换器的功能框图如图 13 所示。

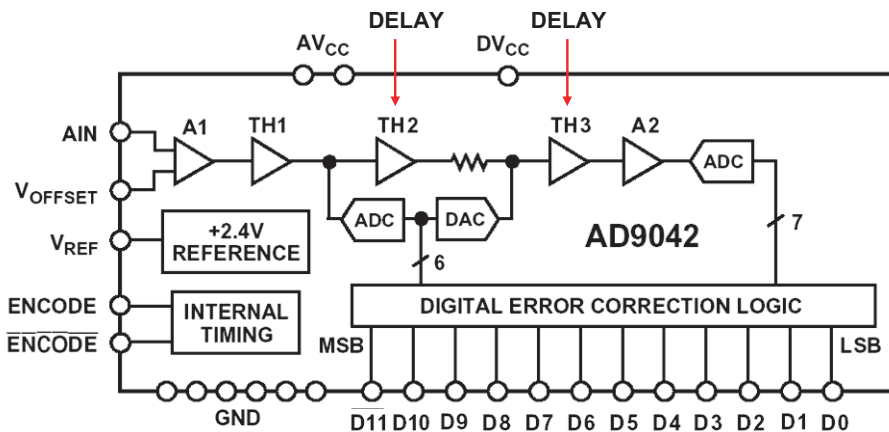


图 13：12 位、41 MSPS ADC [AD9042](#)，1995 年

AD9042 使用由 6 位 MSB ADC/DAC 后跟 7 位 LSB ADC 组成的纠错分级架构，并在第二级使用一位纠错。AD9042 在 41 MSPS 采样速率下、奈奎斯特带宽上具有 80 dB SFDR 性能。该器件使用高速互补双极性工艺制造，采用 +5 V 单电源供电，功耗为 600 mW。

为了满足低成本、低功耗器件的需求，ADI 公司开发了 CMOS 高性能 ADC 系列，例如 1998 年发布的 12 位、25 MSPS ADC [AD9225](#)。AD9225 具有 85 dB SFDR，采用 +5 V 单电源供电，功耗为 280 mW。

2001 年发布的 12 位、65 MSPS CMOS ADC [AD9235](#) 显示了 CMOS 高性能转换器的进步。AD9235 采用 +3 V 单电源供电，功耗为 300 mW（65 MSPS 时），在奈奎斯特带宽上具有 90 dB SFDR。

2002 年发布的 12 位、210 MSPS [AD9430](#) 使用 BiCMOS 工艺制造，具有最高 70 MHz 输入的 80 dB SFDR，采用 +3 V 单电源供电，210 MSPS 时的功耗为 1.3 W。输出数据在处于 CMOS 模式的两个 105 MSPS 解复用端口上提供，或者在处于 LVDS 模式的 210 MSPS 单一端口上提供。

另一突破性产品是 2002 年发布的 14 位、105 MSPS ADC [AD6645](#)，使用高速互补双极性工艺 (XFCB) 制造，具有 90 dB SFDR，采用 +5 V 单电源供电，功耗为 1.5 W。

## 最新流水线式 ADC

12 位高速 ADC 市场在速度、功耗和性能方面已经历显著进步，从功耗仅为 360 mW 的 12 位、80 MSPS CMOS ADC [AD9236](#) 便可看出。AD9236 是引脚兼容系列产品的一员，该系列包括 [AD9215](#)（10 位、105 MSPS）、[AD9235](#)（12 位、65 MSPS）和 [AD9245](#)（14 位、80 MSPS）。这些引脚兼容器件可以轻松地从 10 位迁移至 14 位，采样速率则可从 20 MSPS 升至更高。

除了单通道 ADC 外，还有双通道 ADC 和 4 通道 ADC 可用，包括具有 LVDS 输出的 4 通道 12 位、65 MSPS ADC [AD9229](#)。器件功耗为 1.5 W，非常适合医疗超声一类的高密度应用。

在 14 位通信 ADC 领域，14 位、65 MSPS 的 [AD9244](#) 专为奈奎斯特输入信号（直流至  $f_s/2$ ）加以优化，具有 86 dB SFDR，使用 CMOS 工艺，功耗仅为 550 mW。

对于更高的输入带宽和中频采样，14 位、125 MSPS ADC [AD9445](#) 可提供 95 dB SFDR（使用 170 MHz 输入测得），功耗为 2.6 W。AD9445 是基于 BiCMOS 工艺而设计的。

另外对于通信应用，16 位、100 MSPS ADC [AD9446](#) 专为高 SNR (84 dB) 加以优化，功耗为 2.8 W，同样是基于 BiCMOS 工艺而设计的。

## 总结

流水线式分级 ADC 架构几乎主导着采样速率高于数 MHz 的应用。SAR 架构与 2 至 5 MSPS 区域内的流水线式架构有些重叠，但很容易根据应用确定哪一架构更为合适。

8 至 16 位的分辨率可提供各种封装和配置（信号、双通道、3 通道、4 通道等等）。细线 CMOS 工艺迄今是这些转换器最常用的工艺，而 BiCMOS 用于需要获得极致动态性能的应用。

对于给定采样速率和分辨率，流水线式 ADC 通常通过动态性能加以区分。例如，14 位、65 MSPS ADC [AD9244](#) 经过优化，可处理从直流到奈奎斯特频率 ( $f_s/2$ ) 的输入信号，功耗仅为 550 mW。如果必须处理更高奈奎斯特区域内的信号，可以使用 14 位、125 MSPS ADC [AD9445](#)，其采用更昂贵的 BiCMOS 工艺，功耗为 2.6 W。

为特定应用选择适当的流水线式 ADC 不仅需要彻底了解系统要求，而且得掌握架构工作原理和可用的权衡因素。将 ADC 简单地视为“黑盒子”常常导致错误的选择。

## 参考文献

1. R. Staffin and R. D. Lohman, "Signal Amplitude Quantizer," *U.S. Patent 2,869,079*, filed December 19, 1956, issued January 13, 1959. (*describes flash and subranging conversion using tubes and transistors*).
2. H. R. Schindler, "Using the Latest Semiconductor Circuits in a UHF Digital Converter," *Electronics*, August 1963, pp. 37-40. (*describes a 6-bit 50-MSPS subranging ADC using three 2-bit tunnel diode flash converters*).
3. T. C. Verster, "A Method to Increase the Accuracy of Fast Serial-Parallel Analog-to-Digital Converters," *IEEE Transactions on Electronic Computers*, EC-13, 1964, pp. 471-473. (*one of the first references to the use of error correction in a subranging ADC*).
4. G. G. Gorbatenko, "High-Performance Parallel-Serial Analog to Digital Converter with Error Correction," *IEEE National Convention Record*, New York, March 1966. (*another early reference to the use of error correction in a subranging ADC*).
5. D. J. Kinniment, D. Aspinall, and D.B.G. Edwards, "High-Speed Analogue-Digital Converter," *IEE Proceedings*, Vol. 113, pp. 2061-2069, Dec. 1966. (*a 7-bit 9MSPS three-stage pipelined error corrected converter is described based on recirculating through a 3-bit stage three times. Tunnel (Esaki) diodes are used for the individual comparators. The article also shows a proposed faster pipelined 7-bit architecture using three individual 3-bit stages with error correction. The article also describes a fast bootstrapped diode-bridge sample-and-hold circuit*).
6. O. A. Horna, "A 150Mbps A/D and D/A Conversion System," *Comsat Technical Review*, Vol. 2, No. 1, pp. 52-57, 1972. (*a detailed description and analysis of a subranging ADC with error correction*).
7. J. L. Fraschilla, R. D. Caveney, and R. M. Harrison, "High Speed Analog-to-Digital Converter," *U.S. Patent 3,597,761*, filed Nov. 14, 1969, issued Aug. 13, 1971. (*Describes an 8-bit, 5-MSPS subranging ADC with switched references to second comparator bank*).
8. Roy Gosser and Frank Murden, "A 12-bit 50MSPS Two-Stage A/D Converter," *1995 ISSCC Digest of Technical Papers*, p. 278. (*a description of the AD9042 error corrected subranging ADC using MagAMP stages for the internal ADCs*).
9. Walt Kester, [Analog-Digital Conversion](#), Analog Devices, 2004, ISBN 0-916550-27-3, Chapter 3. Also available as [The Data Conversion Handbook](#), Elsevier/Newnes, 2005, ISBN 0-7506-7841-0, Chapter 3.

Copyright 2009, Analog Devices, Inc. All rights reserved. Analog Devices assumes no responsibility for customer product design or the use or application of customers' products or for any infringements of patents or rights of others which may result from Analog Devices assistance. All trademarks and logos are property of their respective holders. Information furnished by Analog Devices applications and development tools engineers is believed to be accurate and reliable, however no responsibility is assumed by Analog Devices regarding technical accuracy and topicality of the content provided in Analog Devices Tutorials.