

ADC 架构 VIII : 积分 ADC

作者 : Walt Kester 和 James Bryant

简介

在发现基本计数 ADC 架构（参见[教程 MT-026](#)）后，通过结合集成和计数技术就能实现更高精度，进而推动了高精度双斜率、三斜率和四斜率 ADC 的开发。随着高分辨率 Σ - Δ 型 ADC 的迅速普及，集成架构不再像以前那样流行，不过仍用于各种精密应用，例如数字电压表等。

多斜率 ADC

1950 年代推出的“双斜率”ADC 架构，对高分辨率应用中的 ADC（例如数字电压表）确实是一大突破（参见参考文献 1 至 4）。简单示意图如图 1 所示，积分器输出波形如图 2 所示。

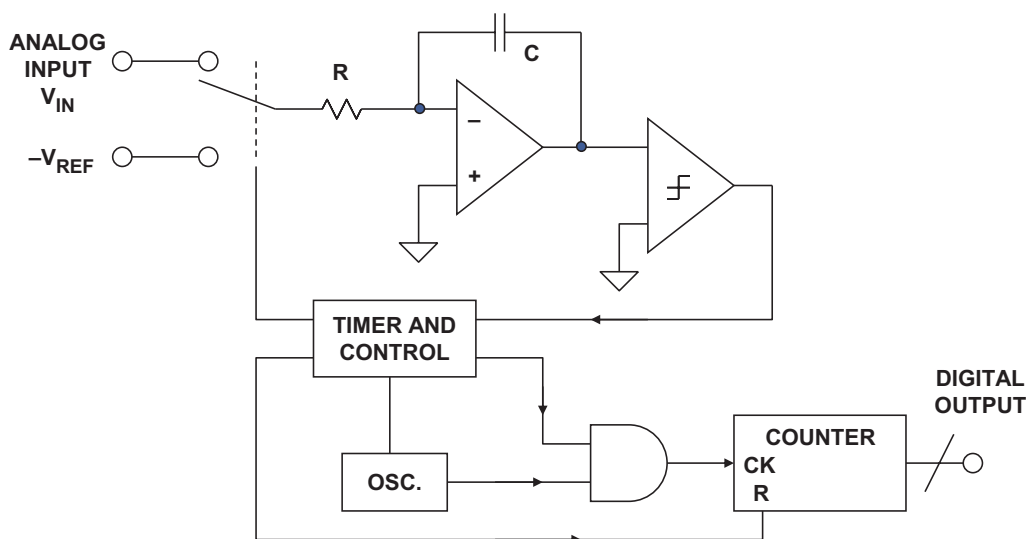


图 1 : 双斜率积分 ADC

计数器开始计算时钟脉冲的同时，输入信号施加于积分器。经过预定时间 (T) 后，具有相反极性的基准电压施加于积分器。此时，积分电容上的累积电荷与输入在间隔 T 内的平均值成正比。基准电压积分是反向斜坡，斜率为 V_{REF}/RC 。同时，计数器重新从零计数。当积分器输出到达零，计数停止，模拟电路复位。由于所得电荷与 $V_{IN} \times T$ 成正比，且相等数量的丢失电荷与 $V_{REF} \times t_x$ 成正比，因此相对于满量程计数的计数次数与 t_x/T 或 V_{IN}/V_{REF} 成正比。如果计数器输出是二进制数，那么就是代表输入电压的二进制形式。

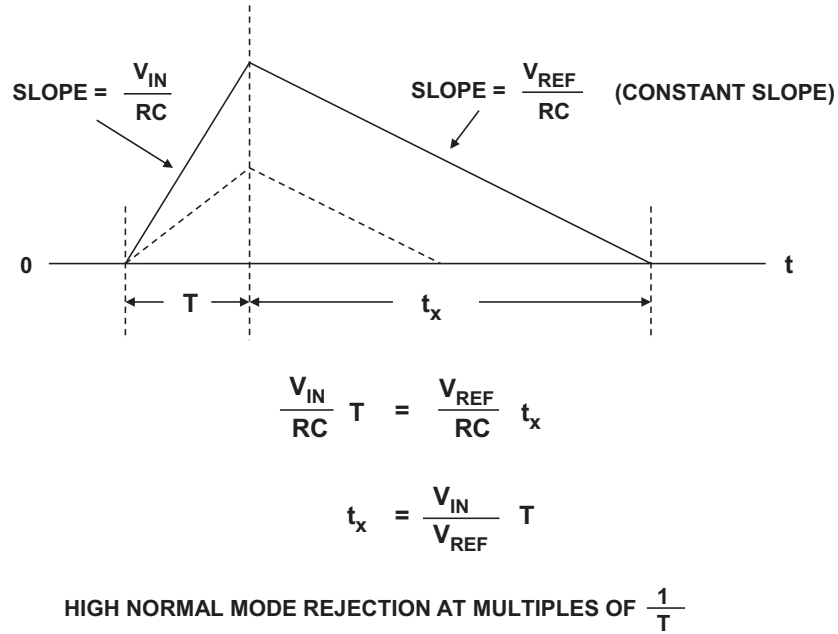


图 2：双斜率 ADC 积分器输出波形

双斜率积分具有许多优点。由于转换精度以相同比率影响上行斜率和下行斜率，所以与电容和时钟频率均无关。

固定输入信号积分周期抑制了模拟输入（其周期等于积分时间 T 或为其约数）上的噪声频率。因此，只要正确选择 T ，就能实现对 50 Hz 和 60 Hz 线路纹波的极佳抑制，如图 3 所示。

利用额外充电 / 放电循环测量“零”和“满量程”，并借助测量结果对初始测量值进行数字校正，可以消除由偏置电流、积分放大器的失调电压和比较器造成的误差以及增益误差，如参考文献 5 所述的四斜率架构。

三斜率架构（参见参考文献 6 至 8）保留了双斜率的优点，同时大幅提升了转换速度，但是增加了复杂性。提升转换速度通过在两个不同速率下完成基准电压积分（斜降）来实现，即高速速率和“游标”低速速率。计数器同样分成两部分，一部分用于 MSB，一部分用于 LSB。在正确设计的三斜率转换器中，可以实现速度的大幅提升，同时保留双斜率 ADC 固有的线性度、微分线性和稳定性特性。

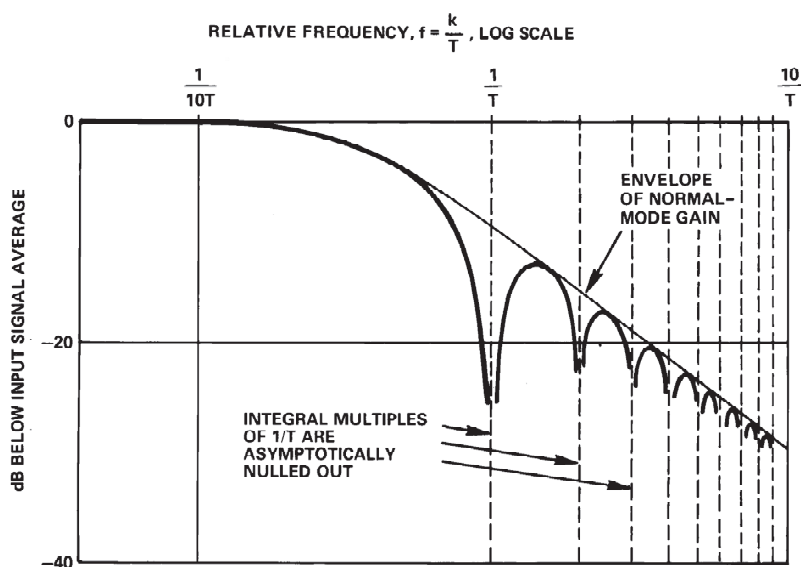


图 3：积分 ADC 的频率响应

参考文献

1. Robin N. Anderson and Howard A. Dorey, "Digital Voltmeters," *U.S. Patent 3,267,458*, filed August 20, 1962, issued August 16, 1966. (*charge balance dual slope voltmeter ADC*).
2. Richard Olshausen, "Analog-to-Digital Converter," *U.S. Patent 3,281,827*, filed June 27, 1963, issued October 25, 1966. (*charge balance dual slope ADC*).
3. Roswell W. Gilbert, "Analog-to-Digital Converter," *U.S. Patent 3,051,939*, filed May 8, 1957, issued August 28, 1962. (*dual-slope ADC*).
4. Stephan K. Ammann, "Integrating Analog-to-Digital Converter," *U.S. Patent 3,316,547*, filed July 15, 1964, issued April 25, 1967. (*dual-slope ADC*).
5. Ivar Wold, "Integrating Analog-to-Digital Converter Having Digitally-Derived Offset Error Compensation and Bipolar Operation without Zero Discontinuity," *U.S. Patent 3,872,466*, filed July 19, 1973, issued March 18, 1975. (*quad-slope ADC*).
6. Hans Bent Aasnaes, "Triple Integrating Ramp Analog-to-Digital Converter," *U.S. Patent 3,577,140*, filed June 27, 1967, issued May 4, 1971. (*triple-slope ADC*).
7. Frederick Bondzeit, Lewis J. Neelands, "Multiple Slope Analog-to-Digital Converter," *U.S. Patent 3,564,538*, filed January 29, 1968, issued February 16, 1971. (*triple-slope ADC*).
8. Desmond Wheable, "Triple-Slope Analog-to-Digital Converters," *U.S. Patent 3,678,506*, filed October 2, 1968, issued July 18, 1972. (*triple-slope ADC*).

Copyright 2009, Analog Devices, Inc. All rights reserved. Analog Devices assumes no responsibility for customer product design or the use or application of customers' products or for any infringements of patents or rights of others which may result from Analog Devices assistance. All trademarks and logos are property of their respective holders. Information furnished by Analog Devices applications and development tools engineers is believed to be accurate and reliable, however no responsibility is assumed by Analog Devices regarding technical accuracy and topicality of the content provided in Analog Devices Tutorials.