

实验报告

班级 21 计科 4 班 姓名 陈昊天

组别 杨老师

2021329600006

周 = 12

实验 (1) 电路的参数测试

3

一、实验目的:

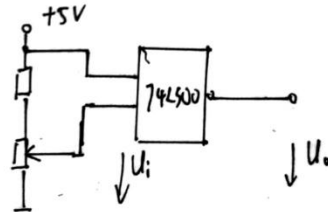
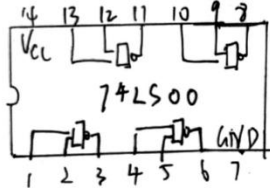
- (1) 掌握 TTL 集成门电路的主要参数及测试方法
- (2) 通过门电路的参数测试, 更好地了解门电路的电气性能和特点
- (3) 掌握常用 TTL 门电路的 EDA 仿真以及故障诊断方法。

二、实验仪器

数字电路实验箱, 数字万用表, 集成电路 74LS00, 1k 精密电位器, 20W 8C 机, Multisim 软件。

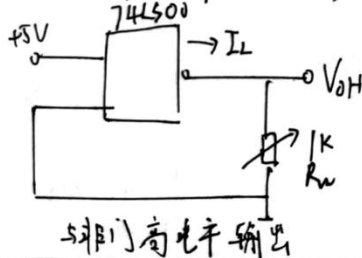
三、简要原理:

(1) TTL 与非门电压传输特性测试。

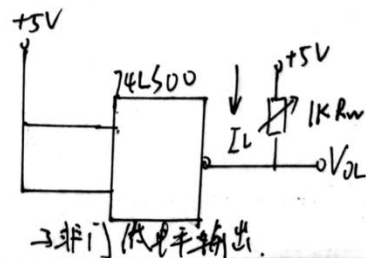


静态测试, $U_o = f(U_i)$ 。

(2) TTL 与非门输出特性参数测试。



$$U_{OL} = f(U_{OL})$$
$$U_{OH} = f(I_{OH})$$



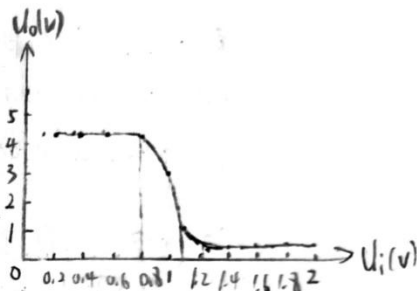
四、实验数据及计量结果：

2.1 三非门电压传输特性

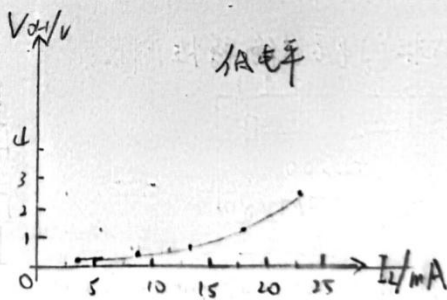
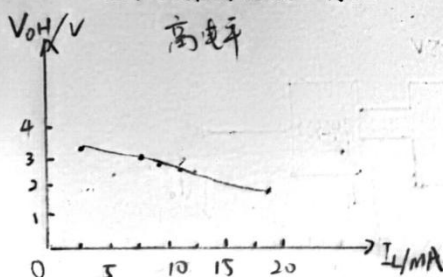
$U_i(V)$	0.2	0.4	0.6	0.8	1.0	1.1	1.25	1.3	1.4	1.5	1.6	1.7	1.8	2.0
$U_o(V)$	4.32	4.32	4.31	4.22	3.03	0.06	0.15	0.15	0.15	0.15	0.15	0.15	0.15	0.15

2.2 三非门传输特性

$R_w(\Omega)$	1000	470	330	220	110	Z_L 计算
高电平 $V_{OH}(V)$	3.25	3.01	2.85	2.52	1.93	$I_L = \frac{V_{OH}}{R_w}$
$I_L(mA)$	3.25	6.40	8.63	11.45	17.54	
低电平 $V_{OL}(V)$	0.28	0.39	0.49	1.24	2.47	$I_L = \frac{5 - V_{OL}}{R_w}$
$I_L(mA)$	4.72	9.80	13.67	17.07	23.0	



五、结果讨论及心得：



结果讨论：电压传输特性：当 $U_i < 0.8V$ 时，输出电压 $U_o = 4.32V$ ，三非门截止；
当 $U_i > 1.25V$ 时，输出电压 $U_o = 0.15V$ ，三非门饱和。

输出特性：当 $R_w \in [110, 1000]\Omega$ 时，输出电压最大 $3.25V$ ，最小 $1.93V$ ；
低电平：当 $R_w \in [110, 1000]\Omega$ 时，输出电压最大 $2.47V$ ，最小 $0.28V$ 。

心得体会：① 调整电位器时不宜过快 ② 必须将电阻与电路断开再调整。

③ 调整电路时断开电源。

实验报告

班级 21 计科 4 班 姓名 陈昊天
2021329600006

组别 杨老师
周二 12
3

实验 (组合逻辑电路)

一、实验目的:

- (1) 掌握组合逻辑电路设计的一般步骤
- (2) 掌握用 TTL 基本门电路进行组合电路设计的方法
- (3) 学会如何查找线路的故障

二、实验仪器

1. 数字电路实验箱
2. 数字万用表
3. 集成块若干: 74LS00, 74LS04, 74LS86.
4. PC 机和 Multisim 仿真软件

三、简要原理:

中小规模组合逻辑电路设计流程:

- ① 逻辑抽象 ② 写出逻辑函数式 ③ 选定器件类型
- ④ 将逻辑函数化简或变换成适当形式 ⑤ 画出逻辑电路

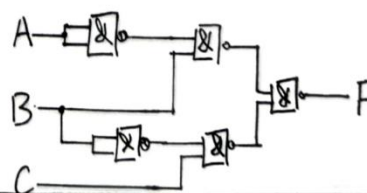
1. 用 74LS00 5 非门设计一个报警控制电路

A	B	C	F
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	0
1	1	1	0

AB	00	01	11	10
C	0	0	1	0
0	0	0	1	0
1	0	1	0	0

$$F = \bar{A}B + \bar{B}C$$

$$= \overline{\bar{A}B} \cdot \overline{\bar{B}C}$$



四、实验数据及计量结果：

3. 一位全加器

A	B	C _{in}	S	C _{out}
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

高电平输出 3.39V

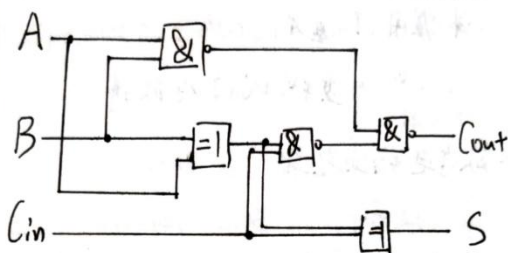
低电平输出 0.64V

$$S = \bar{A}\bar{B}C_{in} + \bar{A}B\bar{C}_{in} + A\bar{B}\bar{C}_{in} + ABC_{in}$$

$$= (A \oplus B) \oplus C_{in}$$

$$C_{out} = \bar{A}BC_{in} + \bar{A}B\bar{C}_{in} + A\bar{B}C_{in} + ABC_{in}$$

$$= AB + (A \oplus B)C_{in} = \overline{\bar{A}\bar{B} \cdot \overline{(A \oplus B)}C_{in}}$$



五、结果讨论及心得：

- ① 使用芯片前须检查门电路功能是否正常，确认门电路和导线正常后再进行实验。
- ② 实验前先在仿真软件上确认自己设计的电路是否可以符合预期地工作，排除排线错误。
- ③ 如果实验结果不符预期，可根据理论值逐步排查电路各级连接问题。

实验报告

班级 21 计科 4 班 姓名 陈昊天
2021329100006

组别 杨老师
周二 12
3

实验 (数据选择器及其应用设计)

一、实验目的:

1. 掌握数据选择器的设计方法和逻辑电路的测试方法
2. 掌握数据选择器的逻辑功能和特点, 应用数据选择器设计电路
3. 通过电路仿真进一步理解各类数据选择器的功能

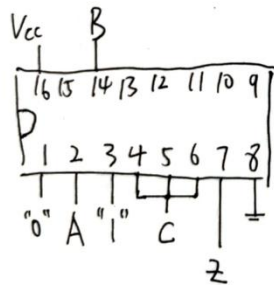
二、实验仪器

1. 数字电路实验箱
2. 数字万用表
3. 集成块若干: 74LS00, 74LS151, 74LS153
4. PC 机和 Multisim 仿真软件

三、简要原理:

① 用 74LS153 产生 $Z = AB + C$ ② 74LS151 实现 $F = A \oplus B \oplus C$

A	B	C	Z
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	1

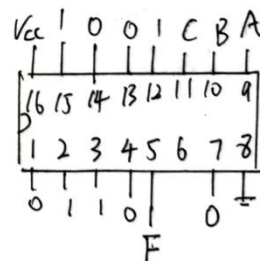


$$Z = \bar{A}\bar{B}C + \bar{A}BC + A\bar{B}C + AB\bar{C} + ABC$$

$$= \bar{A}\bar{B}C + \bar{A}BC + A\bar{B}C + AB \cdot 1$$

$$A: A_1, B: A_0, D_0 = D_1 = D_2 = 0, D_3 = 1$$

A	B	C	F
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	0
1	0	0	1
1	0	1	0
1	1	0	0
1	1	1	1



$$F = \bar{A}\bar{B}C + \bar{A}B\bar{C} + A\bar{B}\bar{C} + ABC$$

$$A: A_2, B: A_1, C: A_0$$

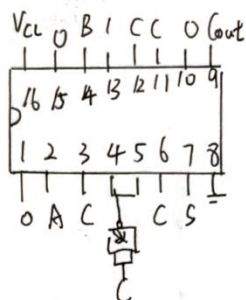
$$D_1 = D_2 = D_4 = D_7 = 1$$

$$D_0 = D_3 = D_5 = D_6 = 0$$

四、实验数据及计量结果：

③ 74LS153 + 门电路设计一位全加器

A	B	C _{in}	S	C _{out}	
0	0	0	0	0	$S = \overline{A}\overline{B}C_{in} + \overline{A}B\overline{C}_{in}$
0	0	1	1	0	$+ \overline{A}B C_{in} + A\overline{B}\overline{C}_{in}$
0	1	0	1	0	
0	1	1	0	1	$C_{out} = \overline{A}B C_{in} + \overline{A}B\overline{C}_{in} + AB \cdot 1$
1	0	0	1	0	
1	0	1	0	1	$A: A_1, B: A_0, \text{进位}$
1	1	0	0	1	$1D_0 = 1D_3 = 2D_1 = 2D_2 = C$
1	1	1	1	1	$1D_1 = 1D_2 = \overline{C}$
					$2D_0 = 0, 2D_3 = 1$



五、结果讨论及心得：

- ① 设计一位全加器时注意两个输出 S、C_{out} 都要接上，否则无法判断实验结果正确性。
- ② 双四选一可以通过 A₂ 接 $\overline{S_1}$ ，A₂ 接 $\overline{S_2}$ ，Y₁、Y₂ 接或门为 Y 扩展成八选一数据选择器。

实验报告

班级 21 计科 4 班 姓名 陈昊天
2021329600006
实验 (译码器及其应用设计)

组别 柏老师
周二 12
3

一、实验目的：

1. 熟悉译码器的工作原理和使用方法
2. 掌握中规模集成译码器的逻辑功能及应用
3. 熟悉数码管的工作原理及使用方法

二、实验仪器

1. 数字电路实验箱 4. PC, Multisim
2. 数字万用表, 双踪示波器
3. 集成块若干: 74LS00, 74LS138, CC4511

三、简要原理：

1. 译码器

- (1) 二进制译码器的输入是一组二进制代码, 输出是一组与输入代码一一对应的高低电平信号。
- (2) 二-十进制译码器的逻辑功能是将输入BCD码的10个代码译成10个高低电平输出信号。
- (3) 显示译码器是将输入的BCD码经译码后去激励显示器。

2. 数码显示译码器

(1) 七段LED数码管

小型数码管每段发光二极管的正向压降随显示光的颜色不同而略有差别, 通常为2-2.5V。

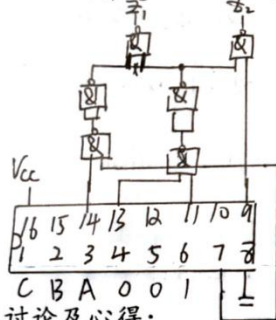
四、实验数据及计量结果：

用3-8线译码器实现多输出函数

A	B	C	z_1, z_2
0	0	0	0 0
0	0	1	1 0
0	1	0	1 1
0	1	1	0 0
1	0	0	1 1
1	0	1	0 0
1	1	0	0 1
1	1	1	1 0

$$z_1 = \overline{A}\overline{B}C + \overline{A}B\overline{C} + A\overline{B}\overline{C} + ABC = \overline{Y_2 Y_4 Y_1 Y_7}$$

$$z_2 = \overline{A}B\overline{C} + A\overline{B}C + A\overline{B}\overline{C} = \overline{Y_2 Y_4 Y_6}$$



五、结果讨论及心得：

4511 接七段译码显示器时不需要再接电阻。

小型数码管每段发光二极管的正向压降随显示

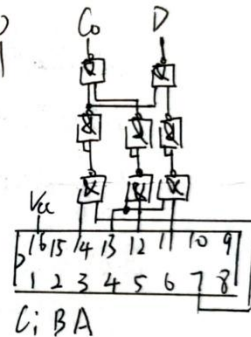
光的颜色不同而略有差别，通常为2-2.5V，每个发光二极管的电流为5-10mA。

二进制全减器

A	B	Ci	Co D
0	0	0	0 0
0	0	1	1 1
0	1	0	1 1
0	1	1	1 0
1	0	0	0 1
1	0	1	0 0
1	1	0	0 0
1	1	1	1 1

$$Co = \overline{A}\overline{B}C + \overline{A}B\overline{C} + \overline{A}B\overline{C} + \overline{A}B\overline{C} = \overline{Y_2 Y_4 Y_1 Y_7}$$

$$D = \overline{A}B\overline{C} + \overline{A}B\overline{C} + \overline{A}B\overline{C} + \overline{A}B\overline{C} = \overline{Y_2 Y_4 Y_6}$$



实验报告

班级 21 计科 4 班 姓名 陈昊天

组别 杨老师

周 = 12

实验 (触发器功能测试)

3

一、实验目的:

1. 掌握常用触发器的特点及其逻辑功能
2. 学会使用触发器的仿真
3. 掌握测试 JK 触发器 A/D 触发器逻辑功能的方法

二、实验仪器

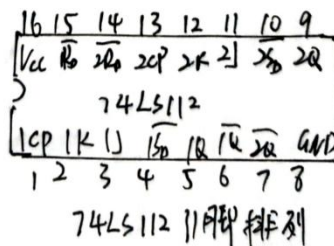
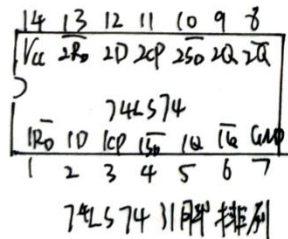
1. 数字电路实验箱
2. 数字万用表
3. 74LS00, 74LS74, 74LS112
4. PC, Multisim

三、简要原理:

触发器是一种具有记忆功能的二进制存储单元, 是时序逻辑电路的基本器件之一。

74LS74 是 TTL 双 D 触发器, 输出特性方程为 $Q^{n+1} = D$

74LS112 是 TTL 双 JK 触发器, 输出特性方程为 $\begin{cases} Q^{n+1} = \overline{J}Q^n \\ Q^{n+1} = KQ^n \end{cases}$



四、实验数据及计量结果：

1. D触发器逻辑功能测试

(1) 置位, 复位

SD	RD	Q	逻辑功能
0	1	1	置位
1	0	0	复位

(2) 逻辑

输入		输出	
SD	RD	Q ⁿ	Q ⁿ⁺¹
		0	0
	0	0	1
1	1	1	0
	0	1	1
	1	0	0

2. JK触发器逻辑功能测试

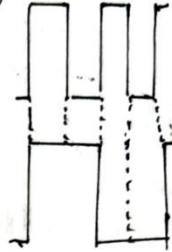
(1) 置位, 复位

PR	CLR	Q	逻辑功能
0	1	1	置位
1	0	0	复位

(2) 逻辑

输入			输出	
PR	CLR	JK	Q ⁿ	Q ⁿ⁺¹
1	1		0	0
		0 0	0	0
		0 1	0	1
		1 0	1	0
		1 1	1	1

1.(3)



五、结果讨论及心得：

实验报告

班级 2114 材料 4 班 姓名 陈昊天

组别 杨老师
周=12
3

实验 (555 定时器及其应用)

一、实验目的:

1. 熟悉 555 定时器的的工作原理及电路结构
2. 掌握 555 定时器的典型应用
3. 学会使用示波器时的一些电参数的测量

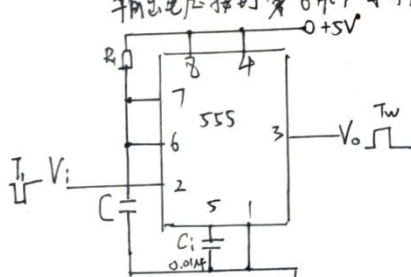
二、实验仪器

1. 数字电路实验箱
2. 双踪示波器
3. 数字万用表
3. 信号发生器
4. 555 集成模块, 电阻 $2K, 10K, 5.5K, 15K$, 电容 $0.1\mu F, 0.01\mu F$.
5. PC, Multisim.

三、简要原理:

(1) 构成单稳态触发器

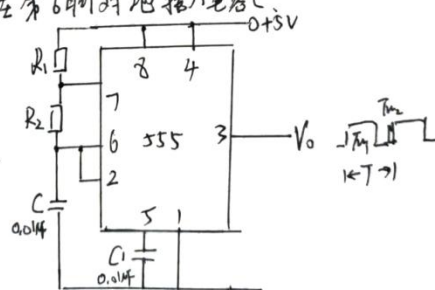
2 脚作为触发信号的输入端, 并将三极管 T 和电阻 R 组成的反相器
输出电压接到第 6 脚, 同时第 6 脚对地接入电容 C



① 单稳态触发器

(2) 构成多谐振荡器

2 脚和 6 脚直接相连, 利用电源通过 R_1, R_2 对 C 充电, 以及通过 R_2 和开关 T 放电



② 多谐振荡器

四、实验数据及计量结果:

2. 555 构成多谐振荡器

① $R_1=R_2=5.5k$, $C=0.01\mu F$ V_i

理论值:

$$T_1 = 0.7(R_1+R_2)C = 7.7e-5s$$

$$T_2 = 0.7R_2C = 3.85e-5s$$

$$T = 1.155e-4s, q = 66.7\%$$

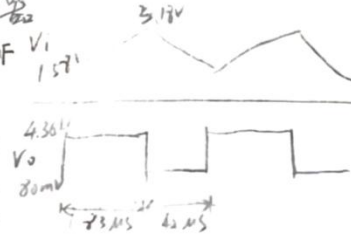
实验值:

$$T_1 = 83\mu s, T_2 = 42\mu s$$

$$T = 125\mu s, q = 66.4\%$$

$$V_{OL} = 80mV, V_{OH} = 4.36V$$

$$V_{iL} = 1.58V, V_{iH} = 3.18V$$



② $R_1=15k, R_2=10k, C=0.01\mu F$

理论值:

$$T_1 = 1.75e-4s$$

$$T_2 = 0.7e-4s$$

$$T = 2.45e-4s$$

$$q = 71.4\%$$

3. 555 构成单稳态触发器

理论值 $T_w = 1.1RC = 1.1e-3s$

$$T = \frac{1}{f} = 2e-3s$$

$$T_1 = \frac{1}{4}T = 0.5e-3s$$

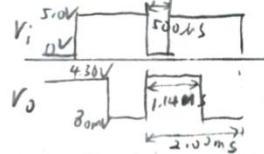
实验值:

$$V_{iL} = 0V, V_{iH} = 5.0V$$

$$V_{OL} = 80mV, V_{OH} = 4.36V$$

$$T_1 = 500\mu s, T = 2.00ms$$

$$T_w = 1.14ms$$



五、结果讨论及心得:

① 555 构成多谐振荡器时, 外部元件的稳定性决定了多谐振荡器的稳定性, 配以少量元件即可获得较高精度振荡频率。

② 555 构成单稳态触发器时, C 为滤波电容, 可防止干扰, 提高参考电压的稳定性。

实验报告

班级 21计科4班 姓名 陈昊天

组别 杨老师

周=12
3

实验 计数器及其应用设计(2.3.4)

一、实验目的:

1. 掌握常用计数器的基本概念和一般构成方法
2. 熟悉中规模集成计数器的逻辑功能及其应用
3. 掌握常用计数器及其应用的EDA仿真。

二、实验仪器

1. 数字电路实验箱
2. 双踪示波器、万用表
3. 集成块若干, 74LS74, 74LS161
4. PC, Multisim

三、简要原理:

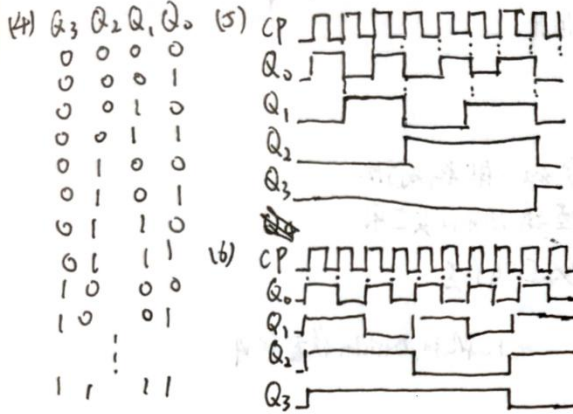
74LS161是具有异步清零的可预置4位二进制同步计数器, 该计数器具有异步清零, 同步并行预置数据, 计数和保持功能。

16	15	14	13	12	11	10	9
V _{CC}	C0	Q ₀	Q ₁	Q ₂	Q ₃	ET	ED
74LS160/161							
R ₀	CP	D ₀	D ₁	D ₂	D ₃	EP	AMP
1	2	3	4	5	6	7	8

- 9脚为预置数控制端(LD)
- 7、10脚为使能端, 2作时钟控制端, 计数时必须悬空
- 11脚为异步清零(RD)
- 15脚为进位输出端(CO)

四、实验数据及计量结果：

1. D触发器构成4位异步二进制计数器



5. 移位寄存器

CP顺序	D	初Q ₀	Q ₁	Q ₂	末Q ₃
0	1	1	0	0	0
1	1	1	1	0	0
2	0	0	1	1	0
3	1	1	0	1	1
4	0	0	1	0	1
5	/	X	0	1	0
6	/	X	X	0	1
7	/	X	X	X	0

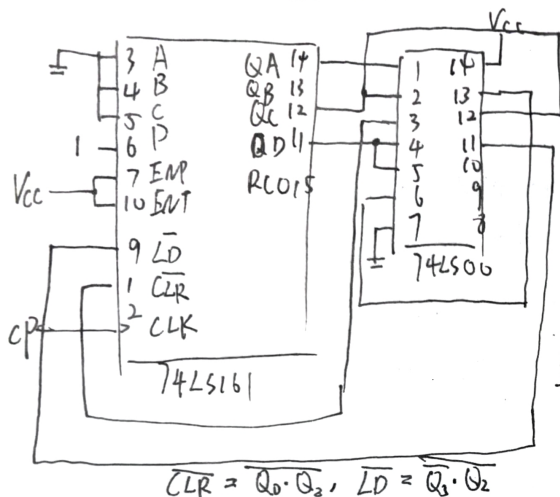
并行读出4位数码需4脉冲
串行读出4位数码需7脉冲

五、结果讨论及心得：

- ① D触发器构成4位异步二进制加法计数器时，Q₀由CP的上升沿触发，下一级的Q为下降沿触发。减法计数器均为上升沿触发。
- ② D触发器构成移位寄存器时每个触发器的Q连接到下个触发器的D，最后与第一个相连，则数据会环形移位。

四、实验数据及计量结果:

① 利用74LS161设计BCD5421码十进制计数 ② 可控进制的计数器



$$\overline{CLR} = \overline{Q_0 Q_2 Q_1 Q_3 M}$$

$M=0$ 五进制

$M=1$ 十进制

$Q_3 Q_2 Q_1 Q_0$

0 0 0 0 S_1

0 0 0 1 S_2

0 0 1 0 S_3

0 0 1 1 S_4

0 1 0 0 S_5

0 1 0 1 S_6

1 1 1 1

10-11
异步

$M=0$, 异步

$$\overline{CLR} = \overline{Q_0 Q_2}, \overline{LD} = \overline{Q_3 Q_2}$$

五、结果讨论及心得:

① 设计BCD5421码时, 既可以使用清零和置数, 也可以仅使用置数方式.

② 用D触发器设计计数器时, 应首先化简表达式, 再连接电路, 防止电路过于复杂.

实验报告

班级 2114 科 43 班 姓名 陈昊天

组别 杨老师

周二 12

实验 计数器及其应用设计

3

一、实验目的：

1. 掌握常用计数器的基本概念和一般构成方法
2. 熟悉中规模集成计数器的逻辑功能及实际应用
3. 掌握常用计数器及其应用的 EDA 仿真

二、实验仪器

1. 数字电路实验箱

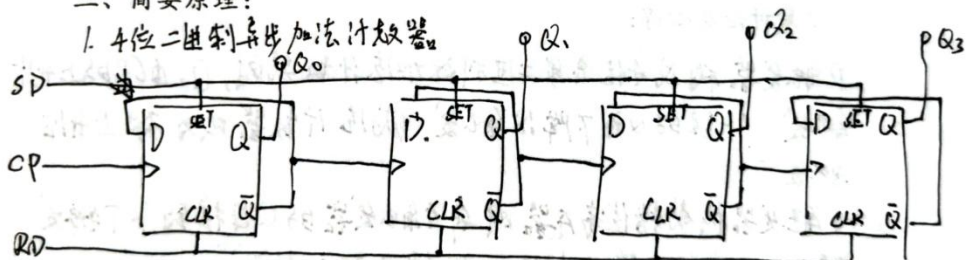
4. PC 机和 Multisim 仿真软件

2. 双踪示波器、万用表

3. 集成块若干, 74LS74, 74LS161

三、简要原理：

1. 4 位二进制异步加法计数器



将每个 D 触发器接成 T' 触发器, 再由低位触发器的 Q 端和高一级的 CP 端相连。

5. 移位寄存器

