

基于 DCG 综合的布线拥塞的优化

一、	相关名词	1...
	Congestion, 堵塞率	1...
	Hot spot.....	1...
	DCT, DC Topographical.....	1...
	DCG, DC Graphical.....	2..
	SPG	2....
二、	堵塞问题产生	3...
	原因	3...
	危害	3...
	解决	3...
三、	DCG综合效果及原理	4...
	原理	4...
	使用范围	4...
	优化方式	4...
	优化效果	5...
四、	流程及环境	7...
	流程	7...
	环境	7...

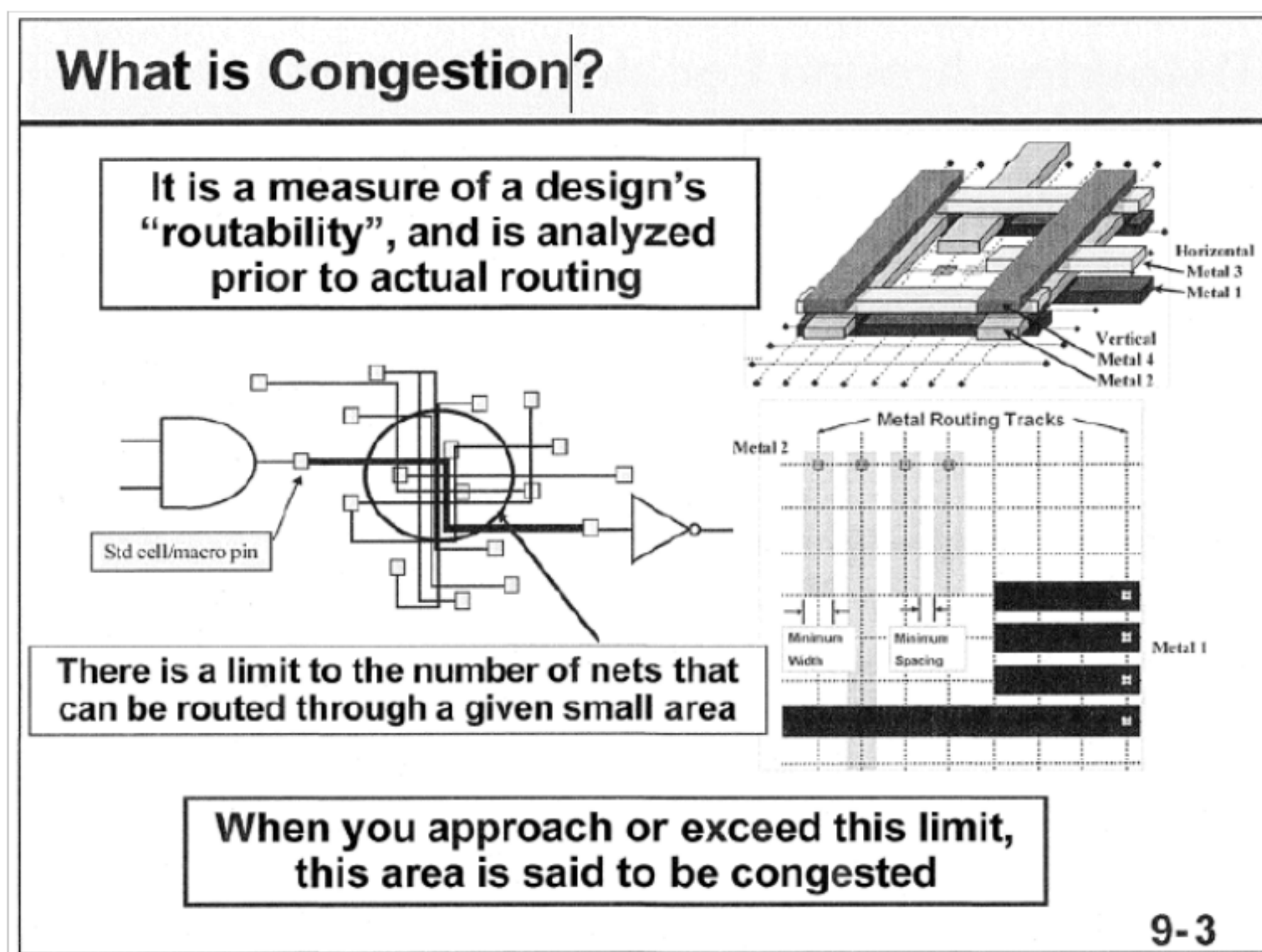
一、 相关名词

Congestion , 堵塞率

衡量在指定的空间内可布线的程度

Hot spot

拥挤热点，过分拥挤的点或者区域，因 synopsys 使用红色表示布线高密度的点得名。




DCT , DC Topographical

基于物理信息综合

Two Modes Available for Interconnect RCs

- **WLM mode calculates the exact same R and C for both nets below (based on fanout)**
 - The two net delays will likely be over- and under-estimated
 - The netlist will contain over- and under-buffered gates
 - The additional burden on the physical design tool to fix timing along the under-buffered path, and to reduce area and power on the over-buffered path, may require additional iterations
- **Topographical mode performs coarse placement with congestion-aware routing estimates during synthesis**
 - Resulting RCs correlate closely with post-layout results
 - Better post-layout QoR and TTR



Example: Two nets, each with a fanout of three, shown post Place & Route

i-13

DCG , DC Graphical

DCT+SPGcompile_ultra -spg ,基于解决布线拥堵问题的 DC模式 ,之前为 -congestion

SPG

Synopsys Physical Guidance

二、 堵塞问题产生

原因

当布线设计的空间超过可用资源时， 布线拥塞开始发生。 随着更多的门挤到一个芯片中， 导致拥塞加剧，使得它很难进行布线设计。

危害

- 1、 设计周期的延长
- 2、 设计难度的增加
- 3、 时序违反的增大

解决

- 1、 平面布局优化

布线拥堵与平面布局有一定的关系，比如 IP 的位置， port 的位置。这些信息是不能再综合阶段进行优化的，只能通过初步的布局才能得到较好的结果。

- 2、 其他后端手段

改变目标门利用率，加入缓冲带等。费时，费力，容易造成延误。

- 3、 采用 **DCG**综合

效果最好，节省时间。

三、 DCG综合效果及原理

原理

包含 virtual global-routing 虚拟布局布线技术， 可以使得设计者在 RTL综合期间预测布线拥堵， 此技术允许设计者定位并解决设计中的问题， 去减少布线拥堵， 消除综合和后端实现中代价较高的迭代， 以完成设计并加快布局布线的过程。

DCG综合提供了一个自动的方法去优化 RTL以达到减小拥堵的目的， 它执行特殊的优化去生成一种布局友好的网表结构。 这样的网表最小化了高拥堵结构和拥堵区域中连线的交叉。 通过这样的方式， 会使得布线更加的简单， DCG可以为后端设计提供一个雏形， 会使得布局布线更快的收敛。

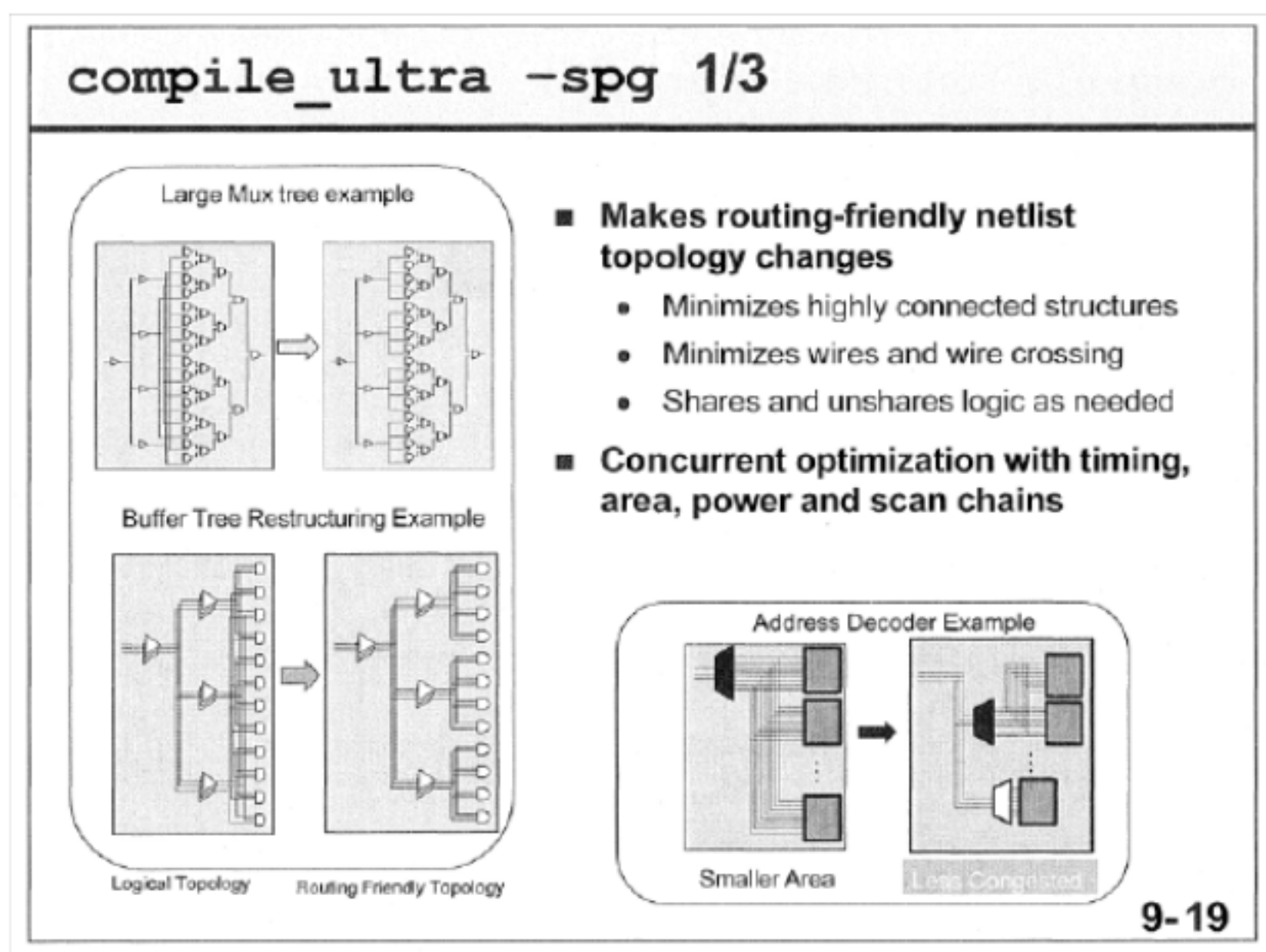
使用范围

基于布线拥堵优化， 使用于 MEM 较多 ,留给 stand cell空间较为局限的芯片， 并不是总会有效果。

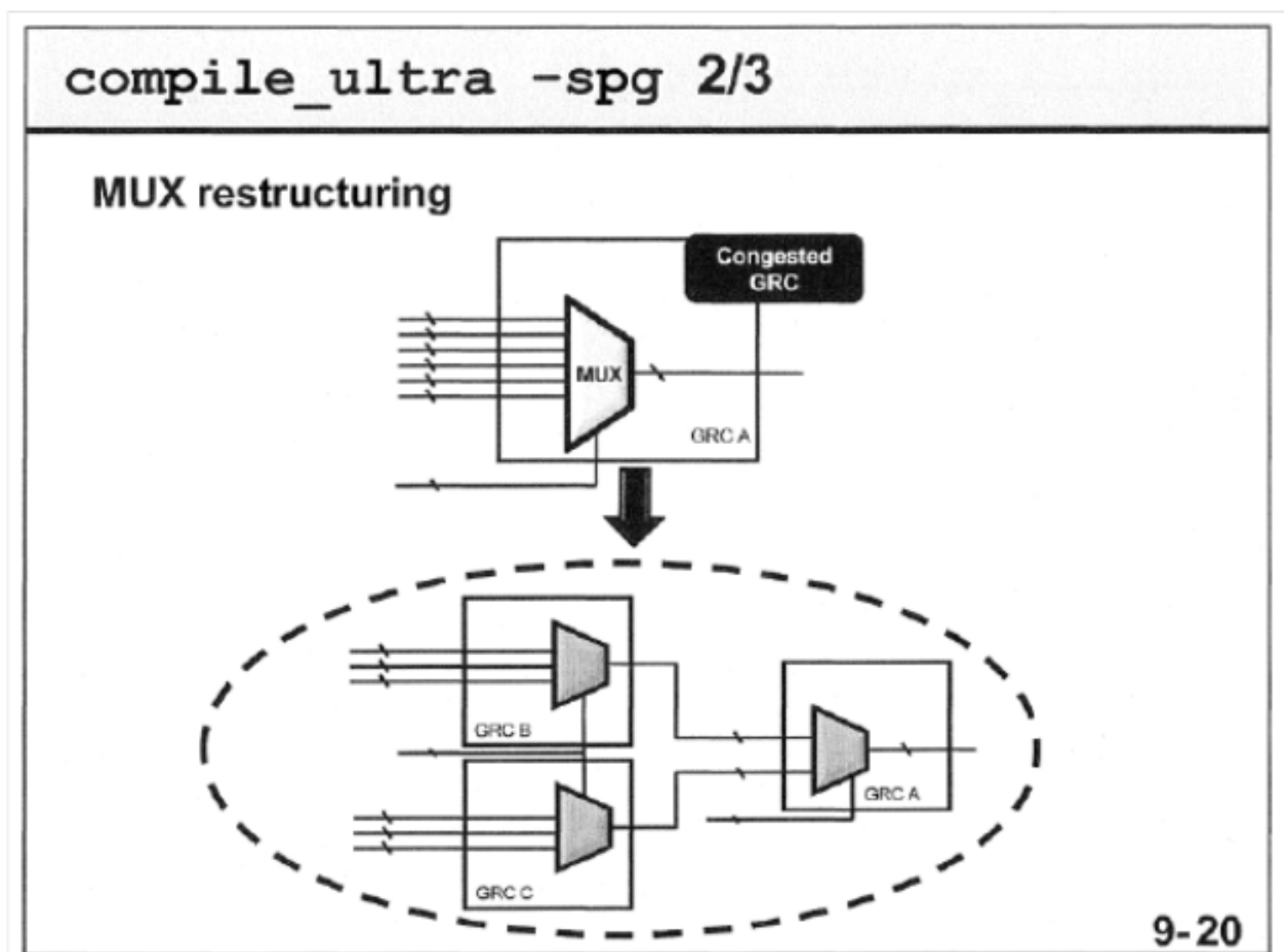
优化方式

1、 连线优化

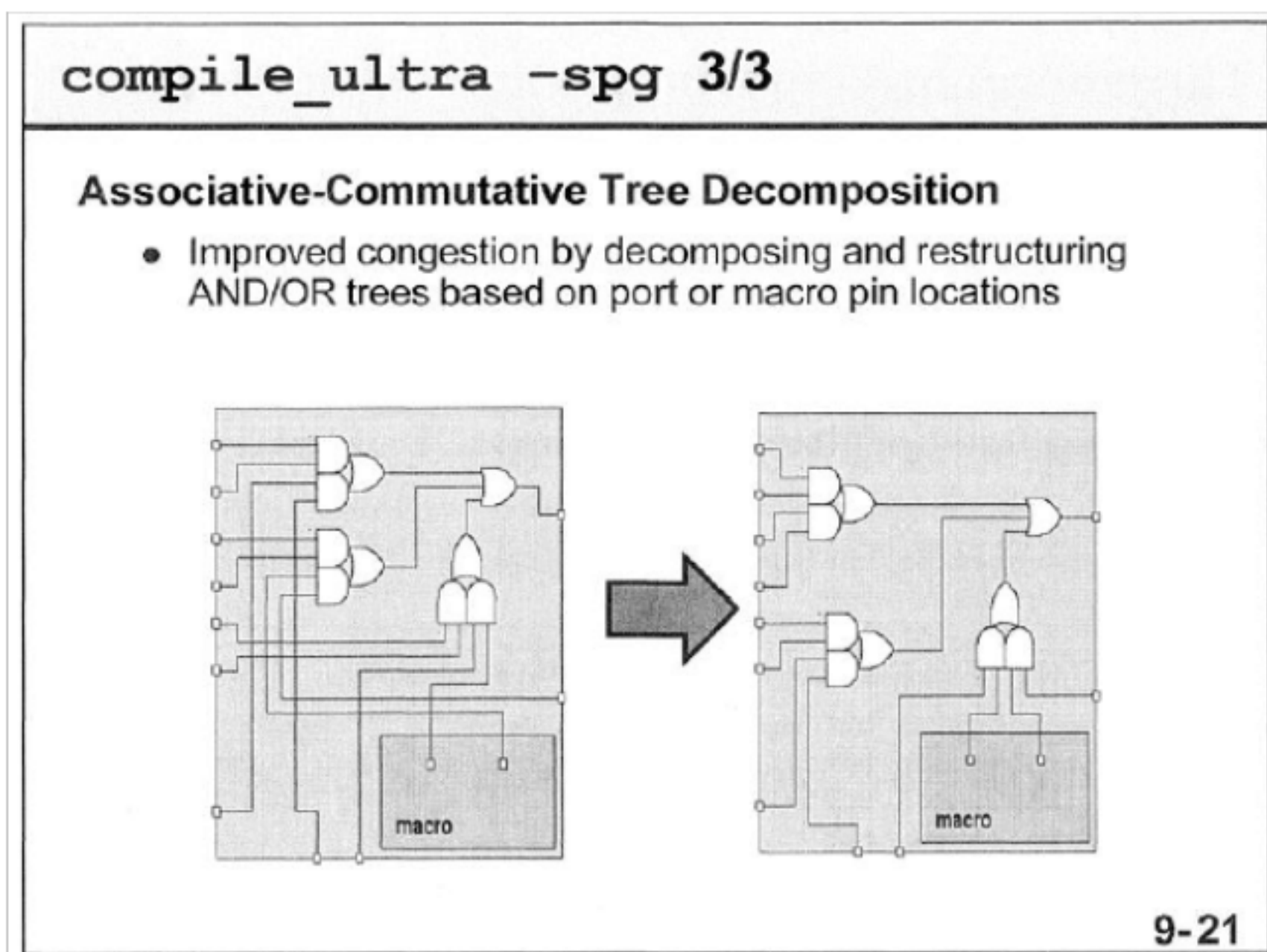
高连接结构优化；线间交叉优化；逻辑复用有否的选择。



2、 MUX 结构优化



3、 门电路结构优化



优化效果

Figure 5A 是一个由 DCG预测的布线拥挤的例子。 其中各种颜色分布表示布线的拥挤情况， 红色和白色表示拥挤的情况比较严重， 蓝色区域为拥挤较少的区域。 Figure 5B表示此设计放入后端进行优化

的情况。我们从中可以看得到 DCG 在综合阶段可以较为准确的识别设计中将会产生拥挤的区域。这些信息对于设计者来说是比较有价值的。

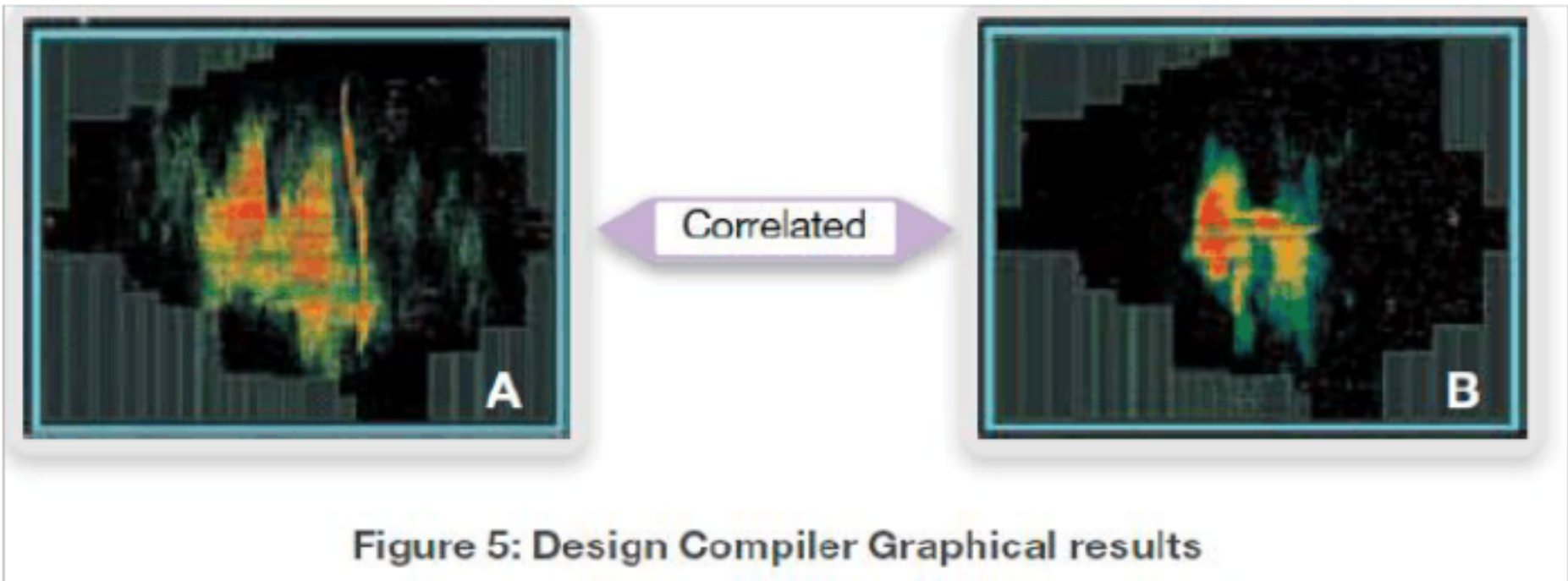
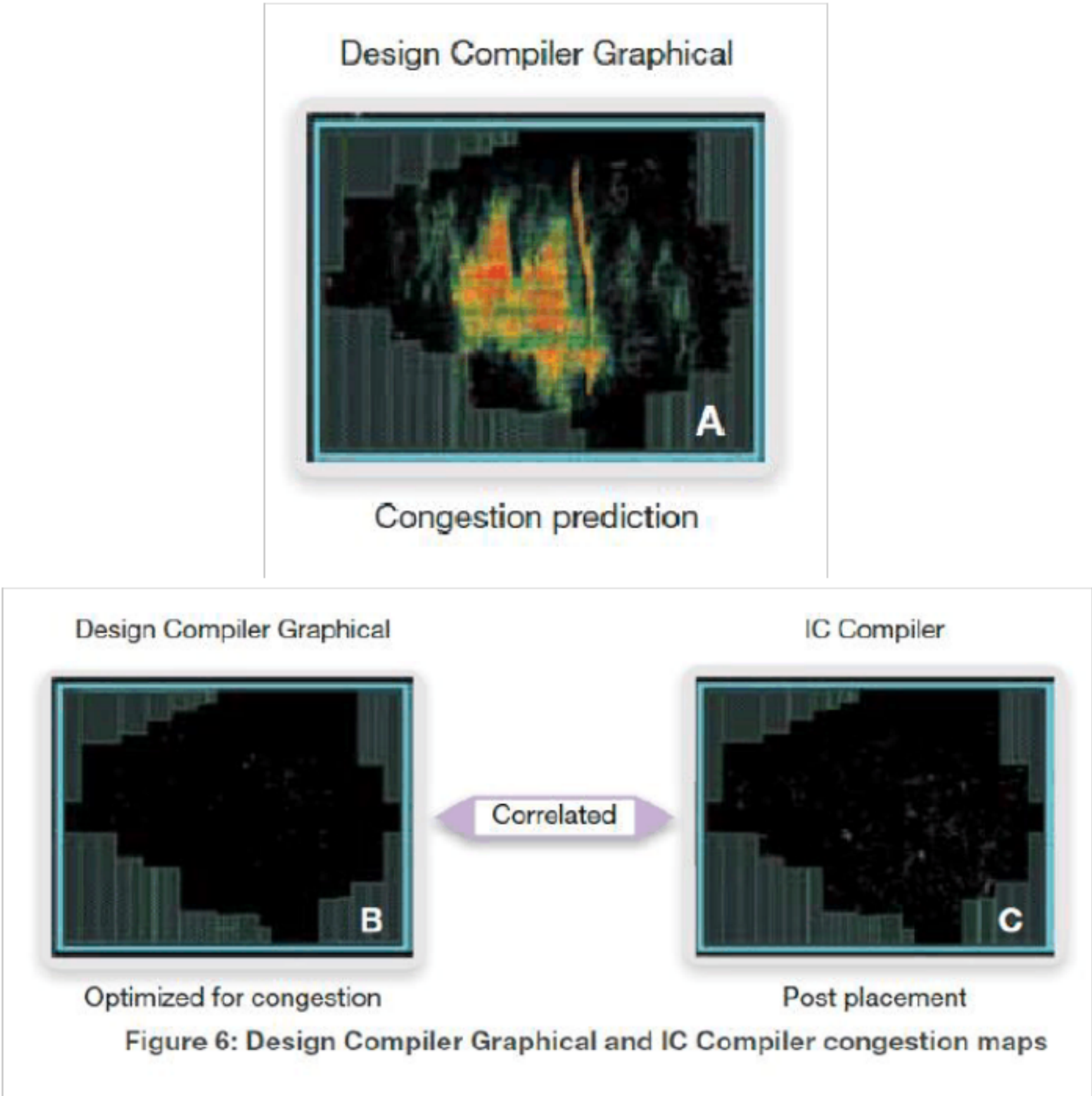
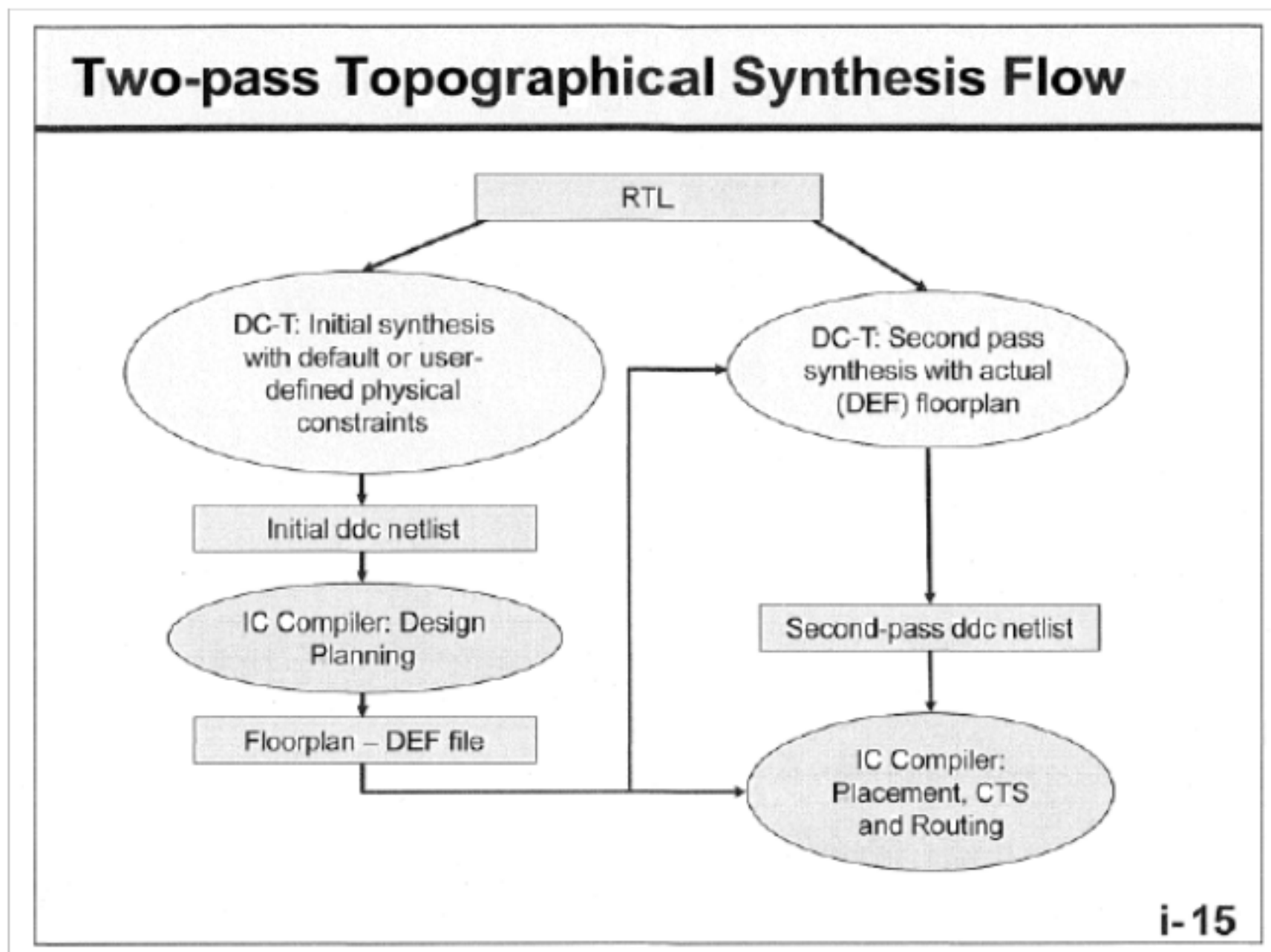


Figure 6A 显示的一个同样的设计， Figure 6B 是通过 DCG进行优化后的综合情况，我们看到，通过对拥堵的较好优化，可以显著的降低连线拥堵， Figure 6C 就是已经解决了拥堵问题的后端设计。DCG是通过考虑综合 cell 的拥挤特性达到优化目的的。




四、 流程及环境

流程



环境

Unit Objectives



After completing this unit, you should be able to prepare a design for synthesis, which includes :

- **Loading the RTL design and logical libraries**
 - Design to be synthesized (*Verilog/System Verilog/VHDL* RTL files)
 - Logical libraries (*db* files)
- **Loading physical technology and design data**
 - Physical or layout libraries (*Milkyway* directories)
 - Technology or routing layer definition file (*tf* file)
 - RC modeling files (*TLUPlus* & *map* files)
 - Floorplan data (*TCL physical constraints* or *DEF* file)

1-2

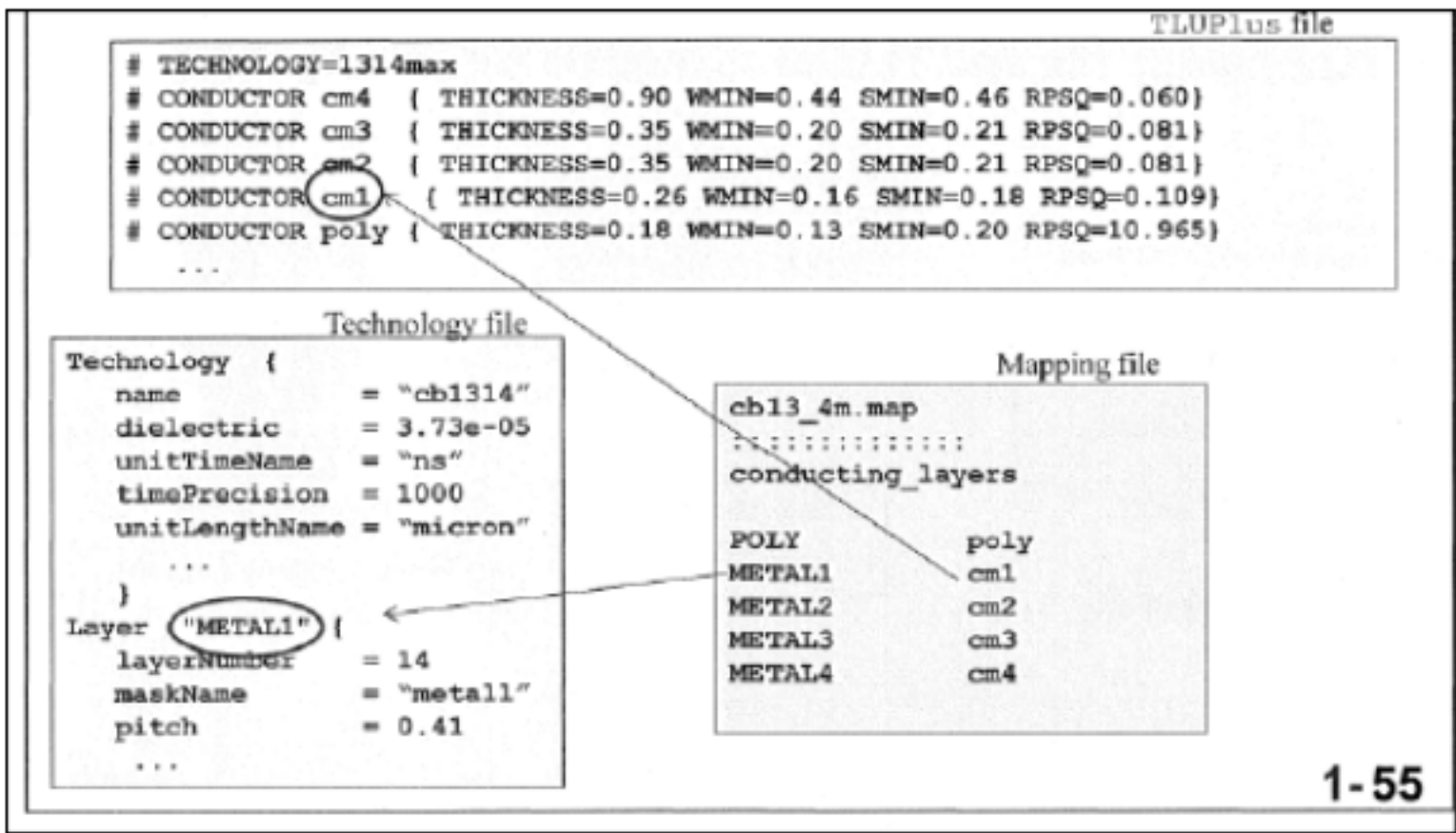
- 1、 RTL网表
- 2、 逻辑单元库
- 3、 Milkyway 物理库
- 4、 tf 文件。技术库，定义层文件

```
Technology {
  name           = "cb1314"
  dielectric      = 3.73e-05
  unitTimeName    = "ns"
  timePrecision   = 1000
  unitLengthName = "micron"
  ...
}
Layer "METAL1" {
  layerNumber    = 14
  maskName       = "metall"
  pitch          = 0.41
  defaultWidth   = 0.16
  minWidth        = 0.16
  ...
}
```

- 5、 TLUPlus文件。 R , C参数的定义

```
# TECHNOLOGY=1314max
# CONDUCTOR cm4 { THICKNESS=0.90 WMIN=0.44 SMIN=0.46 RPSQ=0.060}
# CONDUCTOR cm3 { THICKNESS=0.35 WMIN=0.20 SMIN=0.21 RPSQ=0.081}
# CONDUCTOR cm2 { THICKNESS=0.35 WMIN=0.20 SMIN=0.21 RPSQ=0.081}
# CONDUCTOR cm1 { THICKNESS=0.26 WMIN=0.16 SMIN=0.18 RPSQ=0.109}
# CONDUCTOR poly { THICKNESS=0.18 WMIN=0.13 SMIN=0.20 RPSQ=10.965}
...
# DIELECTRIC cm4_extral { THICKNESS=0.23 ER=3.7 }
# DIELECTRIC cm4_extra2 { THICKNESS=0.03 ER=8.1 }
# DIELECTRIC cm4_extra3 { THICKNESS=0.09 ER=3.7 }
...
```

- 6、 Mapping 文件。描述 tf 与 TLUPlus的对应关系。



7、 DEF文件。后端 Floorplan 信息。