

李强

qiangli19@fudan.edu.cn 188-0027-7889

研究方向：异构多核处理器的跨层次能效优化关键技术研究

求职意向：芯片架构工程师、数字芯片设计工程师 求职地点：上海



教育背景

复旦大学 博士 韩军、曾晓洋	2019.09-2025.06
微电子学与固体电子学 微电子学院	
微电子学院 2019 级直博生团支部书记	
微电子学院 2019 级研究生第一党支部副书记	
西安电子科技大学 本科	2015.09 - 2019.06
电子科学与技术 物理与光电工程学院 专业排名 14/208, 获得推免资格	

荣誉和奖励

- 2022-2023 学年微电子学院荣昶奖学金全面发展奖二等奖
- 连续 4 个学年获评复旦大学博士生优秀学业奖学金二等奖
- 2023 年度复旦大学优秀共青团干部
- 2022 年度复旦大学优秀学生干部
- 2021 年度复旦大学优秀学生
- 2018 年 9 月获国家教育部推荐免试研究生资格

项目经历

面向异构平台中复杂功耗模式的轻量化建模和预测技术	项目负责人	2023.1-2024.4
<ul style="list-style-type: none">比特级功耗代理的特征挑选算法设计：从百万级 RTL 比特信息中高效地提取出能够表征功耗模式的几十到几百个代理特征，只需要 0.028% 的 NVDLA (NVIDIA) RTL 比特和 0.036% 的 BOOM (UC Berkeley) RTL 比特输入量，大大减轻了功耗预测模型的输入处理负担并且加快了硬件处理速度。轻量化高精度的功耗预测算法设计：设计实现了高效的功耗预测算法，在 BOOM 和 NVDLA 上的逐周期功耗预测误差分别降低到 2.49% 和 1.69%，在功耗尖峰预测中超过 95.5% 的样本的误差小于 5%，超过 SOTA 性能。软硬件指标协调的多目标优化框架设计：围绕片上功耗预测器 (OPM) 的准确度和片上开销的两目标需求，设计了 OPM 超参数的多目标优化框架，在 3.5 小时之内能够从 8192 个试验中高效搜索到了 52 个帕累托前沿解。高吞吐低开销的片上功耗预测器设计：将所提出的功耗预测算法实现为 OPM，NVDLA OPM 面积和功耗开销分别为 0.49%, 0.097%。同时逐周期预测的延迟只有 3cycles，提供纳秒级功耗监测能力 (T28 工艺)。相关工作已投稿处理器微架构顶级会议 IEEE/ACM International Symposium on Microarchitecture. (第一作者)		
RISC-V 处理器微架构的设计空间探索技术	项目负责人	2021.10-2022.12
<ul style="list-style-type: none">优化问题建模与采样算法设计：调研国内外关于处理器微架构设计空间探索技术的研究现状；建模微架构多目标寻优数学模型，设计了边缘设计点和中心邻近设计点的融合采样算法，在 1024 的寻优子空间内只需 7 个初始样本即可高效完成寻优。(低预备成本)多目标贝叶斯寻优算法设计：设计了并行的深度核学习-高斯算法作为代理模型，目标空间内的三目标超体积的期望改进函数作为采集函数；在 3 并发试验的情形下，只需 6 次迭代即可搜索到最优解。(高时间效率)		

- 自动化全流程的微架构仿真平台设计：设计实现了并行获取多个精英样本的设计性能响应的 PPA-Gen 仿真平台，自动化输出精英样本的 PPA。（全自动 VLSI 流程）
- 所提出的设计空间探索（DSE）技术在 UC Berkeley BOOM 处理器内核上完成了实验验证。相关工作发表在领域高水平期刊 Microelectronic Journal（MJ）
<https://www.sciencedirect.com/science/article/abs/pii/S0026269222003081>（第一作者）

低功耗高灵敏度手势识别芯片设计-国家重点研发计划 核心技术骨干 2019.12 - 2022.10

- 架构与前端：基于 Rocket Generator 处理器生成平台设计实现了动态手势识别 SoC 架构，设计并实现了基于自定义扩展指令的 RoCC 协处理器支持实时的高精度动态手势识别，识别精度达到 93%-99%。（协作）
- 原型平台验证：基于 Arty-A7 开发板和 CMOS 图像传感器 OV5640 搭建了原型验证平台，完成了协处理器的功能验证和原型验证。（协作）
- 后端与测试：基于 TSMC 28nm 工艺完成了芯片的中、后端设计，实现了多种低功耗技术包括多时钟域、门控时钟、多电压域、Memory 休眠的设计。该手势识别芯片能够 0.584V 供电下以 397uW 的功率开销实现 30FPS 的动态手势识别，室温待机功耗仅需 78.3uW。（负责）
- 相关工作以第二作者身份发表在领域高水平期刊 Microelectronics Journal，后续延伸工作发表在 IEEE TCAS-I。

校企合作项目

上海硅知识产权交易中心-处理器低功耗技术调研项目 项目负责人 2023.08-2023.10

- 项目组织与角色：从 RISC-V 专利技术与生态发展的前瞻性布局出发，为绕开 X86 处理器低功耗技术的专利壁垒，以 Intel 和 AMD 公司（X86 ISA 龙头企业）在近 10 年的低功耗专利为抓手，组织带领 5 人团队，进行了为期 3 个月的调研。
- 项目成果与输出：具体调研范围包括 Intel 和 AMD 的在近 5 年的最新低功耗专利家族 352 个，总结梳理了超 30 万字的专利调研报告，提炼了包括专利技术树、专利布局地图、专利关键点分析等重要内容。

华为-ArchGen SoC 架构优化平台技术 核心技术骨干 2020.10-2021.9

- 调研和竞分：调研 MPSoC 以及 DSSoC 下的应用程序映射调度，总线及 memory 子系统寻优框架及算法，调研应用程序到 SoC 自动生成等相关编程框架，形成了研究进展分析报告。（负责）
- 算法优化：基于启发式/深度学习算法，设计在满足（资源 + 场景）约束条件下的 SoC 架构生成算法和场景任务流图的调度分配算法。（部分负责）
- 阶段成果：指导一名硕士生设计完成了基于 Crossbar 的互连拓扑的启发式寻优框架，最终形成一篇硕士学位论文。（指导）

论文和专利成果

- Li Q, Lv W X, Han J. LIGHTNING: A Lightweight Power Modeling Framework Based on Bit-Level Proxy and Boosting Binary Tree for Complex Power Patterns on Heterogeneous Platform.(处理器微架构顶级会议 IEEE/ACM International Symposium on Microarchitecture（一作，在投，首轮审稿排名前 43%，Major revision）
- Li Q, Tao J, Han J. SPARK: An automatic score-power-area efficient RISC-V processor microarchitecture SeeKer[J]. Microelectronics Journal, 2023, 132: 105679.（MJ，第一作者）
- Zhang Y L, Li Q, Zhang H, et al. A 28 nm, 397 uW real-time dynamic gesture recognition chip based on RISC-V processor[J]. Microelectronics Journal, 2021, 116:105219.（MJ，第二作者）
- Zhang Y L, Rong Y T, Duan X Y, Yang Z, Li Q, Xiaoyang Zeng, and Jun Han. An Energy-Efficient BNN Accelerator With Two-Stage Value Prediction for Sparse-Edge Gesture Recognition[J]. IEEE Transactions on Circuits and Systems I: Regular Papers, 2023. (TCAS-I, 第五作者)

- Zhang Y L, Wang W Z, **Li Q**, et al. An Ultra-low-power High-precision Dynamic Gesture Recognition Coprocessor Based On RISC-V Architecture[C]// 2020 IEEE 15th International Conference on Solid-State Integrated Circuit Technology. 2020. (IEEE ICSICT, 第三作者)
- Wan L, Fu C, **Li Q**, Han J. LockillerTM: Enhancing Performance Lower Bounds in Best-Effort Hardware Transactional Memory. 2023 (IPDPS accepted, 第三作者)
- 韩军, 张永亮, 李强, 曾晓洋。一种面向人机交互领域的动态手势识别硬件加速器, 202110051273.9, 已授权;
- 韩军, 张永亮, 李强, 曾晓洋。一种面向智能终端领域的动态手势识别硬件加速器, 202210876248.9, 已授权;

专业技能

- 流片经验: 具有 2 次全流程的数字 ASIC 芯片流片经验, 熟悉芯片的各种低功耗技术: 熟练掌握逻辑综合和形式验证、后端版图设计、时序修复与 PR 网表后仿, 功耗分析、芯片封装和 PCB 焊接和测试流程。
- 系统架构: 熟悉计算机体系架构相关知识及常见硬件架构, 如 CPU、NPU 等。
- 优化方法: 熟悉 SoC 架构的多目标优化算法问题建模和优化框架设计方法
- 人工智能: 熟悉常用机器学习、深度学习、强化学习框架和方法。
- EDA 工具: 熟练掌握 DC&ICC、PT、VCS&Verdi、Vivado 等各类 EDA 工具的使用。
- 仿真平台: 熟悉硬件仿真器例如 Cadence Palladium Z1 工具的使用, 熟悉 EDA 集群 LSF 的使用方法。
- 编程语言: 熟悉 C/C++、Python, Verilog 等软硬件编程语言, 熟悉 tcl, bash, csh 等脚本语言。
- 英语水平: CET-4: 555, CET-6: 489。