

HwE-Themenüberblick

Clock- & Resetgenerierung

- z.B. POR, uC
- Oszillatoren
 - > NE555
 - > RC-Glied
 - > Quarz Oszillator -> PGO -> uC
 - > Colpitts
 - > PLL

EMV

- kap. Kopplung
- magn. Kopplung
- Impedanzkopplung
- Bauelemente
- Schirmung
- Layout

Timerbaustein NE555

Quellenhinweis: <http://www.elektronik-kompendium.de/sites/slt/0310131.htm> (21.10.2014, 17:43)

Eckdaten

- Seit 1972 am Markt
- Erhältlich als bipolar (NE555) und als CMOS (LMC555, TLC555) Ausführung
- Verwendung als „Zeitmaschine“ für Taktgeber, Zeitverzögerungen, etc

Innenschaltung des NE555

Der NE555 liefert keine fertigen Funktionen. Die werden erst mit einer äußeren Beschaltung hinzugefügt. Deshalb muss man zuerst die Innenschaltung eines NE555 verstehen, bevor man die Funktionsweise einer Schaltung mit dem NE555 verstehen kann.

Über eine äußere Beschaltung werden dem NE555 bestimmte Funktionen oder Eigenschaften beigebracht. Zum Beispiel wird über eine Kondensator-Widerstandskombination eine zeitliche Komponente hinzugefügt, über die zeitabhängige Eigenschaften erzeugt werden können.

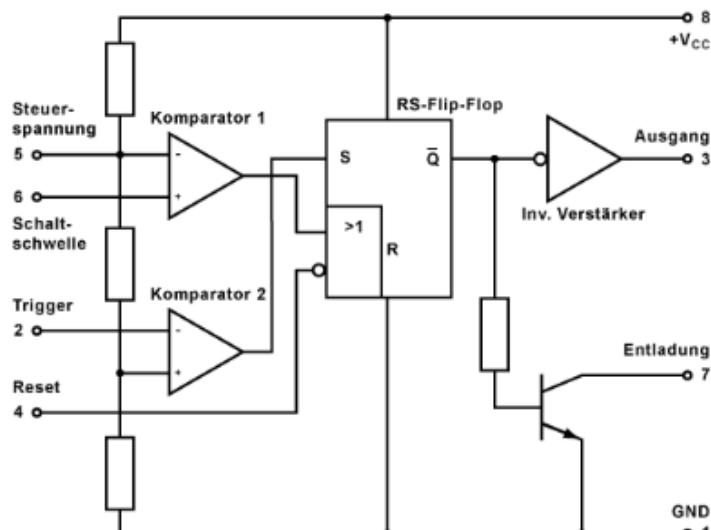


Abb 1: Innenschaltung des NE555

Die Innenschaltung ist hier als Blockschaltbild dargestellt. Eigentlich besteht der NE555 (Bipolar-Version) nur aus 23 Transistoren, 15 Widerständen und 2 Dioden. Er lässt sich also grundsätzlich auch diskret aufbauen.

Das Kernstück des NE555 ist ein RS-Flip-Flop. Dessen (Setz-) Eingang wird durch den Komparator 2 gesteuert. Der Rücksetzeingang wird durch den Komparator 1 oder den Reset-Anschluss gesteuert (logische ODER-Funktion). Über den Reset-Eingang wird das RS-Flip-Flop immer zurückgesetzt.

Unabhängig davon, wie die anderen Eingänge beschaltet sind. Damit das Zurücksetzen auslöst, reicht eine Spannung unterhalb 0,7V aus.

Die Komparatoren vergleichen jeweils zwei Spannungen, die an ihren Eingängen anliegen. Jeweils ein Eingang hat ein voreingestelltes Spannungsverhältnis. Dieses Spannungsverhältnis wird durch den dreiteiligen Spannungsteiler (3 Widerstände) hergestellt. Die drei Widerstände haben jeweils den gleichen Wert. An ihnen teilt sich die Betriebsspannung +V_{CC} in drei gleich große Spannungen auf. Diese Referenzspannungen werden für je einen Eingang der Komparatoren abgegriffen. Einmal 1/3 der Betriebsspannung für den Komparator 2 (2) und 2/3 der Betriebsspannung für den Komparator 1

(6).

Wird am Trigger-Anschluss (2) eine Spannung angeschlossen, die kleiner ist als 1/3 der Betriebsspannung, dann geht der Ausgang des Komparators 2 auf "1". Das RS-Flip-Flop wird gesetzt. Der Ausgang des NE555 (3) geht auf "1".

Wird am Schwelleneingang (6) eine Spannung angeschlossen, die größer ist, als 2/3 der Betriebsspannung, dann geht der Ausgang des Komparators 1 auf "1". Das RS-Flip-Flop wird zurückgesetzt. Der Ausgang des NE555 geht auf "0".

Bevor der Ausgang des Flip-Flops herausgeführt wird, erzeugt ein invertierender Verstärker (Operationsverstärker) ein brauchbares Signal. Alternativ steht ein Open-Kollektor-Ausgang (7) zur Verfügung.

Timer NE555 als astabile Kippstufe / astabiler Multivibrator

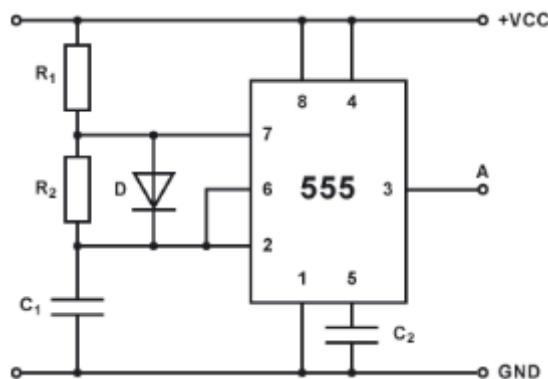


Abb 2: NE555 als astabile Kippstufe

Funktionsweise der Schaltung

Im Unterricht Präsentation der Kurzfassung und erarbeiten des Timingdiagramms von Pin 2.

.....

Im Einschaltmoment ist der Kondensator C_1 entladen. Dadurch liegt der Trigger-Eingang des NE555 (Pin 2) auf GND. Der erste Taktimpuls wird gestartet. Der Kondensator C_1 beginnt sich über die Widerstände R_1 und R_2 aufzuladen. Sobald am Kondensator C_1 2/3 von $+V_{CC}$ anliegt, wird das interne RS-Flip-Flop zurückgesetzt. Die Schaltschwelle des internen Komparators am Rücksetzeingang des internen Flip-Flops ist durch den dreiteiligen Spannungsteiler so festgelegt, dass der Komparator nach $0,69 \tau$ (tau) umschaltet. Der Taktimpuls am Ausgang (Pin 3) fällt ab. Der Discharge-Ausgang (Pin 7) wechselt auf GND. Der Kondensator C_1 entlädt sich über den Widerstand R_2 und den Discharge-Ausgang (Pin 7). Wenn am Kondensator C_1 eine Spannung von 1/3 $+V_{CC}$ anliegt, dann beginnt der Taktzyklus von vorne.

Da der Widerstand R_2 sowohl auf die Impulsdauer und die Impulspause und der Widerstand R_1 nur auf die Impulsdauer Einfluss hat, ist es nicht möglich ein Impuls-Pausenverhältnis von 1:1 bzw. 50%:50% einzustellen. Mit einer zusätzlichen Halbleiterdiode D parallel zum Widerstand R_2 lässt sich dieses Tastverhältnis einstellen, wenn $R_1 = R_2$ ist.

Die Diode sorgt dafür, dass im Ladezustand des Kondensators C_1 der Strom über die Diode fließt. Sie überbrückt den Widerstand R_2 . Beim Entladen des Kondensators C_1 ist die Diode in Sperrrichtung geschaltet. Über sie kann kein Strom fließen. Der Entladestrom muss über den Widerstand R_2 zum Discharge-Ausgang (Pin 7) abfließen.

Aufgaben:

- 1) Erkläre den Innenaufbau des Timerbausteins.
- 2) Wie funktioniert ein R/S Flip Flop?
- 3) Erkläre die Funktionsweise des Timerbausteins als astabile Kippstufe.
- 4) Zeichne das Timingdiagramm für die Pins 2/3 sowie für S, R, QN des internen Flip-Flops.
- 5) Leite die Formel zur Berechnung der Taktfrequenz über die Exponentialfunktion her.
- 6) Berechne einen Multivibrator der auf 100Hz / 1kHz / 10kHz schwingt.
- 7) Simuliere eine der entworfenen Schaltungen mit PSPICE und vergleiche die Frequenz.

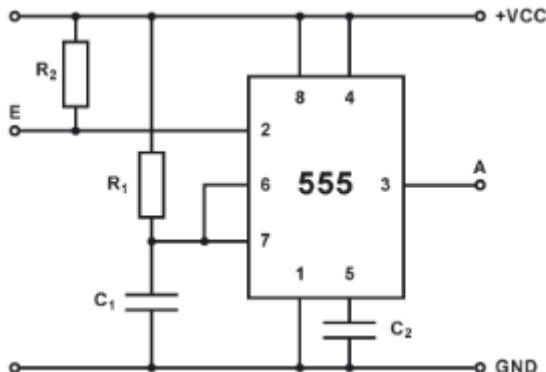
NE555 als monostabile Kippstufe / Monoflop

Abb 3: NE555 als monostabile Kippstufe

Funktionsweise der Schaltung

Im Ruhezustand (gedanklich nach einem Reset) der Schaltung (Trigger (Pin 2) > 2/3 von +VCC) ist der Kondensator C1 entladen. Der Discharge-Ausgang (Pin 7) schaltet ihn auf 0 V (GND). Man könnte auch sagen, "schließt ihn kurz". Erfolgt ein Impuls von 0 V am Steuereingang (Pin 2), dann wird das interne RS-Flip-Flop gesetzt. Der Discharge-Ausgang (Pin 7) wechselt in einen offenen Zustand (Open Collector). Die Spannung an Pin 7 (Kollektor) hat - im offenen Zustand des Transistors - immer gerade die Spannung die an C1 anliegt. Man kann auch sagen, dass in diesem Moment parallel zu C1 ein unendlich hoher Widerstand liegt. Über den Widerstand R1 wird der Kondensator C1 aufgeladen, bis er 2/3 von +VCC erreicht hat. Dann kippt die Schaltung in den Ursprungszustand zurück.

Im weiteren Betrieb wird der Discharge-Ausgang (Pin 7), wegen des nicht vorhandenen Kollektowiderstands (siehe Innenschaltung NE555), extrem hochohmig. Über den Widerstand R1 wird der Kondensator C1 aufgeladen, bis er 2/3 von +VCC erreicht hat. Dann schaltet der Discharge-Ausgang (Pin 7) wieder auf 0 V (GND). Der Kondensator C1 wird aufgrund eines fehlenden strombegrenzenden Widerstandes kurzgeschlossen und entlädt sich daher schlagartig. Es gibt also keine typische exponentielle Entladekurve. Sie ist sehr steil und in bestimmten Bereichen linear. Vereinfacht gesagt, die Schaltung kippt in den Ursprungszustand zurück.

Aufgaben:

- 1) Erkläre die Funktionsweise des Timerbausteins als Monoflop.
- 2) Zeichne das Timingdiagramm für die Pins 2/3 sowie für S, R, QN des internen Flip-Flops.
- 3) Leite die Formel zur Berechnung der Impulsdauer her.
- 4) Berechne eine Impulsdauer von 500ms / 3s / 3min.
- 5) Simuliere eine der entworfenen Schaltungen mit PSPICE und vergleiche die Impulsdauer.

NE555

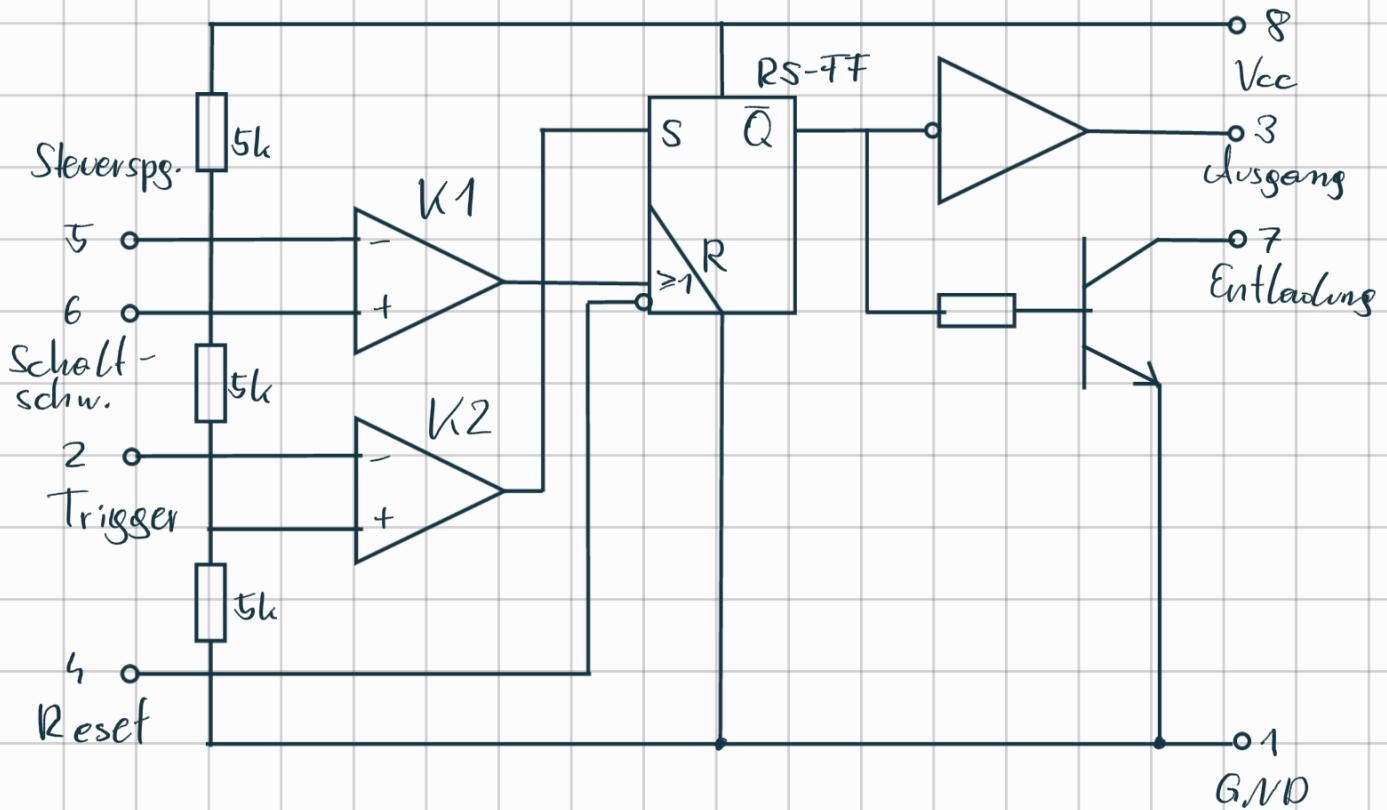
→ elektronik-kompendium

Eckdaten:

- 1972 am Markt
- Ausführung bipolar (npn/pnp) aus CMOS
- Verwendung als Taktgeber, Zeitverzögerungen etc.

Innenschaltung des NE555

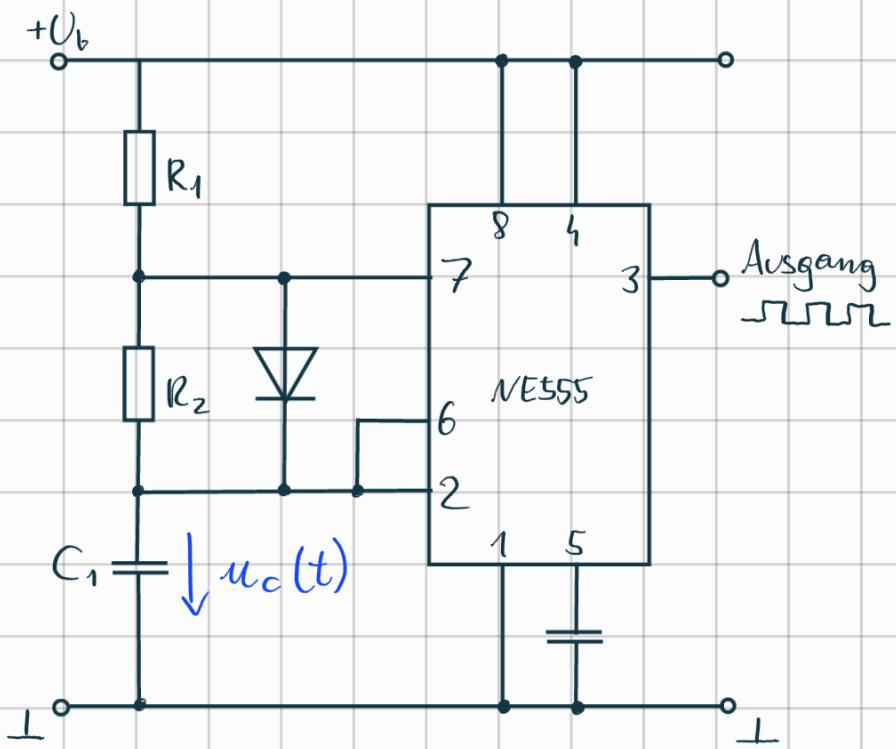
Er verfügt über keine eigenen Funktionen, diese werden erst mit der äußeren Beschaltung hinzugefügt.



Kernstück: RS-FF

S-Eingang wird durch Komp. 2 gesteuert
 RES-Eingang durch K1 od. RES-Anschluss
 durch RES-Eingang wird das FF immer
 zurückgesetzt (Dominant) sobald $< 0,7 \text{ V}$

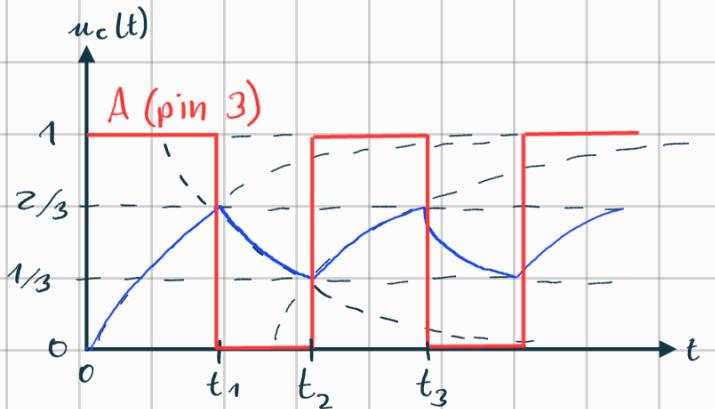
NE555 als astabile Kippstufe



Funktion des NE555 als ast. K/S

$t=0:$

- C entladen
- $u_c(t) = 0$
- $U_{D2}(k_2)$ pos.
- $S = 1$
- $Q = 1 / \bar{Q} = 0$
- $A = 1$
- Trans. sperrt
- C_1 wird über R_1 & R_2 geladen
- $u_c(t) \uparrow$



$t = t_1$:

- $U_C \geq \frac{2}{3} U_b$
- $U_D(K_1)$ pos.
- $R = 1$
- $Q = 0 / \bar{Q} = 1$
- $A = 0$
- Trans. leitet ($P_{in} \neq \text{Ground}$)
- C_1 wird entladen
- $u_C(t) \downarrow$

$t = t_2$:

- $U_C \leq \frac{1}{3} U_b$
- $U_D(K_2)$ pos.
- $S = 1$
- $Q = 1 / \bar{Q} = 0$
- $A = 1$
- Trans. sperrt

Laden von C : $u_C(t) = U_b(1 - e^{-t/\tau})$

Entladen von C : $u_C(t) = U_b \cdot e^{-t/\tau}$

Laadevorgang:

$$u(t_3) = U_b \left(1 - e^{-t_3/\tau}\right) = \frac{2}{3} U_b$$

$$\frac{2}{3} = 1 - e^{-t_3/\tau}$$

$$\frac{1}{3} = e^{-t_3/\tau}$$

$$\ln\left(\frac{1}{3}\right) = -\frac{t_3}{\tau}$$

$$\ln(1) - \ln(3) = -\frac{t_3}{\tau}$$

$$+ \ln(3) = +\frac{t_3}{\tau}$$

$$t_3 = \tau \cdot \ln(3)$$

$$u(t_2) = \frac{1}{3} U_b = U_b (1 - e^{-t_2/\tau})$$

$+ \frac{2}{3} = + e^{-t_2/\tau}$

$$\ln(2) - \ln(3) = -\frac{t_2}{\tau}$$

$$t_2 = \tau (\ln(3) - \ln(2))$$

$$t_\alpha = t_3 - t_2 = \tau \cdot \ln(3) - \tau (\ln(3) - \ln(2))$$

$$t_\alpha = \cancel{\tau \cdot \ln(3)} + \tau \cdot \ln(2) - \cancel{\tau \cdot \ln(3)}$$

$t_\alpha = \tau \cdot \ln(2)$

Entladevorgang:

$$u(t_2) = \frac{1}{3} U_b = U_b \cdot e^{-t_2/\tau}$$

$$\cancel{\ln(1) + \ln(3)} = + \frac{t_2}{\tau}$$

$$t_2 = \tau \cdot \ln(3)$$

$$u(t_1) = \frac{2}{3} U_b = U_b \cdot e^{-\frac{t_1}{\tau}}$$

$$-\cancel{\ln(2) + \ln(3)} = + \frac{t_1}{\tau}$$

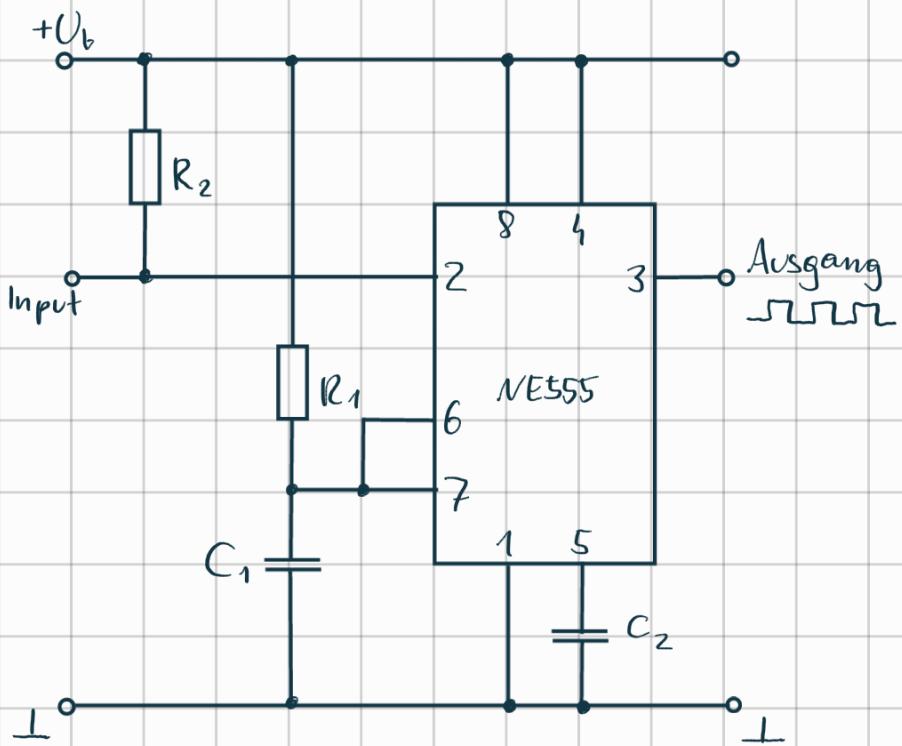
$$t_1 = \tau (\ln(3) - \ln(2))$$

$$t_b = t_2 - t_1 = \cancel{\tau \cdot \ln(3)} - \cancel{\tau \cdot \ln(3)} + \tau \cdot \ln(2)$$

$t_b = \tau \cdot \ln(2)$

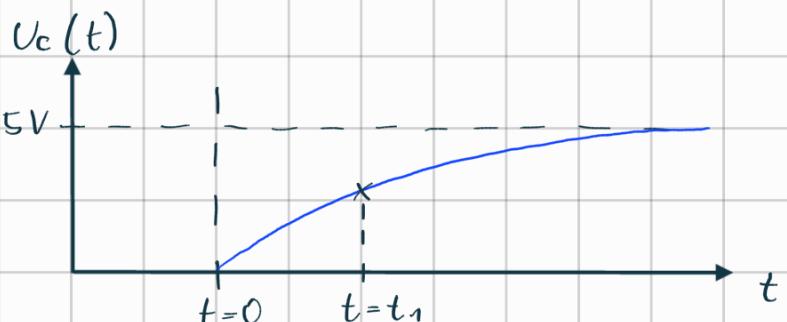
$T = t_\alpha + t_b$

NE555 als monostabile Kippstufe (mono - flop)



R_1 eher groß $\sim k\Omega$
 C_1 eher klein $\sim \mu F$
 (Ruhestrom)

Funktionsweise (siehe NE555 Skriptum)



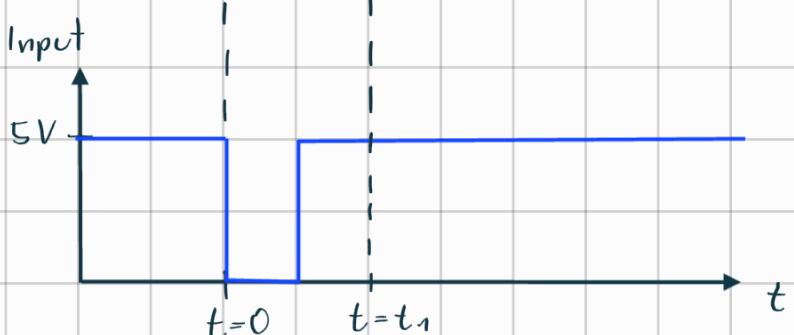
$$U_C(t) = \frac{2}{3} U_b \quad U_b = U_b (1 - e^{-t_1/\tau})$$

$$\frac{1}{3} = e^{-t_1/\tau}$$

$$\ln(1) + \ln(3) = \frac{t_1}{\tau} \cdot \ln(e)$$

$$t_1 = \tau \cdot \ln(3)$$

$$t_1 = R_1 \cdot C_1 \cdot \ln(3)$$



Clock und Reset Generierung

Takterzeugung - Oszillatoren

Im digitalen Zeitalter kommt den Oszillatoren und Frequenzsynthesizern eine zentrale Rolle in der Schaltungstechnik zu.

Ohne Taktsignal läuft kein Prozessor, ohne Bittakt erfolgt kaum eine Datenübertragung. Analoge Signale werden heutzutage so rasch wie möglich digitalisiert, um sie dann in einem Prozessor weiterverarbeiten zu können. Die Genauigkeit und die Stabilität der erzeugten Frequenzen sind entscheidend für die Abtastung und Weiterverarbeitung der Signale. Mit der zunehmenden Bandbreite in der mobilen Datenübertragung werden auch die aufzubereitenden Frequenzen laufend höher.

Ein Verständnis für die Funktion und den Entwurf von Oszillatoren zu entwickeln gehört zu den schwierigeren Herausforderungen in der Elektronik. Neben Kenntnissen der Schaltungstechnik sind zusätzlich Grundlagen aus der Regelungstechnik und der elektromagnetischen Verträglichkeit (EMV) vorausgesetzt.

Daher ist es auch angebracht, hier in der allgemeinen Betrachtung den folgenden Wunsch auszusprechen:

“May your oscillators always oscillate, and your amplifiers always amplify.”

Grundlagen

Ein Oszillator ist eine elektrische Schaltung, welche eine ungedämpfte, elektrische Schwingung mit konstanter Frequenz und Amplitude erzeugt.

Klassifizierung von Oszillatoren

Nach der Art der Schwingungserzeugung:

- Rückkopplungsozillatoren
- Relaxationsoszillatoren (Gesteuerte Ladung und Entladung eines Kondensators)
- NIC Oszillatoren (Entdämpfung eines Resonanzkreises mit einer negativen Impedanz)
- Digitale Erzeugung der Kurvenform

Der Form des Ausgangssignals nach:

- Sinusgenerator
- Rechteckgenerator
- Sägezahn, Dreieckgenerator, ...

Nach der Art der frequenzbestimmenden Bauteile

- RC Oszillator
- LC Oszillator
- Quarz-, Keramik-Oszillator
- Delay Line Oszillator

Nach den aktiven Bauelementen

- Operationsverstärker

- Komparatoren
- Digitale Logikgatter
- Transistoren, Dioden mit negativem Widerstand

Eine weitere mögliche Klassifizierung ist die Unterscheidung von

- Oszillatoren mit konstanter Frequenz (Frequenz-, Zeitnormale)
- Gesteuerte Oszillatoren (Modulatoren, VCO)

Einflußfaktoren auf den Entwurf der Oszillatoren

- Temperaturabhängigkeit
- Speisespannungsabhängigkeit
- Alterungsabhängigkeit

Wichtige Kennwerte

- Frequenzkonstanz
- Amplitudenkonstanz
- Spektrale Reinheit (Klirrfaktor, THD)

Klirrfaktor

Für Sinusoszillatoren ist die spektrale Reinheit des Ausgangssignals von entscheidender Bedeutung. Der hierbei verwendete Kennwert ist der Klirrfaktor. Er beschreibt das Verhältnis der Oberwellen zur Grundwelle plus Oberwellen als Effektivwert.

$$k_{ges} = \frac{\sqrt{u_2^2 + u_3^2 + u_4^2 + \dots}}{\sqrt{u_1^2 + u_2^2 + u_3^2 + u_4^2 + \dots}}$$

Der Wert von k_{ges} ist immer eine dimensionslose Größe < 1 . Sie wird in Prozent oder Promille angegeben.

Im Englischsprachigen wird der Begriff der „total harmonic distortion verwendet“ (THD) und verkörpert die nachfolgende Näherung, welche für Klirrfaktoren $< 3\%$ anwendbar ist.

$$k_{ges} = THD = \frac{\sqrt{u_2^2 + u_3^2 + u_4^2 + \dots}}{\sqrt{u_1^2}} = \sqrt{\frac{u_2^2 + u_3^2 + u_4^2 + \dots}{u_1^2}}$$

|

Die Ermittlung des Klirrfaktors erfolgt in der Praxis durch eine Spektralanalyse, bzw ein Klirrfaktormeßgerät.

Bei einer Simulation mit SPICE (dh LTSpice) kann der Klirrfaktor direkt über eine .FOUR-Anweisung bestimmt werden. Bei LTSpice ist dazu eine Transientenanalyse mit eingeschalteter Fourier-Analyse durchzuführen.

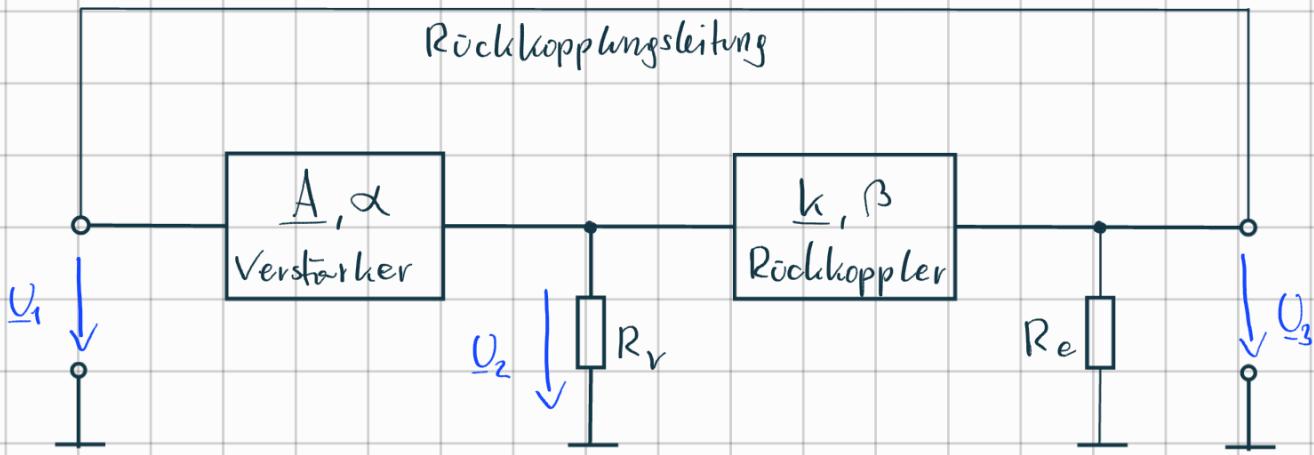
Hinweise zur Ermittlung des Klirrfaktors mit LTSpice können den nachfolgenden Links entnommen werden.

Quellenhinweise:

- (1) LT Spice tutorial: <http://eecs.oregonstate.edu/education/docs/ece323/Appendix.pdf>
- (2) <http://www.audio-perfection.com/spice-ltspice/distortion-measurements-with-ltspice.html>

Kriterien für die Schwingfähigkeit

Im allgemeinen ist astabiles Verhalten bei Schaltungen nicht erwünscht. Zur Takterzeugung wird astabiles Verhalten jedoch bewusst eingesetzt. Systematisch lässt sich die Struktur eines Oszillators auf ein mitgekoppeltes Verstärker-Netzwerk zurückführen, welches ein frequenzselektives Feedbacknetzwerk aufweist.



Verstärker

- $U_2 = A \cdot U_1$
- par. Phasenverschiebung α von U_1 nach U_2
- Verbraucherwiderst. R_v

Rückkopplung

- Rückkopplernetzwerk k (z.B. Schwingkreis)
- $U_3 = k \cdot U_2$
- Phasenverschiebung β von U_2 nach U_3

$$U_1 = U_3 = k \cdot U_2 = k \cdot A \cdot U_1$$

wenn gilt $k \cdot A = 1$, dann gilt $U_1 = U_3$
 $g = k \cdot A$ Schleifenverst.

daraus folgt:

$$|\varrho| = |k| \cdot |A| = 1 \dots \text{Amplitude}$$
$$\alpha + \beta = 0, 2\pi, 4\pi, \dots \text{Phase}$$

Aussage aus dem BHK:

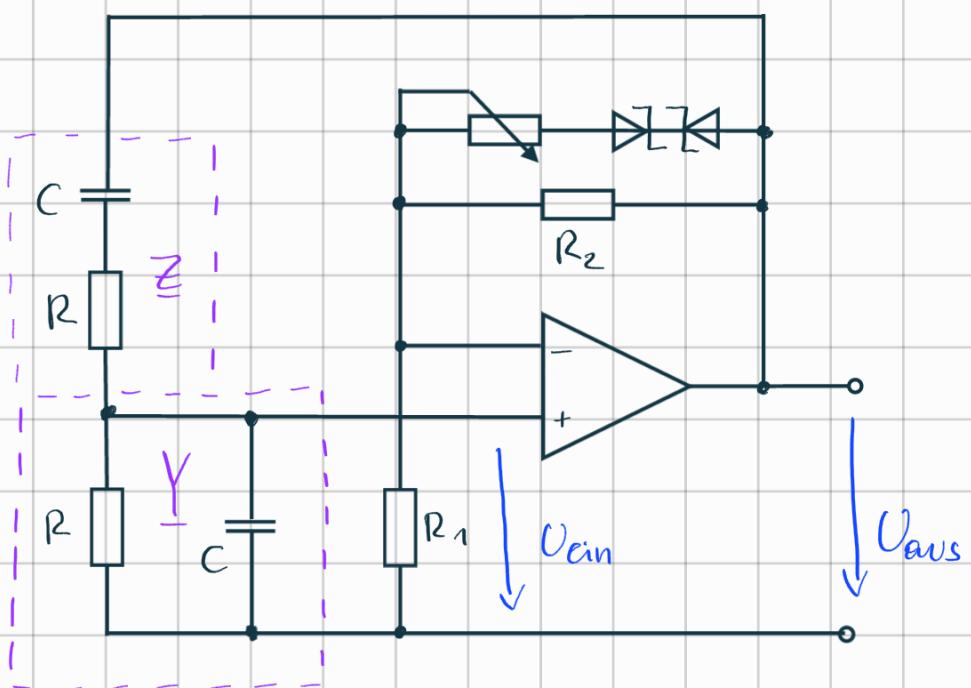
- 1) Die vom Rückkoppelnetzwerk hervorgerufene Dämpfung muss vom Verstärker kompensiert werden.
- 2) Die eingekoppelte Spg. U1 und die rückgekoppelte U3 sind in Phase.
- 3) Ist $|\varrho| = |k| \cdot |A| < 1$
- 4) Ist $|\varrho| = |k| \cdot |A| > 1$ wächst die Amplitude, bis sie von nicht linearen Bauteilen begrenzt wird.
- 5) Das Rückkoppelnetzwerk ist frequenzselektiv.
- 6) Die Anregung erfolgt aus dem Rauschen oder aus einer Störung heraus.

RC-Oszillatoren mit OPV

In den beiden nachfolgenden Beispielen wird die Klasse der rückgekoppelten Sinus-Oszillatoren betrachtet.

Wien Brücke Oszillator

Einer der bekanntesten Oszillatoren ist der Wien Brücke Oszillator (Wien Robinson) der sich durch einen einfachen Aufbau und eine über einen sehr weiten Frequenzbereich sehr gute Durchstimmbarkeit auszeichnet. Entsprechend der nachfolgenden Abbildung besteht die Wien Brücke aus einem nicht inv. Verstärker und einem Rückkoppelnetzwerk, welches eine Phasendrehung von 0 aufweist.



Grundergeln:

$$g = k \cdot A \quad Y = \frac{1}{R} + j\omega C$$

$$A = 1 + \frac{R_2}{R_1} \quad Z = R + \frac{1}{j\omega C}$$

$$k = \frac{U_e}{U_a} = \frac{\frac{1}{Y}}{Z + \frac{1}{Y}} = \frac{1}{Y} \cdot \frac{1}{\frac{1+ZY}{Y}} = \frac{1}{1 + (\frac{1}{R} + j\omega C)(R + \frac{1}{j\omega C})}$$

$$= \frac{1}{1 + (1 + \frac{1}{j\omega CR} + j\omega CR + 1)} = \frac{1}{3 + j(\omega \tau - \frac{1}{\omega \tau})}$$

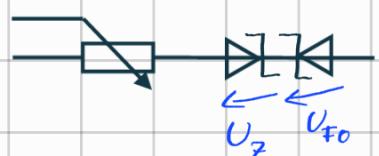
$$k \cdot A = 1$$

$$A = \frac{1}{k} = 3 + j(\omega \tau - \frac{1}{\omega \tau})$$

$\nabla \operatorname{Im}(A) = 0$

$$\begin{aligned} \omega \tilde{\tau} &= \frac{1}{\omega \tilde{\tau}} & A &= 3 \\ \omega^2 \tilde{\tau}^2 &= \frac{1}{1} & \rightarrow R_2 &= 2 R_1 \\ \omega_0 &= \frac{1}{R C} \end{aligned}$$

$\hat{U}_a < U_{FO} + U_Z$ Zener-Diode sperrt
 $R_{zweig} = \infty$



$$r = 1 + \frac{R_2}{R_1} \quad r = 3,1$$

$$\hat{U}_a > U_{FO} + U_z \quad \text{Zener-Diode leitet}$$

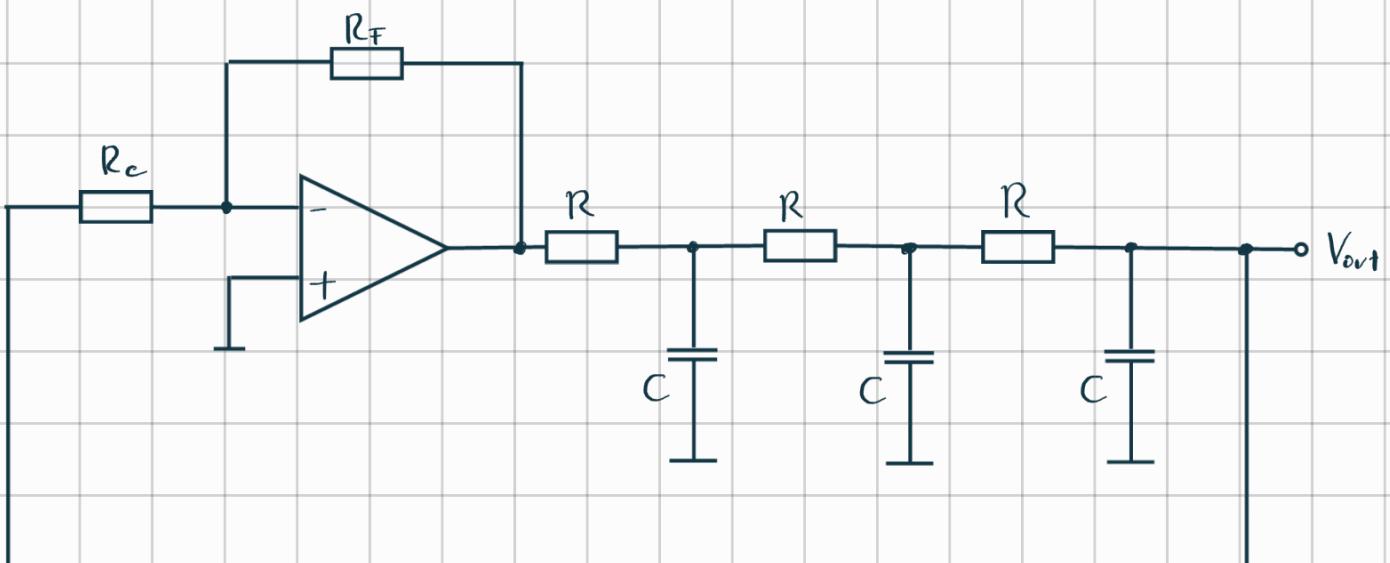
$$v = 1 + \frac{R_2 \parallel R_3}{R_1} \quad v = 3$$

Eigenschaften

- einige Hz bis MHz Bereich
- sehr niedriger Klirrfaktor
- breit durchstimmbar

Phasenschreiber Oszillator

- einfacher Aufbau
- Rückkopplung über RC-TP 3. oder 4. O.
- bei f_o : $\beta = 180^\circ$ Phasendrehung
- inv. Verstärker $\alpha = 180^\circ$ zu Komparatoren von k



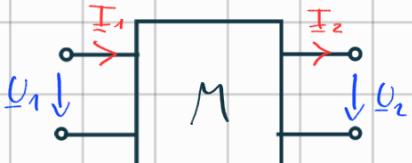
Mit einer "kurzen" Nebenrechnung erhält man die Bedingung für die Schwingfrequenz. Hieraus ergibt sich für die Erfüllung der Phasendrehung bei einer bestimmten Frequenz die folgende Bedingung:

$$\omega_0 = \frac{\sqrt{6}}{RC}$$

Zur Erfüllung der Amplitudenbedingung muss die eingestellte Verstärkung am OPV $|v| = 29$ betragen.

Der Phasenschieber Oszillator mit Entkopplung der TP-Glieder mittels Impedanzwandlern liefert eine Alternative mit etwas höherem Aufwand. Bei der Dimensionierung muss der Entkopplung der einzelnen RC-Tiefpässe Rechnung getragen werden.

Herleitung des gekoppelten PSO mit der Kettenmatrix



$$\begin{pmatrix} U_1 \\ I_1 \end{pmatrix} = \begin{pmatrix} A_{11} & A_{12} \\ A_{21} & A_{22} \end{pmatrix} \begin{pmatrix} U_2 \\ I_2 \end{pmatrix}$$

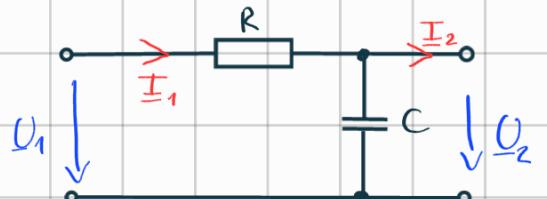
$$A_{11} = \frac{U_1}{U_2} \Big|_{I_2=0}$$

$$A_{12} = \frac{U_1}{I_2} \Big|_{U_2=0}$$

$$A_{21} = \frac{I_1}{U_2} \Big|_{I_2=0}$$

$$A_{22} = \frac{I_1}{I_2} \Big|_{U_2=0}$$

Angewendet an Tiefpass:



• für $I_2 = 0$ (Leerlauf) folgt:

$$\frac{U_2}{U_1} = \frac{1}{1 + j\omega RC} \quad I_1 = \frac{U_1}{R + \frac{1}{j\omega C}} \rightarrow I_1 = \frac{U_2}{\frac{1}{j\omega C}} \quad A_{11} = \frac{U_1}{U_2} = 1 + j\omega RC$$

• für $U_2 = 0$ (Kurzschluss) folgt:

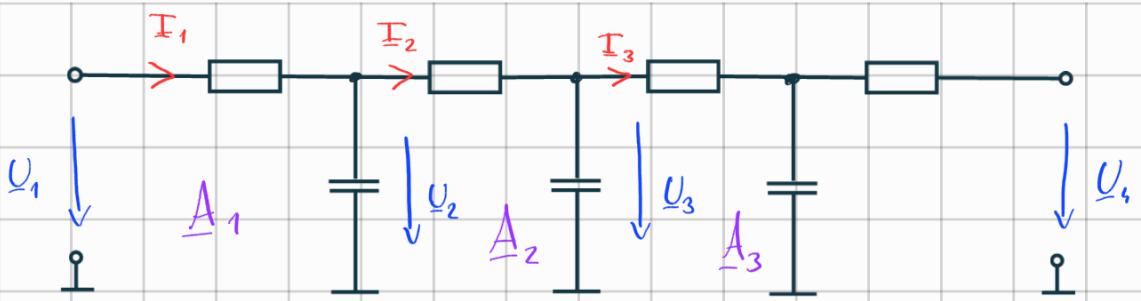
$$I_1 = I_2 \quad U_1 = R \cdot I_1 = R \cdot I_2$$

$$A_{12} = \frac{U_1}{I_2} = R$$

• für $I_2 = 0$:

$$\frac{I_1}{U_2} = A_{21} = j\omega C$$

$$\cdot A_{22} = \frac{I_1}{I_2} = 1$$



$$A_g = (A_1 \cdot A_2) \cdot A_3 = \tilde{A}_{12} \cdot A_3$$

$$\tilde{A}_{12} = \begin{pmatrix} 1+j\omega RC & R \\ j\omega C & 1 \end{pmatrix} \begin{pmatrix} 1+j\omega RC & R \\ j\omega C & 1 \end{pmatrix} = \begin{pmatrix} (1+j\omega RC)(1+j\omega RC) + j\omega RC & (1+j\omega RC)R + R \\ (1+j\omega RC)j\omega C + j\omega C & 1+j\omega RC \end{pmatrix}$$

$$A_g = \tilde{A}_{12} \cdot A_3 = \dots \begin{pmatrix} A_{g11} & A_{g12} \\ A_{g21} & A_{g22} \end{pmatrix}$$

$s = \sigma + j\omega$ mit $\sigma = 0$
(kein Einschwingen)

$$k = \frac{1}{A_{g11}} = \frac{1}{s^3 R^3 C^3 + 5s^2 R^2 C^2 + 6sRC + 1}$$

$$= \frac{1}{1 - 5\omega^2 R^2 C^2 + j\omega(6RC - R^3 C^3 \omega^2)}$$

$$\operatorname{Im}\{\underline{k}\} = 0$$

$$\text{Resonanz } \omega = \omega_a$$

~~$$6RC = R^3 C^3 \omega_a^2$$~~

$$\omega_a^2 = \frac{6}{R^2 C^2} \rightarrow$$

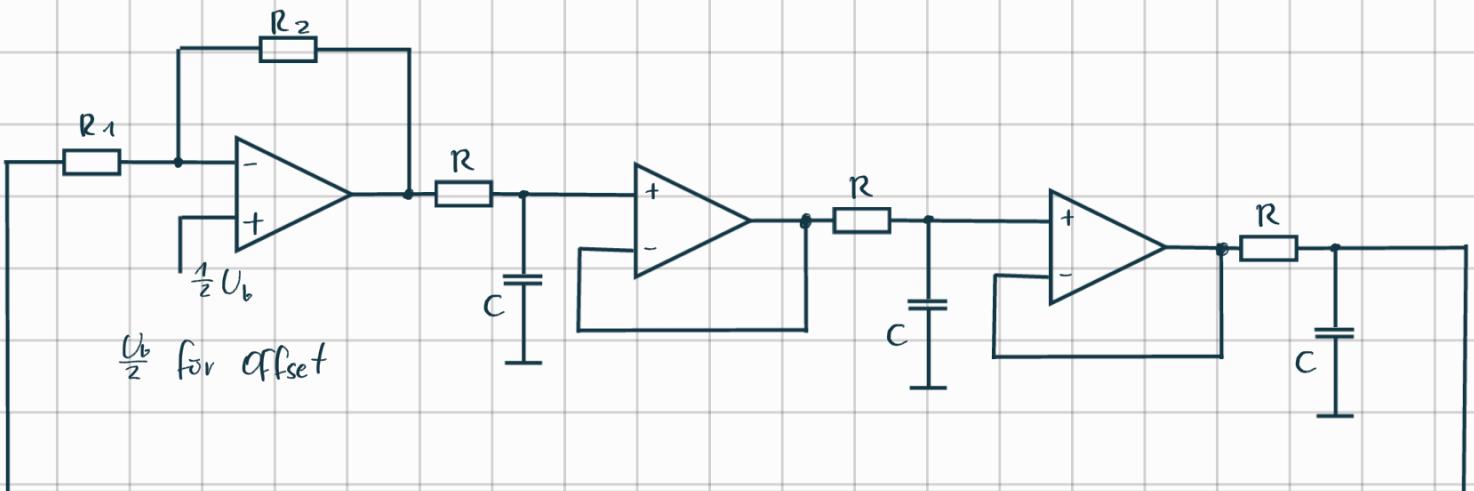
$$\boxed{\omega_a = \frac{\sqrt{6}}{RC}}$$

$$|\underline{k}| = \frac{1}{29}$$

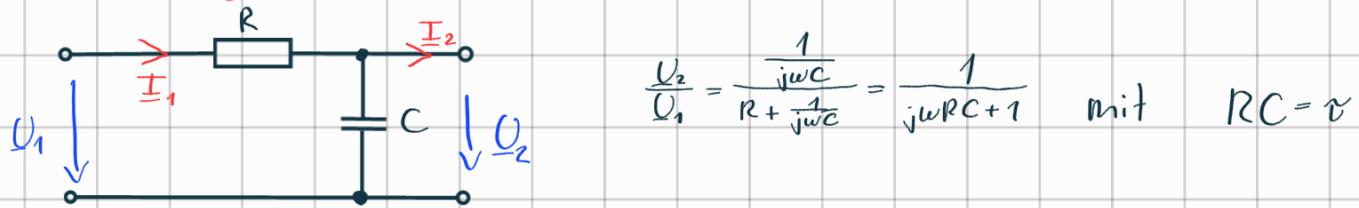
$$|\underline{k}| \cdot |\underline{v}| = 1$$

$$|\underline{V}| = \frac{1}{|\underline{k}|} = 29$$

Phasenschieber Oszillator m. Impedanzwandler



Hier Leitung entkoppelter PSO



gesamte Phasenverschiebung $\beta = 180^\circ$ $\beta = 3 \cdot \varphi$ $\omega_0 \dots$ Res. Frequenz

$$\rightarrow \varphi = 60^\circ \quad \varphi = \arctan\left(\frac{Im}{Re}\right) = \arctan(\omega RC)$$

$$\omega RC = \tan \varphi = \tan(60^\circ) = 1,73 = \sqrt{3}$$

$$\omega_0 RC = \sqrt{3}$$

$$\omega_0 = \frac{\sqrt{3}}{RC}$$

$$\left| \frac{U_2}{U_1} \right| = \frac{1}{\sqrt{1+\omega^2 R^2 C^2}} = \frac{1}{\sqrt{1+\frac{3R^2 C^2}{R^2 C^2}}} = \frac{1}{\sqrt{1+3}} = \frac{1}{\sqrt{4}} = \frac{1}{2}$$

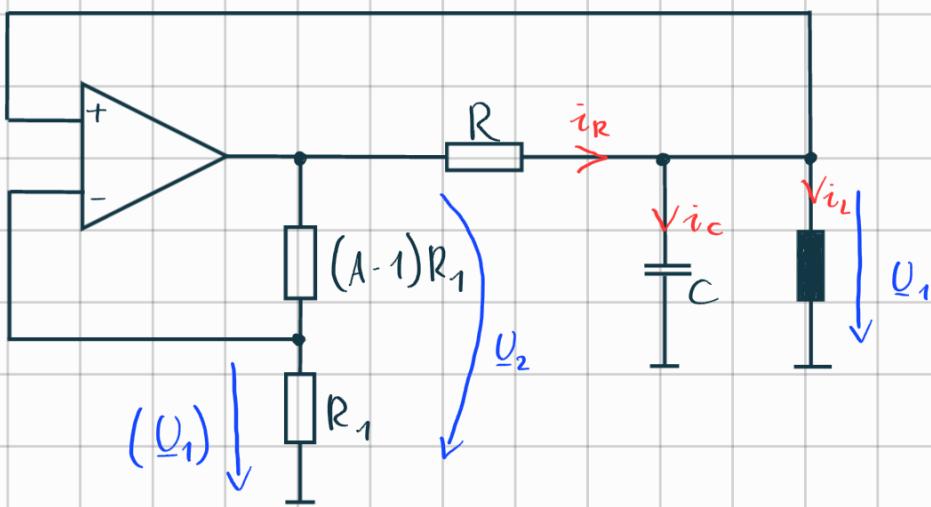
\uparrow
 $\omega^2 = \omega_0^2$

$$\rightarrow V_{\text{ges}} = 2 \cdot 2 \cdot 2 = 8 \dots \text{Verstärkung um die Dämpfung zu kompensieren}$$

LC-Oszillatoren

- Sinuserzeugung durch Entdämpfung eines Schwingkreises
- Geeignet: Reihen- & Parallelschwingkreise
- Phasengang beim H-SK ist steiler als bei RC-Gliedern
→ SK mit höherer Frequenzstabilität
- LC-Oszillatoren für die Erzeugung höherer Frequenzen
- Anm.: prinzipiell auch niedrigere Frequenz möglich,
jedoch werden die Ind. groß

Herleitung der Oszillatorfrequenz



$$u_1(t) = u_c(t)$$

$$\frac{U_2}{U_1} = \frac{(A-1)R_1 + R_1}{R_1} = A \rightarrow U_2 = A \cdot U_1$$

$$\textcircled{1} \quad i_R - i_C - i_L = 0$$

$$i_R = \frac{u_2 - u_1}{R} ; \quad i_C = C \cdot \frac{du}{dt} = C \cdot \frac{du_1}{dt} \quad \text{mit} \quad u_C = u_1$$

$$u_L = L \cdot \frac{di_L}{dt} ; \quad i_L = \frac{1}{L} \int u_2 dt$$

aus ①:

$$\frac{u_2 - u_1}{R} - C \cdot \dot{u}_1 - \frac{1}{L} \int u_1 dt = 0$$

$$\frac{A \cdot u_1 - u_1}{R} - C \cdot \dot{u}_1 - \frac{1}{L} \cdot u_1 = 0$$

$$\ddot{u}_1 + \frac{1}{LC} (1-A) \dot{u}_1 + \frac{1}{LC} \cdot u_1 = 0$$

$$\ddot{u}_1 + \frac{2}{2} \cdot \frac{\dot{u}_1}{RC} (1-A) + \frac{1}{LC} \cdot u_1 = 0$$

$$\gamma = \frac{(1-A)}{2RC}$$

$$\omega_0^2 = \frac{1}{LC}$$

$$\ddot{u}_1 + 2\gamma \dot{u}_1 + \omega_0^2 u_1 = 0 \quad \text{lin. hom. DGL 2.0.}$$

Ansatz: $u_1(t) = c \cdot e^{\lambda t}$

$$\dot{u}_1 = \lambda \cdot c \cdot e^{\lambda t}$$

$$\ddot{u}_1 = \lambda^2 \cdot c \cdot e^{\lambda t}$$

$$(\lambda^2 + 2\gamma\lambda + \omega_0^2) e^{\lambda t} \cdot c = 0$$

$\underbrace{\phantom{e^{\lambda t}}}_{=0}$

$$\lambda^2 + 2\gamma\lambda + \omega_0^2 = 0$$

Lösung der DGL siehe Übungen:

$$u_1(t) = U_0 \cdot e^{-\gamma t} \cdot \sin(\sqrt{(\omega_0^2 - \gamma^2)} \cdot t)$$

γ ... Abklingkonstante

ω_0 ... Kreisfrequenz

Aus der Lösung der DGL lassen sich 3 Fälle unterscheiden:

1) $\gamma > 0, A < 1$

Die Amplitude der Ausgangswechselspannung nimmt exponentiell ab.
=> Gedämpfte Schwingung

$$2) \gamma = 0; A = 1$$

Es ergibt sich eine Sinusschwingung mit $\omega_0 = \frac{1}{\sqrt{LC}}$ und konstanter Amplitude.
 \Rightarrow Schwingfall

$$3) \gamma < 0; A > 1$$

Die Amplitude der Ausgangswechselspannung nimmt exponentiell zu.

$$(x^2 + 2\gamma x + \omega_0^2) e^{xt} \cdot c = 0$$

$$\gamma = 0; A = 1 \quad \text{siehe Fall (2)}$$

$$\lambda_{1/2} = -\frac{p}{2} \pm \sqrt{\frac{p^2}{4} - q}$$

$$\Rightarrow \text{mit } \gamma = 0$$

$$\lambda_{1/2} = \sqrt{-\omega_0^2} = \pm j\omega_0$$

$$\text{Euler: } e^{j\varphi} = \cos \varphi + j \cdot \sin \varphi$$

$$u_1(t) = C_1 \cdot e^{j\omega_0 t} = C_1 (\cos(\omega_0 t) + j \cdot \sin(\omega_0 t))$$

$$u_2(t) = C_2 \cdot e^{-j\omega_0 t} = C_2 (\cos(\omega_0 t) + j \cdot \sin(\omega_0 t))$$

$$u(t) = u_1 + u_2 = C_1 (\cos(\omega_0 t) + j \cdot \sin(\omega_0 t)) + C_2 (\cos(\omega_0 t) + j \cdot \sin(\omega_0 t))$$

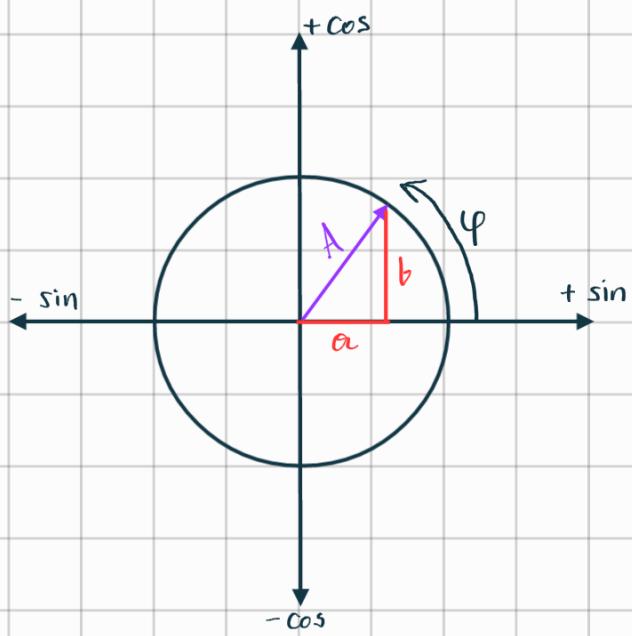
$$u(t) = \underbrace{(C_1 + C_2)}_{\tilde{C}_1} \cos(\omega_0 t) + j \underbrace{(C_1 - C_2)}_{\tilde{C}_2} \sin(\omega_0 t)$$

$$u(t) = \tilde{C}_1 \cdot \cos(\omega_0 t) + \tilde{C}_2 \cdot \sin(\omega_0 t)$$

\rightarrow ohne j , weil sowohl Real- & Imag.-teil sind eine Lsg.
 oder DGL 2.O., daher auch deren Summe

$$\text{Form: } u(t) = a \cdot \cos \alpha + b \cdot \sin \alpha = A \cdot \sin(\alpha + \varphi)$$

\rightarrow auf diese Form wollen wir die Glg. bringen



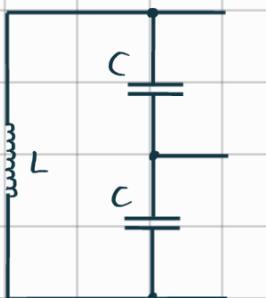
$$A = \sqrt{a^2 + b^2}$$

$$\varphi = \arctan\left(\frac{a}{b}\right)$$

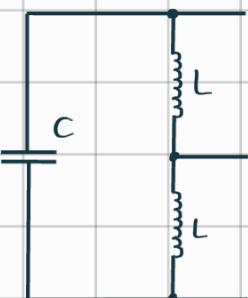
Funktioniert weil: $\cos(\alpha) = \sin(\alpha + 90^\circ)$

Colpitts Oszillator

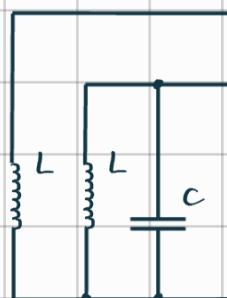
- Die praktische Schaltungstechnik kennt zahlreiche Grundschaltungen für LC-Oszillatoren.
- Neben Emitter-, Basis- und Kollektorschaltung als Grundstruktur sind die wichtigsten Rückkoppelarten nachfolgend aufgelistet:



kap. Teilung



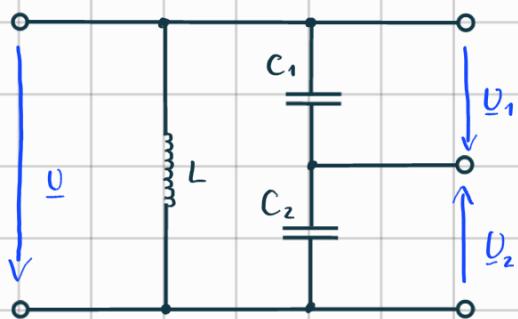
ind. Teilung



transformatorische
Rückkopplung

- Wichtigster Vertreter der LC-Oszillatoren ist der Colpitts-Oszillator. Sie hat den Vorteil, dass die Rückführung mit einer kap. Teilung erfolgt und nur eine einfache Induktivität benötigt wird.
- Aus Dualität von Induktivitäten und Kapazitäten kann eine gleichwertige Schaltung mit ind. oder kap. Spannungsteiler gebildet werden. Da Induktivitäten ohne Abgriff genauer und kostengünstiger hergestellt werden können, wird der Colpitts-Oszillator häufiger verwendet.

- Eine Schwingkreisschaltung wird zum Oszillator, wenn die im Schwingkreis auftretenden Verluste durch einen Verstärker so ausgeglichen werden, dass das BHK erfüllt wird. Ein Teil der Schwingkreisspannung muss daher Phasenrichtig an den Verstärker zurück gekoppelt werden. Dazu kann im Schwingkreis die Kapazität auf zwei Kondensatoren aufgeteilt werden. Eine solche Schaltung wird als kap. Dreipunktschaltung bezeichnet. Ist der Mittelpunkt auf Masse bezogen, dann sind die beiden Teilspannungen an den Kondensatoren zueinander gegenphasig.

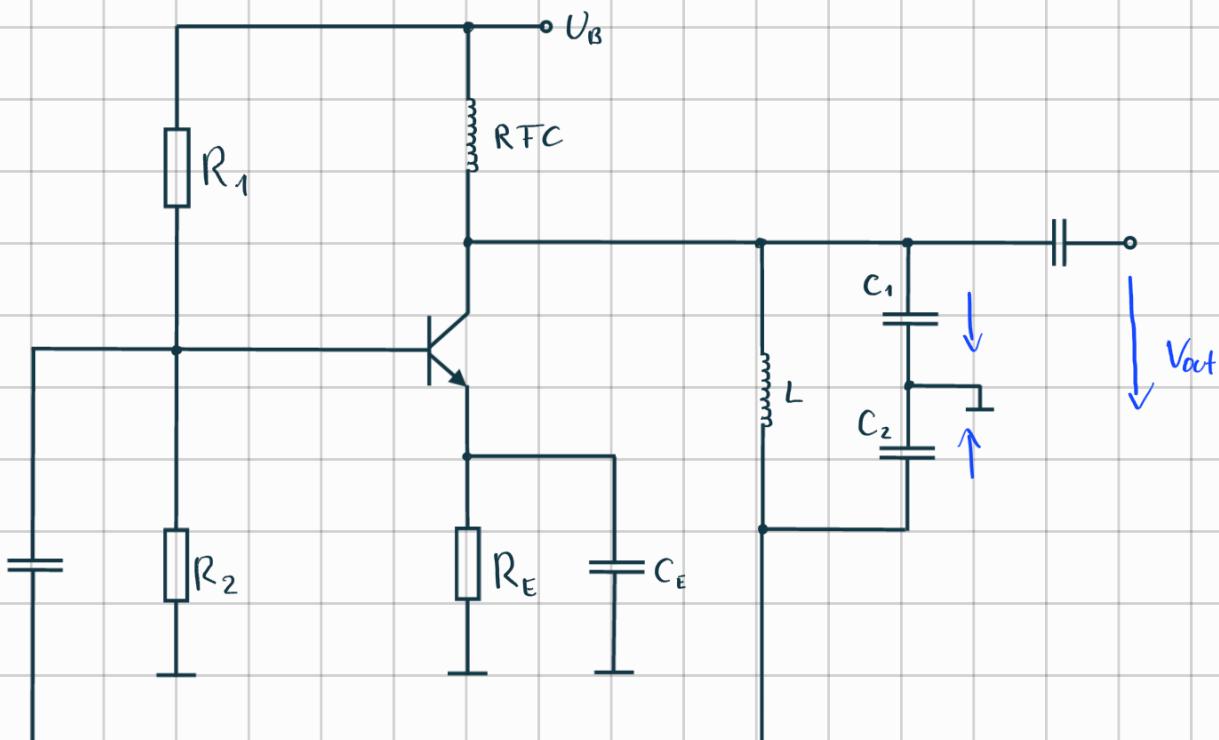


$$\begin{aligned} Z &= \frac{U_1}{I_1} = \frac{\frac{1}{j\omega C_1} (j\omega L + \frac{1}{j\omega C_2})}{\frac{1}{j\omega C_1} + (\frac{1}{j\omega L} + \frac{1}{j\omega C_2})} \\ &= \frac{\frac{1}{j\omega C_1} (1 - \omega^2 L C_2)}{\frac{1}{j\omega C_1} + \frac{1 - \omega^2 L C_2}{j\omega C_2}} = \frac{\frac{1 - \omega^2 L C_2}{j^2 \omega^2 C_1 C_2}}{\frac{j\omega C_2 + j\omega C_1 (1 - \omega^2 L C_2)}{j^2 \omega^2 C_1 C_2}} \end{aligned}$$

$$Z = \frac{(1 - \omega^2 L C_2)}{j\omega C_2 + j\omega C_1 (1 - \omega^2 L C_2)} = \frac{1}{\frac{j\omega C_2}{1 - \omega^2 L C_2} + j\omega C_1} = \frac{1}{j \left(\frac{\omega C_2}{1 - \omega^2 L C_2} + \omega C_1 \right)}$$

$\Rightarrow \operatorname{Im} \{ Z \} = 0 \rightarrow \text{Resonanzbedingung}$

- Die Emitterschaltung wird für die Phasendrehung benötigt:



Bei der Emitterschaltung besteht zwischen dem Ausgangs- und dem Steuersignal eine Phasendrehung von 180° . Sie wird von der kapazitiven Drei-Punkt-Schaltung mit Massebezug zwischen beiden Kondensatoren aufgehoben. Die phasengedrehte Teilspannung des SK gelangt über einen Koppelkondensator zur Basis zurück. Die Gleichspannung gelangt über eine Drosselpule (RFC) mit ausreichend hoher Induktivität an den Verstärker. Sie ist notwendig um den Massebezug der Betriebsspannung aufzuheben. Die Arbeitspunkteinstellung erfolgt mittels Basisspannungsteiler oder Basisvorwiderstand. Der Emitterwiderstand stabilisiert den Arbeitspunkt durch Stromgegenkopplung. Aus der Betrachtung der Schleifenverstärkung ergibt sich, dass für Oszillation Realteil und Imaginärteil = 0 sein müssen. Aus dem Imaginärteil erhält man die bereits berechnete Oszillatofrequenz. Der Realteil bringt die folgende Bedingung:

$$\frac{C_2}{C_1} = S \cdot R_L \quad S \dots \text{Steilheit } \left(\frac{dI_C}{dU_{BE}} \right)$$

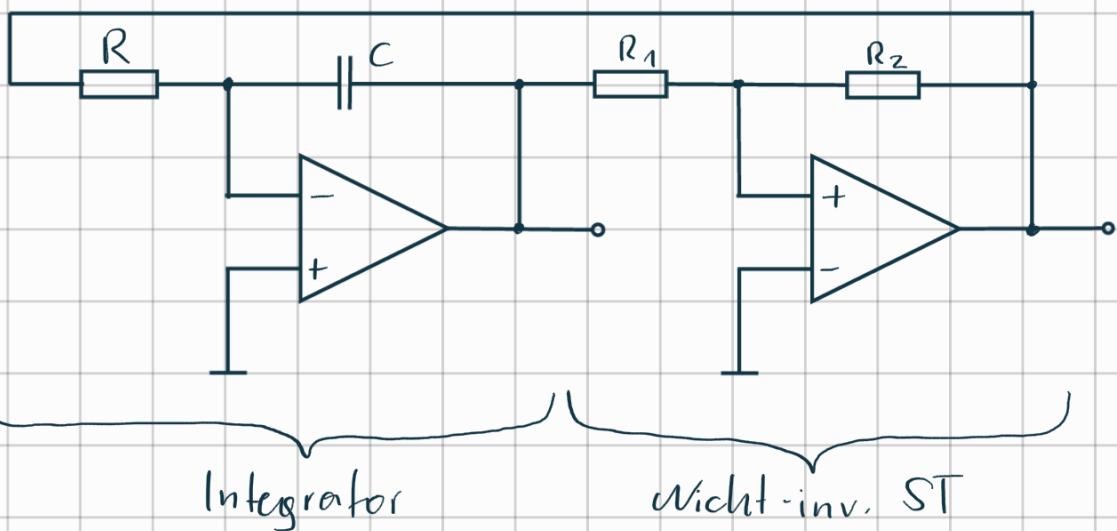
Diese Bedingung ergibt sich aus dem Klein-Signal-ESB, woraus man erkennt, dass $S \cdot R_L$ der Verstärkung des Transistors von der Basis zum Collector, welche die Dämpfung C_1 & C_2 kompensieren, gleicht.

Relaxationsgeneratoren

- Bestehen aus rückgekoppelten Schaltungen in denen meist die Zeitkonstanten von Lade- und Entladevorgängen an Kondensatoren zur Festlegung der Periodendauer genutzt werden.

Rechteck- Dreieck-Generator

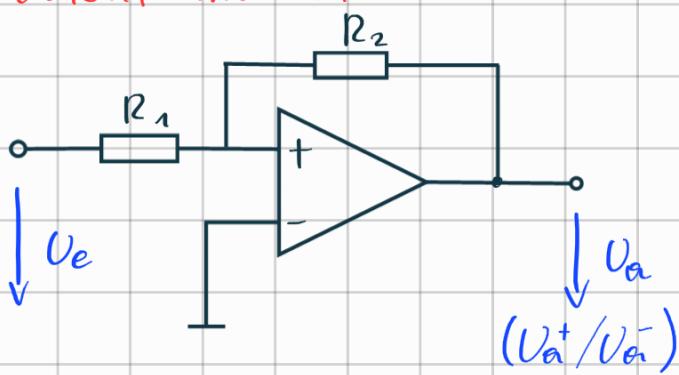
- Kombination von ST und Integrator.
- Ausgangsspannung des ST (U_{A+} & U_{A-}) wird am Integrator in eine linear an- bzw. ansteigende Spg. U_d umgewandelt.
- Überschreitet U_d die Schaltschwelle des ST schaltet dieser die Ausgangsspg. um.
- Frequenzbestimmend wirken die Slew-Rate des ST sowie die Schaltschwellen.



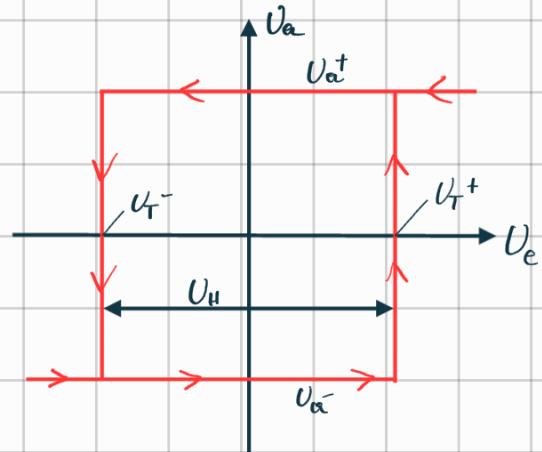
$$f = \frac{R_2}{4R_1} \cdot \frac{1}{RC}$$

Herleitung d. Oszillatorfrequenz

Nicht-inv. ST

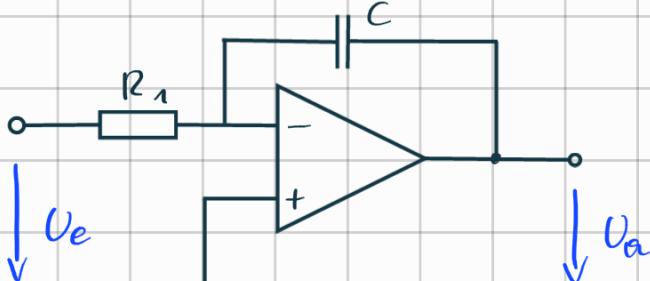


$$U_H = U_T^+ - U_T^- = -\frac{R_1}{R_2} (U_a^- - U_a^+)$$



sym. Versorgung
 $U_{a+} = U_R ; U_{a-} = -U_R$

Integrator



$$i_R + i_C = 0 \rightarrow i_R = -i_C$$

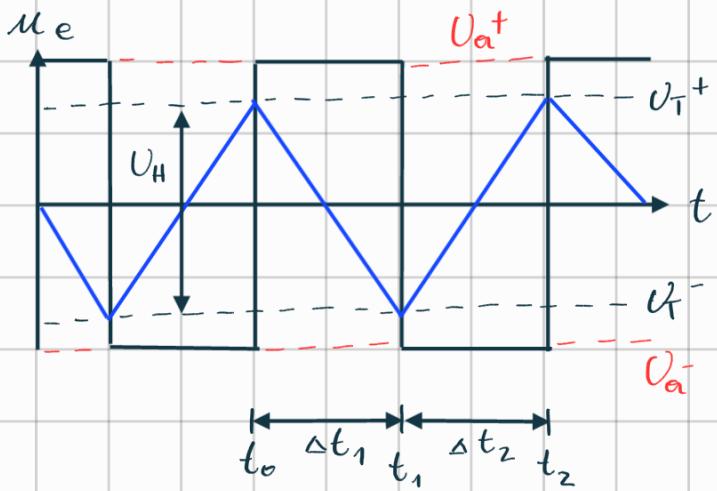
$$i_C = C \cdot \frac{duc}{dt}$$

$$\frac{ue}{R} = -C \frac{duc}{dt}$$

$$\frac{duc}{dt} = -\frac{1}{RC} \cdot ue$$

$$uc = -\frac{1}{RC} \cdot ue \cdot t$$

$$\rightarrow t = -RC \cdot \frac{uc}{ue}$$



$$\Delta t_2 = t_2 - t_1 = -RC \cdot \frac{U_T^+ - U_T^-}{U_{\alpha}^-}$$

$$\Delta t_1 = t_1 - t_0 = -RC \cdot \frac{U_T^- - U_T^+}{U_{\alpha}^+}$$

$$T = \Delta t_1 + \Delta t_2 = RC \cdot \frac{U_T^+ - U_T^-}{U_{\alpha}^+} - RC \cdot \frac{U_T^+ - U_T^-}{U_{\alpha}^-}$$

$$T = RC \cdot U_H \left(\frac{1}{U_{\alpha}^+} - \frac{1}{U_{\alpha}^-} \right) \quad U_{\alpha}^+ = U_R; \quad U_{\alpha}^- = -U_R$$

$$U_H = -\frac{R_1}{R_2} (U_{\alpha}^- - U_{\alpha}^+) = -\frac{R_1}{R_2} (-U_R - U_R) = \frac{R_1}{R_2} \cdot 2U_R$$

$$\frac{1}{U_{\alpha}^+} - \frac{1}{U_{\alpha}^-} = \frac{1}{U_R} + \frac{1}{U_R} = \frac{2}{U_R}$$

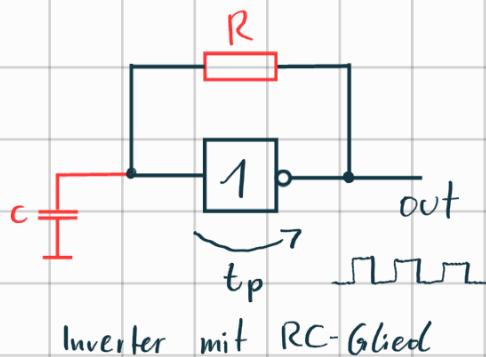
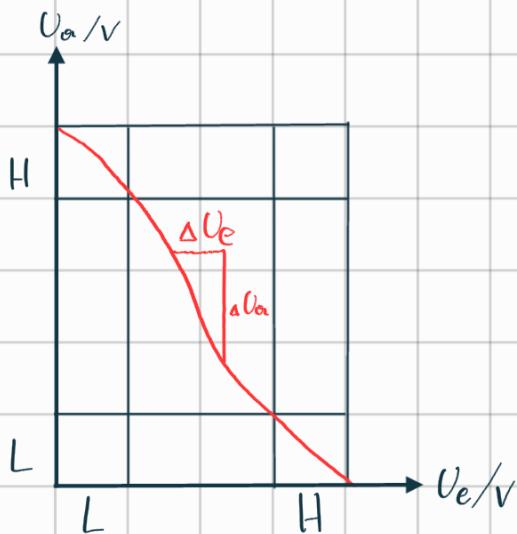
$$T = RC \cdot \frac{R_1}{R_2} \cdot 2U_R \cdot \frac{2}{U_R} = RC \cdot \frac{4R_1}{R_2}$$

$$f_0 = \frac{1}{RC} \cdot \frac{R_2}{4R_1}$$

Kippschaltungen

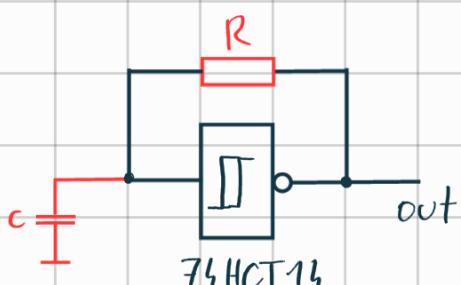
Generatoren für Rechtecksignale werden in der Digitaltechnik durch rückgekoppelte Logikgatter (Inverter-Verstärker). Die Rückkoppelschleife muss die Bedingung der Mitkopplung erfüllen.

Als einführendes Beispiel wird der Ausgang eines Inverters auf den Eingang rückgekoppelt. Die Frequenz ist starr und bestimmt sich aus der Gatterlaufzeit, die im Bereich von einigen ns liegt. Will man die Frequenz beeinflussen, ist im Rückkoppelzweig zwischen Ein- und Ausgang ein **RC-Glied** zu schalten.



Inverter - Verstärker

Die Periodendauer des Taktsignals hängt vom RC-Glied sowie von den Schaltschwellen des eingesetzten Gatter (Schmitttrigger) ab. Die Ausgangsspannung kann sich nicht kontinuierlich ändern, sondern nur 2 Schaltzustände (Logikpegel) annehmen. Diese Schaltungen werden auch als Multivibratoren oder astabile Kippstufen bezeichnet. Das einfachste Beispiel dazu ist bereits aus einem Inverter mit Schmitttrigger-Eingang und einem RC-Glied in der Rückkoppelschleife realisierbar.



ST mit RC-Glied

Herleitung d. Oszillatofrequenz, siehe Übungen

Angenommene Schaltschwellen (74HCT14):

$$V_p = 2,9 \text{ V}$$

$$V_H = 1,8 \text{ V}$$

Der Baustein besitzt eine Hysterese

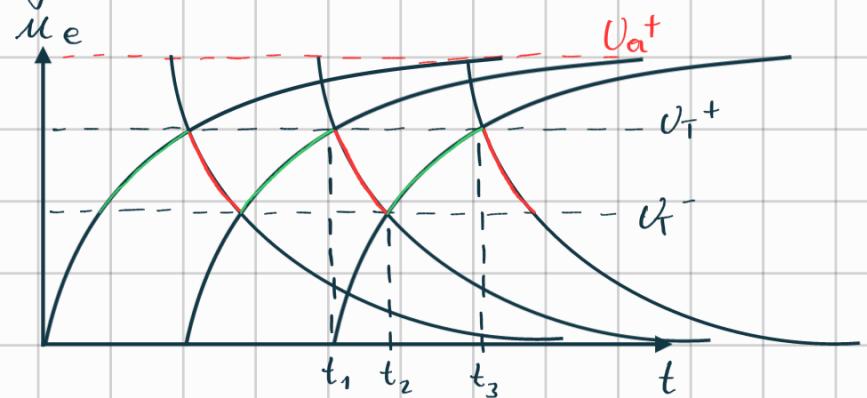
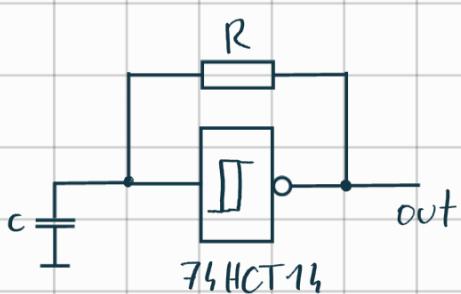
\rightarrow DC des Taktsignals $\approx 50\%$.

Die Periodendauer beträgt $T = k \cdot R \cdot C$
 $k \dots 1,1 - 2$ (je nach Technologie)

Anmerkungen

1. Die Taktfrequenz ist stark von Bauteiltoleranzen abhängig.
2. Verwendbar bis 1 MHz.
3. Als Buffer sollte ein weiteres Gatter hinter den St nachgeschalten werden.
4. Verwendung hochwertiger Bauelemente bezüglich Toleranzen und Temperatur trifft.
5. Nachschalten eines T-FF zur Symmetrierung des Taktes.

Bsp.: Inv. ST als Taktgenerator



Laden: $u_c = U_a^+ \cdot \left(1 - e^{-\frac{t}{RC}}\right)$
 $t = -RC \cdot \ln\left(1 - \frac{u_c}{U_a^+}\right)$

Entladen: $u_c = U_a^+ \cdot e^{-\frac{t}{RC}}$
 $t = -RC \cdot \ln\left(\frac{u_c}{U_a^+}\right)$

$$T = (t_3 - t_2) + (t_2 - t_1)$$

t -Laden + t -Entladen

$$T = \left(-RC \cdot \ln\left(1 - \frac{U_T^+}{U_a^+}\right) + RC \cdot \ln\left(1 - \frac{U_T^-}{U_a^+}\right) \right) \\ + \left(-RC \cdot \ln\left(\frac{U_T^-}{U_a^+}\right) + RC \cdot \ln\left(\frac{U_T^+}{U_a^+}\right) \right)$$

$$T = -RC \left(\ln\left(\frac{U_T^+}{U_a^+}\right) - \ln\left(\frac{U_T^-}{U_a^+}\right) \right) - RC \left(\ln\left(\frac{U_T^-}{U_a^+}\right) - \ln\left(\frac{U_T^+}{U_a^+}\right) \right)$$

$$T = -RC \cdot \ln \frac{\frac{U_a^+ - U_T^+}{U_a^+}}{\frac{U_a^+ - U_T^-}{U_a^+}} - RC \cdot \ln \frac{\frac{U_T^-}{U_a^+}}{\frac{U_T^+}{U_a^+}}$$

$$T = RC \cdot \ln \frac{U_{\alpha^+} - U_T^-}{U_{\alpha^+} - U_T^+} + RC \cdot \ln \frac{U_T^+}{U_T^-}$$

$$T = RC \cdot \ln \left(\frac{U_{\alpha^+} - U_T^-}{U_{\alpha^+} - U_T^+} \cdot \frac{U_T^+}{U_T^-} \right)$$

ges.: Dimensionierung eines inv. ST als Taktgenerator

$$U_{\alpha^+} = 13,7 \text{ V} \quad U_b^+ = 15 \text{ V} \quad U_T^+ = 3 \text{ V}$$

$$U_{\alpha^-} = 1 \text{ V} \quad U_b^- = 0 \text{ V} \quad U_T^- = 2 \text{ V}$$

$$\text{LM324: } f_0 = 1 \text{ kHz}$$

$$\text{Annahme: } R = 1 \text{ k}\Omega$$

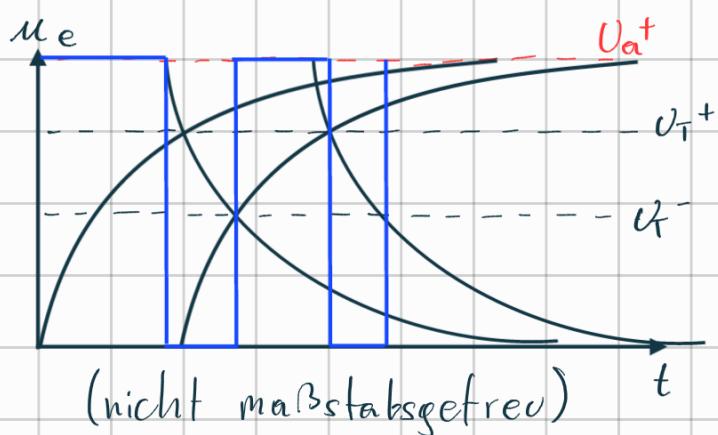
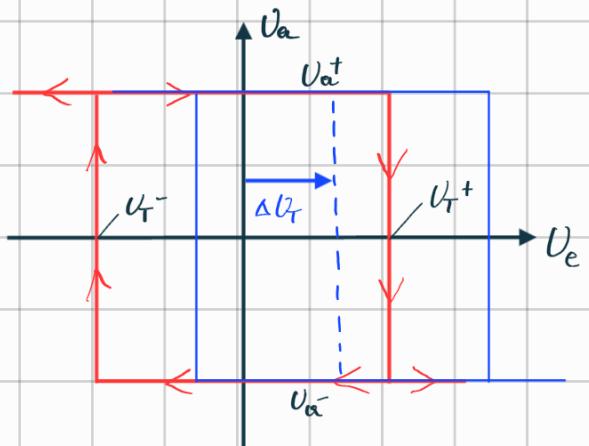
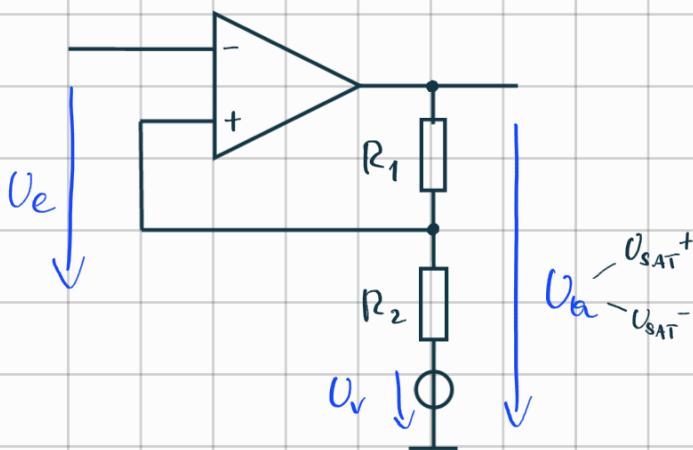
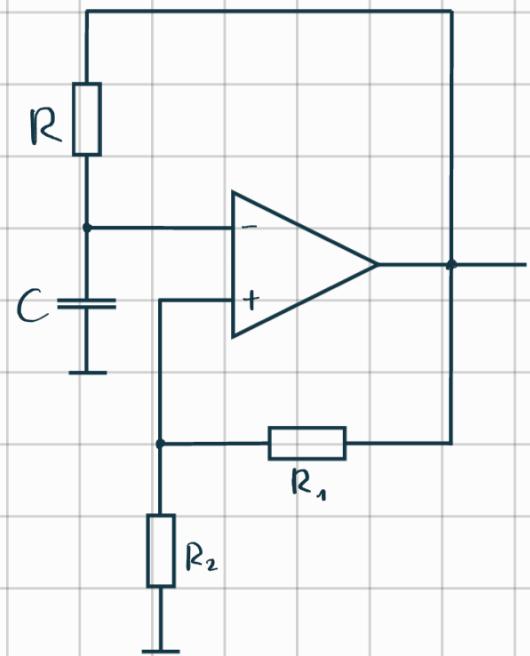
$$\text{ges.: } R_1, R_2, R, C$$

$$\frac{1}{f_0} = RC \cdot \ln \left(\frac{U_{\alpha^+} - U_T^-}{U_{\alpha^+} - U_T^+} \cdot \frac{U_T^+}{U_T^-} \right)$$

↓

$$C = \frac{1}{f_0 \cdot R \cdot \ln \left(\frac{U_{\alpha^+} - U_T^-}{U_{\alpha^+} - U_T^+} \cdot \frac{U_T^+}{U_T^-} \right)}$$

$$C = 2,02 \mu\text{F}$$



$$U_H = U_T^+ - U_T^-$$

$$\Delta U_T = U_T^+ |_{U_v \neq 0} - \frac{U_H}{2}$$

$$U_T^{+/-} = U_v \frac{R_1}{R_1 + R_2} + U_{\alpha}^{+/-} \frac{R_2}{R_1 + R_2}$$

$$U_H = U_T^+ - U_T^- = U_V \frac{R_1}{R_1 + R_2} + U_{\alpha}^+ \frac{R_2}{R_1 + R_2} - \left(U_V \frac{R_1}{R_1 + R_2} + U_{\alpha}^- \frac{R_2}{R_1 + R_2} \right)$$

$$U_H = 3V - 2V = 1V = \frac{R_1}{R_1 + R_2} (U_{\alpha}^+ - U_{\alpha}^-) \text{ Annahme: } R_2 = 10k\Omega$$

$$\rightarrow R_1 = \frac{R_2 (U_{\alpha}^+ - U_{\alpha}^-) - U_H \cdot R_2}{U_H} = \frac{10k\Omega (13.7V - 1V) - 1V \cdot 10k\Omega}{1V} = 117k\Omega$$

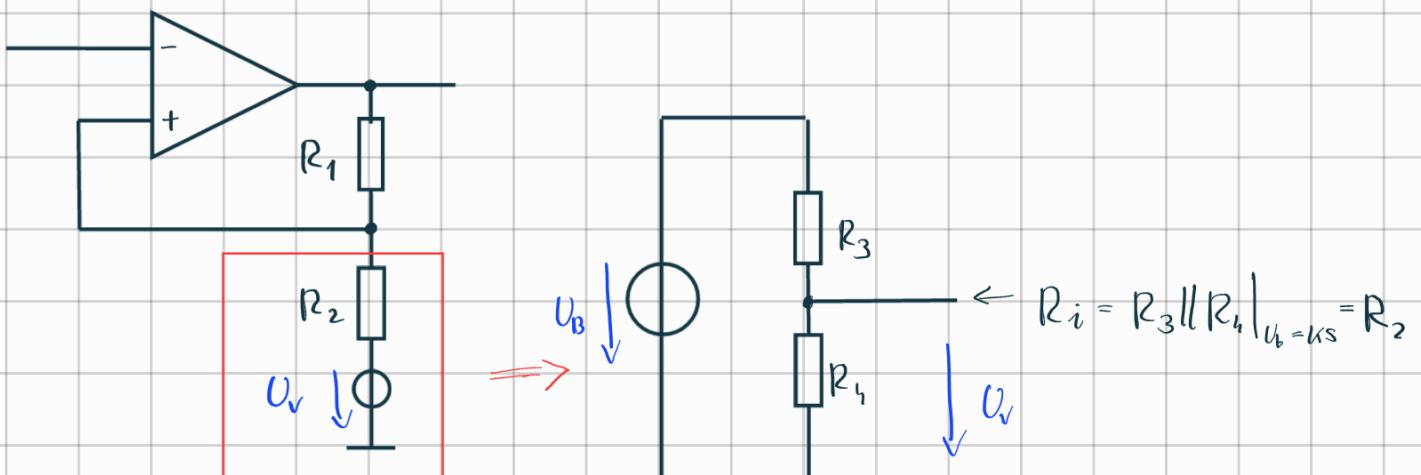
ges.

$$\Delta U_T = U_T^+ \Big|_{U_V \neq 0} - \frac{U_H}{2} = U_V \frac{R_1}{R_1 + R_2} + U_{\alpha}^+ \frac{R_2}{R_1 + R_2} - \frac{1}{2} \frac{R_2}{R_1 + R_2} (U_{\alpha}^+ - U_{\alpha}^-)$$

$$\Delta U_T (R_1 + R_2) = U_V \cdot R_1 + U_{\alpha}^+ \cdot R_2 - \frac{1}{2} U_{\alpha}^+ \cdot R_2 + \frac{1}{2} U_{\alpha}^- \cdot R_2$$

$$U_V = \frac{\Delta U_T (R_1 + R_2) - \frac{1}{2} U_{\alpha}^+ \cdot R_2 - \frac{1}{2} U_{\alpha}^- \cdot R_2}{R_1}$$

$$U_V = \frac{2.5V(127k\Omega) - \frac{1}{2} \cdot 13.7V \cdot 10k\Omega - \frac{1}{2} \cdot 1V \cdot 10k\Omega}{117k\Omega} = 2.08V$$



$$R_2 = \frac{R_3 \cdot R_4}{R_3 + R_4} \rightarrow R_3 + R_4 = \frac{R_3 \cdot R_4}{R_2}$$

$$R_3 + R_4 = \frac{U_b}{U_V} \cdot R_4$$

$$\frac{U_V}{U_b} = \frac{R_4}{R_3 + R_4} \rightarrow U_V = U_b \cdot \frac{R_4}{R_3 + R_4}$$

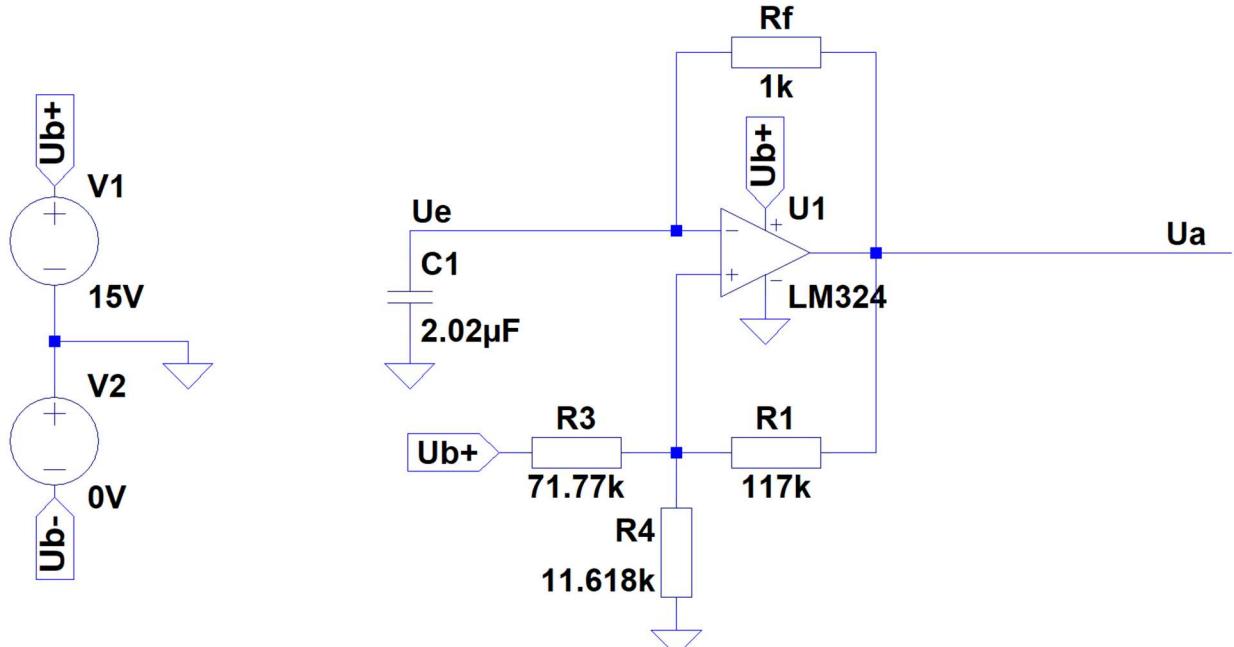
$$\frac{R_3 R_4}{R_2} = \frac{U_b}{U_V} \cdot R_4$$

$$R_3 = \frac{U_b}{U_V} \cdot R_2 = \frac{15V}{2.08V} \cdot 10k = 71.77k\Omega$$

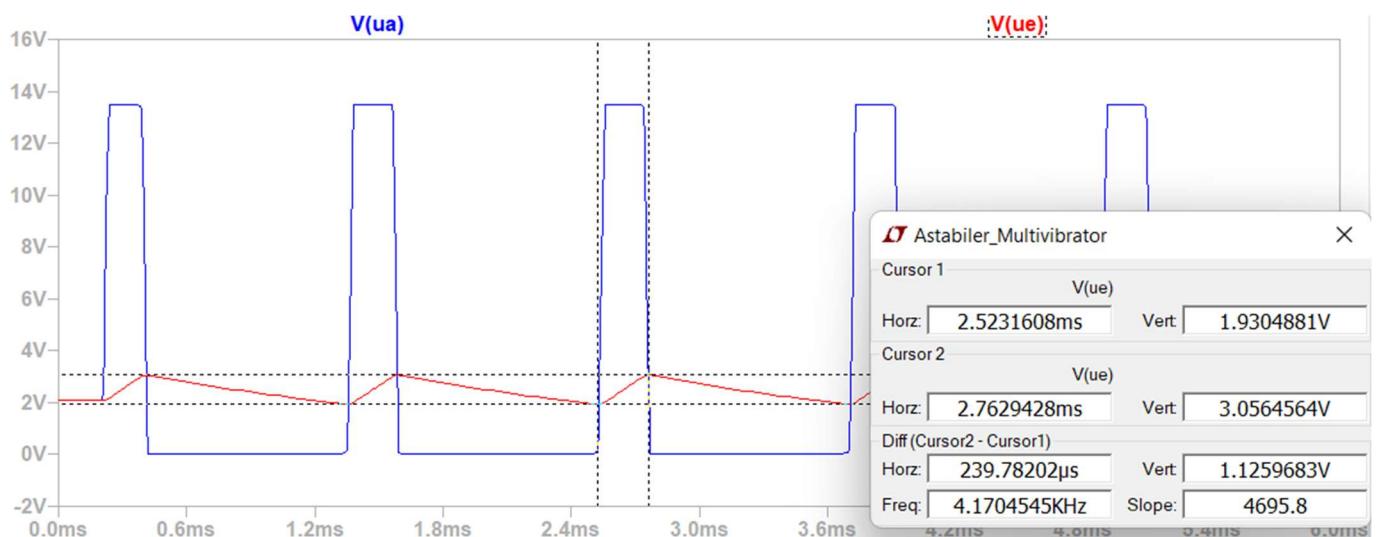
$$R_3 + R_4 = \frac{U_b}{U_V} \cdot R_4$$

$$R_4 \left(1 - \frac{U_b}{U_V}\right) = -R_3$$

$$R_4 = \frac{-R_3}{1 - \frac{U_b}{U_V}} = \frac{-71.77k}{1 - \frac{15}{2.08}} = 11.618k\Omega$$



```
.tran 10m startup
.inc LM324.LIB
```



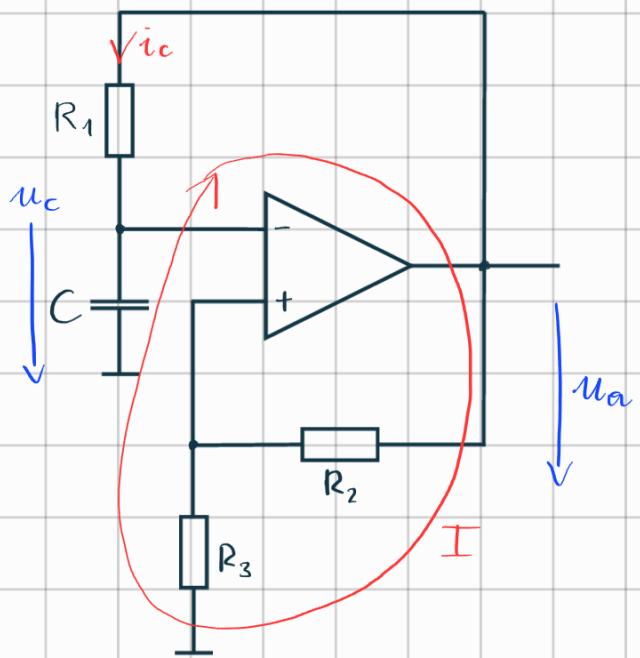
Aufgabe (oben):

Simulation des astabilen Multivibrators mit LTSpice

Verifiziere die Frequenz sowie die Triggerpunkte U_t+ & U_t-

LM324

Herleitung der Formel mittels DGL



$$\begin{aligned}
 Q &= C \cdot V \\
 i_c \cdot t &= C \cdot u_c \\
 i_c \cdot \Delta t &= C \cdot \Delta u_c \\
 i_c \cdot dt &= C \cdot du_c \\
 \frac{du_c}{dt} &= \frac{1}{C} \int i_c \cdot dt \\
 \rightarrow i_c &= C \cdot \frac{du_c}{dt} \\
 \frac{i_c}{C} &= \frac{du_c}{dt}
 \end{aligned}$$

$$I: u_o - u_c - i_c \cdot R_1 = 0$$

$$\begin{aligned}
 i_c &= \frac{u_o - u_c}{R_1} \\
 \frac{du_c}{dt} &= \frac{1}{C} \cdot \frac{1}{R_1} (u_o - u_c)
 \end{aligned}$$

$$\frac{du_c}{dt} + \frac{1}{R_1 C} \cdot u_c = \frac{u_o}{R_1 C}$$

Form: $y' + f(x) \cdot y = g(x)$ → lineare, inhomogene DGL 1. O.

Lösungsverfahren:

a) Variation der Konstanten (komplex)

b) Lösungsansatz: $y(t) = y_h(t) + y_p(t)$

h... homogen
p... partikular

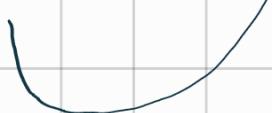
Lösung der hom. DGL:

$$\frac{du_c}{dt} + \frac{1}{R_1 C} \cdot u_c = 0$$

$$\frac{du_c}{dt} = -\frac{1}{R_1 C} \cdot u_c$$

$$\frac{du_c}{u_c} = -\frac{1}{R_1 C} \cdot dt$$

$$\int \frac{du_c}{u_c} = -\frac{1}{R_1 C} \int dt$$



$\ln(\tilde{c})$ immer noch konst.

$\ln(\tilde{c})$ immer noch konst.

$$\ln(u_c) + \tilde{c}$$

$$\ln(u_c) - \ln(\tilde{c}) = -\frac{1}{R_1 C} t$$

$$\ln\left(\frac{u_c}{\tilde{c}}\right) = -\frac{1}{R_1 C} t$$

$$u_{ch}(t) = \tilde{c} \cdot e^{-t/\tau} ; \tau = R_1 C$$

DGL:

$$\frac{du_c}{dt} + \frac{1}{R_1 C} u_c = \frac{1}{R_1 C} u_a \quad u_c = 0 ; u_{c,p}(t) = K$$

$$0 + 1 u_c = 1 u_a$$

$$K = u_a$$

$$u_c(t) = u_{c,n}(t) + u_{c,p}(t) = c \cdot e^{-\frac{t}{\tau}} + u_a$$

$$u_{c,p}(0) = U_T^- = - \underbrace{\frac{R_2}{R_1 + R_2}}_{\alpha} \cdot U_b^+ = - \alpha \cdot U_b^+$$

$$- \alpha \cdot U_b^+ = c \cdot \underbrace{e^{-\frac{t}{\tau}}}_1 + U_b^+$$

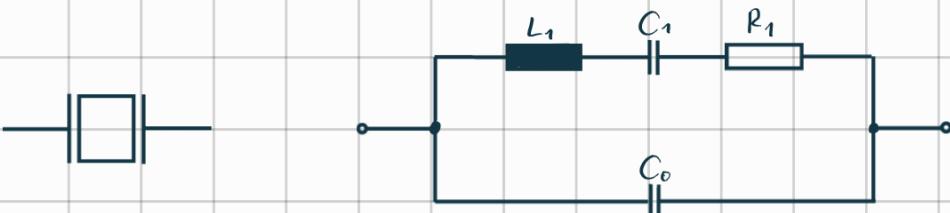
$$c = - U_b^+ - \alpha \cdot U_b^+ = - U_b^+ (1 + \alpha)$$

$$u_c(t) = U_b^+ (1 - (1 + \alpha) e^{-\frac{t}{\tau}})$$

Quarz-Oszillatoren

Exkurs zu den Schwingquarzen

Beruht auf dem Prinzip des Piezoelektrischen Effekts. D.h. wird auf eine ausgeschnittene Scheibe des Quarzkristalls Druck ausgeübt, bilden sich an den gegenüberliegenden Flächen elektrische Ladungen (siehe auch inverser Piezoelektrischer Effekt). Das elektrische Verhalten eines Quarzes kann mittels ESB abgebildet werden.



z.B. 2 MHz - Quarz

$$L_1 = 528 \text{ mH} \quad Q = 54000$$

$$C_1 = 12 \text{ fF} \quad R_1 = 100 \Omega$$

$$C_o = 6 \text{ pF}$$

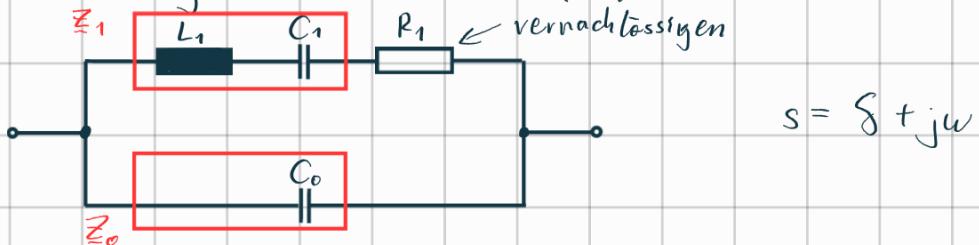
L_1 ... Serieninduktivität $\hat{=}$ schwingende Masse des Resonators plus Zuleitungsinduktivität

C_1 ... Serienkapazität $\hat{=}$ Elastizitätskonstante

R_1 ... Verlustwiderstand $\hat{=}$ innerer Reibung & mech. Verluste

C_0 ... Streukapazität zw. d. Elektroden

Herleitung der Resonanzfrequenz



$$Z_1(s) = sL_1 + \frac{1}{sC_1} = \frac{s^2L_1C_1 + 1}{sC_1}$$

$$Z_0(s) = \frac{1}{sC_0}$$

$$Z_g(s) = \frac{Z_1 \cdot Z_0}{Z_1 + Z_0} = \dots = \frac{1 + s^2L_1C_1}{s(C_0 + C_1) + s^3C_0C_1L_1} = \frac{Z(s)}{N(s)} \rightarrow \begin{matrix} \text{Nullstellen} \\ \text{Polstellen} \end{matrix}$$

$$f_r \Big|_{Z(s)=0} = \frac{1}{2\tilde{\omega}\sqrt{L_1C_1}} \quad f_p \Big|_{N(s)=0} = \frac{1}{2\tilde{\omega}\sqrt{L_1C_1}} \sqrt{\frac{C_0 + C_1}{C_0}}$$

$1 + s^2L_1C_1 = 0$	$1 = \omega^2L_1C_1$
$1 + j^2\omega^2L_1C_1 = 0$	$f_r = \frac{1}{2\tilde{\omega}\sqrt{L_1C_1}}$

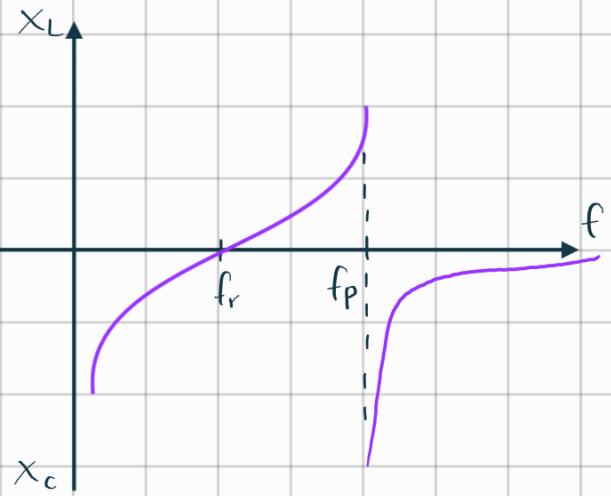
$$s((C_0 + C_1) + s^2C_0C_1L_1) = 0 \quad s = 0$$

$$(C_0 + C_1) - \omega^2C_0C_1L_1 = 0$$

$$\frac{C_0 + C_1}{C_0C_1L_1} = \omega^2 C_0 C_1 L_1$$

$$\omega^2 = \frac{1}{C_1L_1} \cdot \frac{C_0 + C_1}{C_0}$$

In der Nähe von f_r verhält sich Der Quarz wie ein Reihenschwingkreis. In der Nähe von f_p wie ein Parallelschwingkreis. Die Güte ist in beiden Fällen praktisch gleich und außerordentlich hoch.



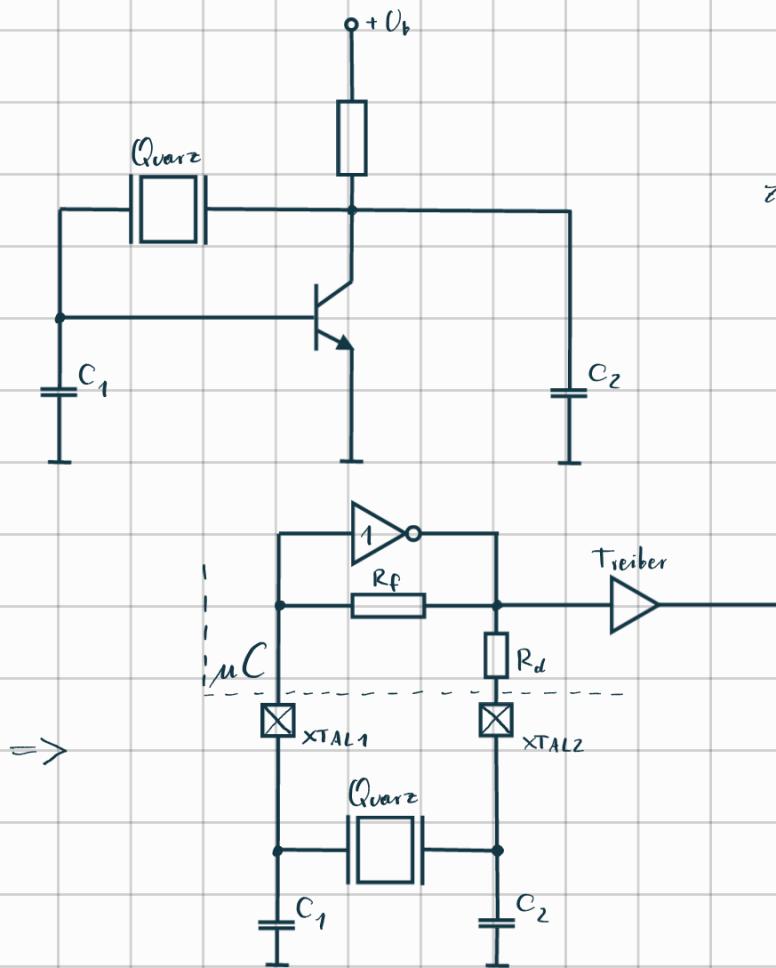
Impedanzverlauf
des Quarzes

Eigenschaften des Schwingquarzes

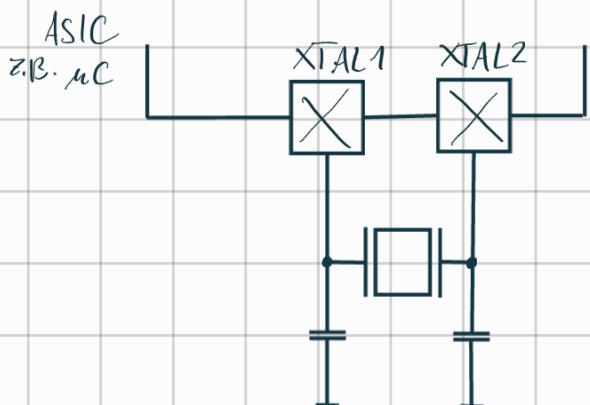
- hohe Güte $Q = \frac{wL_1}{R_1} \sim 10^4 - 10^6$
- großes Verhältnis L/C_1
- $C_1 \ll C_0$
- hohe Frequenzselektivität $\frac{\Delta f}{f} < 10^{-6} - 10^{-10}$

Pierce-Gate Oszillator

(siehe Skriptum - „Clock- & Reset-Generierung“)



Quarz in Parallelresonanz

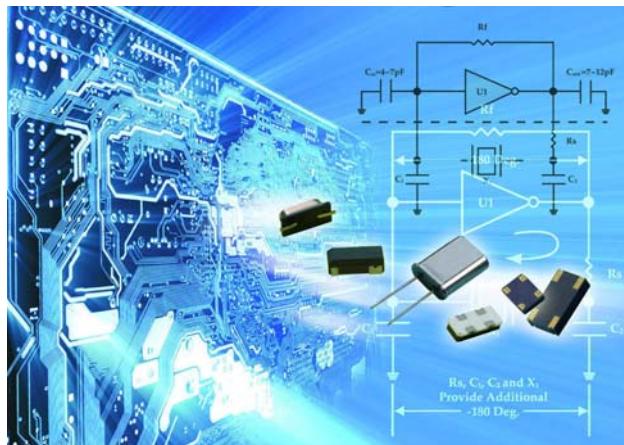


Pierce-Gate-Quarzoszillator

Einführung in die Konzeption der Oszillatorschaltung

27.01.2009 | Autor: Gerd Reinhold und Ramon C. Cerdá*

Der Pierce-Gate-Oszillator ist ein weit verbreitetes Schaltungsprinzip, das in der Anwendung einige Vorteile bietet. Bei der Schaltungsentwicklung sind jedoch einige Aspekte zu beachten, die Entwickler oft vernachlässigen. Dieser Artikel gibt praktische Hinweise und zeigt an einem konkreten Beispiel, wie der Oszillator zu berechnen ist.



Der heute bei weitem am häufigsten eingesetzte Gate-Oszillator ist der Pierce-Gate-Oszillator, wie er in Bild 1 zu sehen ist. Er verdankt seine Bekanntheit dem Umstand, dass der Digitalwandler U₁ normalerweise in dem vom Entwickler gewählten Mikroprozessor oder ASIC enthalten ist.

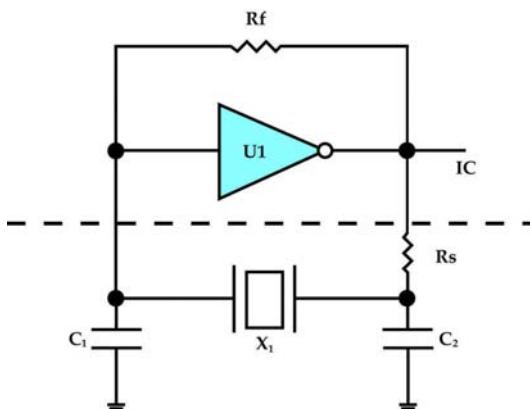


Figure 1: Fundamental Mode Isolated Pierce-Gate Oscillator

Die meisten Entwickler sind mit der Topologie des Pierce-Gate vertraut, aber oft fehlt es am Verständnis, wie er funktioniert und wie er richtig ausgelegt werden muss. Der Oszillator findet oft erst Beachtung, wenn eine Funktionsstörung eintritt, was normalerweise erst nach der Freigabe zur Produktion auffällt.

Der Einsatz zahlreicher Systeme oder Projekte wurde schon wegen eines 25-Cent-Quarzes, der nicht wie vorgesehen funktionierte, verzögert. Der Oszillator sollte in der Entwicklungsphase – lange vor der Produktion – die ihm zukommende Aufmerksamkeit erhalten.

Wir werden die Funktion des Pierce-Gate-Oszillators durch Aufschlüsselung in seine Bauelemente untersuchen. Eine wesentlich tiefgründigere Analyse würde den Rahmen dieser Abhandlung überschreiten. Die einfache Analyse wird jedoch genügen, um die Hauptaspekte der Funktion des Pierce-Gate-Oszillators zu vermitteln. Außerdem werden wir ein einfaches Design darlegen, um zu vermitteln, was sich von den Anfangswerten des Pierce-Gate ableiten lässt.

Der Pierce-Oszillator in Grundzügen

Mit Hilfe der Barkhausen-Kriterien lässt sich die Funktion der Pierce-Gate-Topologie erklären:

- Das Ergebnis der Verstärkungen in der Schleife muss gleich oder größer 1 der gewünschten Oszillationsfrequenz sein.
- Die Phasenverschiebung um die Schleife muss gleich 0 oder ein ganzzahliges Vielfaches von 2π (360°) sein.

Bild 2 zeigt die Phasenverschiebungsanalyse für das Pierce-Gate. Wenn U1 eine Phasenverschiebung um -180° ergibt, sind zusätzliche -180° seitens der übrigen externen Komponenten erforderlich, um das Barkhausen-Kriterium zu erfüllen.

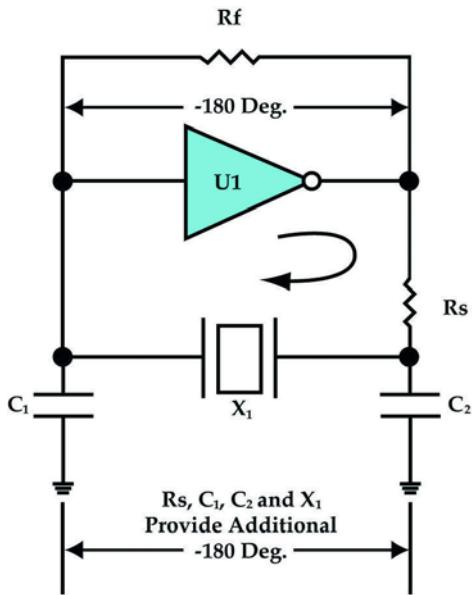


Figure 2: Pierce-Gate Phase Shift Analysis

Die Phasenverschiebung stellt sich automatisch selbst auf genau 360° in der Schleife ein, um die Oszillation aufrecht zu erhalten. Ergibt U1 beispielsweise eine Phasenverschiebung um -185° , liefern die übrigen Komponenten in einem einwandfrei funktionierenden Design automatisch eine Phasenverschiebung um -175° . Die Verstärkung um die Schleife ist abhängig von der Transkonduktanz g_m des Inverters und des Blindwiderstandes von C_1 und C_2 (X_{C1} , X_{C2}) sowie R_S . Ohne R_S in der Schleife beträgt die Verstärkung als negativer Widerstand:

(Gleichung 1)

Da $X_C = 1/j\omega C$, nimmt der negative Widerstand (Verstärkung) in dem Maß zu, je kleiner die Kapazitäten C_1 und C_2 werden. Daher müssen C_1 und C_2 reduziert werden, um die Verstärkung der Schleife zu erhöhen. Man kann leicht erkennen, dass R_S die Verstärkung in der Schleife verringert, wenn sein Wert erhöht wird. Ein Ausgangswert für R_S sollte gleich dem Blindwiderstand von X_{C2} sein.

Der Rückkopplungswiderstand

Der Rückkopplungswiderstand R_f dient zur Linearisierung des digitalen CMOS-Inverters. R_f erreicht dies durch Laden der Eingangskapazität des Inverters, einschließlich C_1 vom Inverterausgang. Mit anderen Worten: Der Rückkopplungswiderstand verwandelt ein Logic-Gate in einen Analogverstärker. Dies ist ein cleverer Trick, der einfach durch einen zusätzlichen Widerstand realisiert wird.

Im Allgemeinen ist der Rückkopplungswiderstand im Mikroprozessor oder ASIC enthalten. Mit dem folgenden Verfahren lässt sich feststellen, ob der Rückkopplungswiderstand im IC integriert ist:

- Ohne angeschlossene externe Komponenten (C_1 , C_2 und X_1) Spannung am Ein- und Ausgang des Inverters messen,
- bei eingebautem Rückkopplungswiderstand beträgt die Spannung an den Ein- und Ausgangspins etwa $VCC/2$.
- Ohne eingebauten Rückkopplungswiderstand geht der Inverter in „latched signal“, und es sind Ein- und Ausgang logisch „1“ und logisch „0“ oder umgekehrt.

Frequenz	Bereich des Rückkopplungswiderstandes
32,768 kHz	10 bis 15 MΩ
1 MHz	5 bis 10 MΩ
10 MHz	1 bis 5 MΩ
20 MHz	470 kΩ bis 5 MΩ

Der verwendete R_f -Wert ist frequenzabhängig. Je niedriger die Frequenz, umso höher der benötigte Wert. Typische Bereichswerte sind in der Tabelle aufgeführt.

Der Rückkopplungswiderstand R_f lässt sich wie folgt optimieren: Wenn sich der Quarz und alle anderen Komponenten an Ort und Stelle befinden, ist der Wert von R_f zu ermitteln, bei dem das Ziehen der Frequenz beginnt. Dies geschieht durch Aufzeichnen der Frequenz gegenüber R_f . Der Wert für R_f muss dann oberhalb des Punktes gewählt werden, an dem beim Last-Beginn das Ziehen der Frequenz beginnt.

Der dem Inverterausgang vorgesetzte Widerstand R_S hat drei Hauptaufgaben:

- Isolieren des Inverter-Ausgangstreibers vom komplexen Scheinwiderstand, der aus C_2 , C_1 und dem Quarz gebildet wird.
- Zusätzlicher Spielraum für den Entwickler zur Kontrolle des Drive Levels (ausgedrückt als Leistung/Spannung über dem oder Strom durch den Quarz) bzw. die Einstellung der Verstärkung der Oszillatorschleife. R_S muss mit „Tuning-Fork“-Stimmgabel-Quarzen (Uhrenquarzen) verwendet werden. Stimmgabelquarze haben

(Tiefpass)

- In Verbindung mit C_2 bildet R_S ein Verzögerungsnetzwerk – als zusätzliche Phasenverschiebung, die insbesondere bei niedrigen Frequenzen von 8 MHz oder darunter erforderlich ist. Diese zusätzliche Phasenverschiebung ist erforderlich, um Jitter im Zeitbereich oder Phasenrauschen im Frequenzbereich zu reduzieren. R_S wird manchmal nicht benötigt (insbesondere bei Frequenzen über 20 MHz), da der Ausgangswiderstand des Inverters in Verbindung mit C_2 eine ausreichende Phasenverzögerung bewirkt. Wenn er jedoch nicht für die Phasenverzögerung benötigt wird, kann er nach wie vor erforderlich sein, um das Drive Level am Quarz zu reduzieren.

Schleifenverstärkung mit dem Inverter U_1

Der Inverter U_1 liefert die Schleifenverstärkung, die zur Aufrechterhaltung der Schwingungen sowie für eine Phasenverschiebung um etwa -180° nötig ist. Ist der Inverter Bestandteil eines ASICs oder Mikroprozessors, so sollte der Hersteller die kritischen Quarzparameter, wie beispielsweise den maximalen ESR-Wert (Equivalent Series Resistance) vorgeben, die unter allen Umständen einwandfrei funktionieren. Wenn U_1 nicht Bestandteil eines ASICs ist, muss der Entwickler einen Inverter mit den richtigen Verstärkungs- und Phaseneigenschaften für die Zielfrequenz oder den Zielfrequenzbereich sorgfältig auswählen.

Simulation ist hier ebenfalls sehr zu empfehlen, jedoch bei einem gut funktionierenden Schaltungsdesign nicht erforderlich. Nicht alle digitalen Inverter sind für Oszillatorenanwendungen geeignet. Einige haben – gerade bei niedrigen Frequenzen – eine zu lange Verzögerungszeit. Andererseits wurde in der Vergangenheit ein ungepufferter Inverter für Oszillatoren benötigt. Dies ist heute nicht der Fall, da Verzögerungen im Lauf der Jahre für alle modernen Digitalinverter auf Grund der erforderlichen höheren Betriebsgeschwindigkeiten reduziert wurden.

Der Quarz und die Kondensatoren C_1 und C_2

Wie oben aufgeführt, liefert der Quarz X_1 in Verbindung mit C_1 , C_2 und R_S eine zusätzliche Phasenverzögerung von -180° , um das Barkhausen-Phasenverschiebungskriterium für die Aufrechterhaltung der Oszillation zu erfüllen. Bei Bedarf kann jedoch C_2 durch einige Standardwerte auf einen höheren Wert als C_1 gebracht und zur Einstellung der Mittenfrequenz bzw. Erhöhung der Schleifenverstärkung verwendet werden. Die Spannungsverstärkung wird in Abhängigkeit von C_2 / C_1 erhöht.

Der [REDACTED] im Pierce-Gate-Oszillator arbeitet der Quarz im Induktivitätsbereich seiner Reaktanzkurve. Ein Quarz, der in seinem Induktivitätsbereich arbeiten soll, wird als „Parallel-Quarz“ bezeichnet.

Beispiel für ein Pierce-Gate-Design

Es sei ein 20-MHz-Clock (Taktgenerator) mittels der Pierce-Gate-Topologie zu konzipieren, der die folgenden Anforderungen erfüllen soll:

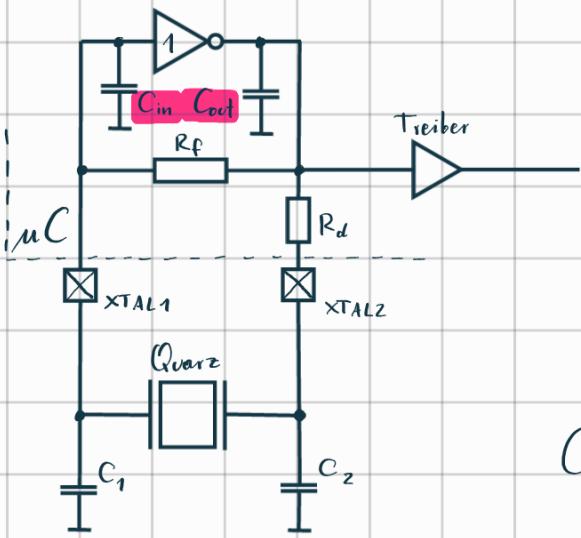
- Frequenz: 20 MHz
- Frequenz Stabilität über Temperatur: ± 50 ppm
- Frequenz Toleranz bei 25°C : ± 50 ppm
- Temperaturbereich: -20 bis 70°C
- Zusätzliche Anforderungen: Kostengünstige Bauweise, alle Komponenten in Oberflächenmontagetechnik (SMT) und keine Werkseinstellung der Komponenten zur Erfüllung der Kalibrierspezifikation von ± 50 ppm.

Folgende Randbedingungen sind gegeben:

- Das Invertiergatter ist Bestandteil eines Mikroprozessors mit [REDACTED]
- der Rückkopplungswiderstand R_S ist nicht intern vorgesehen, wie aus Bild 1 ersichtlich,
- der Mikroprozessor-Hersteller hat bereits festgestellt, dass ein Kristall mit maximalem ESR von 40Ω bei dieser Frequenz zuverlässig funktioniert.

Gesucht sind C_1 , C_2 , R_S , R_f und die Spezifizierung des Quarzes.

Auswahl der Kondensatoren C_1 & C_2



meist gilt: $C_1 = C_2$

- Parallel-mode Quarz erforderlich
(siehe C_L Spezifikation)

$$C_L = \frac{(C_1 + C_{in})(C_2 + C_{out})}{C_1 + C_{in} + C_2 + C_{out}} + C_{streu}$$

(2-3 pF)

$\underbrace{C_{in} = 4 \text{ pF}; C_{out} = 9 \text{ pF}}_{C_L \text{ vom Hersteller}}$

20 pF

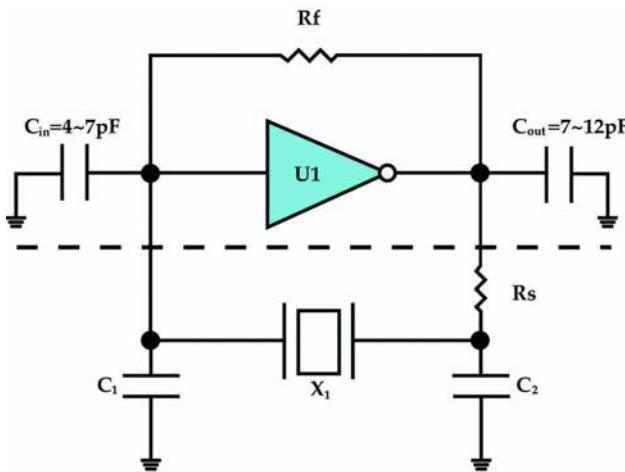


Figure 3: Pierce-Gate Showing Internal Input and Output Capacitances

$$C_L = \frac{(C_{in} + C_1) \cdot (C_2 + C_{out})}{(C_{in} + C_1 + C_2 + C_{out})} + \text{Streuverluste (2 bis 3 pF)}$$

(Gleichung 2)

Die meisten Entwickler neigen dazu, C_{in} und C_{out} zu vernachlässigen, entweder, weil sie nicht wissen, dass diese Größen vorhanden sind, oder weil sie im Inverter-Datenblatt nicht aufgeführt sind. Sie sind jedoch, verglichen mit den externen Kapazitäten C_1 und C_2 , wertmäßig signifikant. Wenn C_{in} und C_{out} nicht spezifiziert sind, ist ein grober Schätzwert von jeweils 5 pF ein guter Ausgangspunkt. Die Schaltung kann nachträglich durch Verändern der Startwerte von C_1 und C_2 optimiert werden.

Bei einem Pierce-Gate-Oszillatator sollte $C_2 = C_1$ gesetzt werden oder C_2 um einen oder zwei Standardwerte größer als C_1 . Nach einigen Schritten mittels Gleichung 2 und unter Annahme von 3 pF für die Streuverluste der Leiterplatte erhalten wir $C_1 = C_2 = 27$ pF für die Anfangswerte.

Somit ergibt sich bei den erhaltenen Werten:

$$C_L = \frac{(4 \text{ pF} + 27 \text{ pF}) \cdot (27 \text{ pF} + 9 \text{ pF})}{(4 \text{ pF} + 27 \text{ pF} + 27 \text{ pF} + 9 \text{ pF})} + 3 \text{ pF} = 19,7 \text{ pF}$$

Damit ist die Lastkapazität des Quarzes mit 20 pF vorzugeben. Die einzuhaltende Kalibrierung oder Toleranz (Frequenz bei 25 °C) beträgt ebenfalls ±50 ppm. Im Gegensatz zur Anforderung „Frequenz gegenüber Temperatur“, die durch den Schnittwinkel des Kristallrohlings geregelt wird, kann die Kalibrierung auf der Leiterplatte erfolgen. Allerdings sieht die Anforderung kein Trimmen/Kalibrieren bei der Produktion vor. Zum Einstellen der Kalibrierspezifizierung auf den Quarz ohne Trimmen muss bekannt sein, wie sich die Quarzfrequenz gegenüber der Lastkapazität um den gewählten 20-pF-Lastpunkt herum verändert. Dies geht aus der Gleichung für Trimmungsempfindlichkeit hervor:

$$S = -\frac{C_1}{2 \cdot (C_0 + C_L)} \cdot 10^{-6} [\text{ppm/pF}]$$

(Gleichung 3)

mit C_1 : dynamische Kapazität des Quarzes

C_0 : Parallelkapazität des Quarzes

C_L = Lastkapazitäts-Spezifizierung (hier 20 pF)

Dies ist eine praktische Gleichung, da sie angibt, wie weit entfernt von der Vorgabefrequenz der Oszillatator bei Raumtemperatur für jedes pF ist, um das die Last auf Grund von Variantenstreuung bzw. Toleranz von den 20 pF entfernt ist. Das Problem dabei ist, dass für die Gleichung die dynamische und die Parallelkapazität benötigt werden, über die wir nicht verfügen. Allerdings werden wir das Problem angehen, indem wir eine Reserve für die Kalibrierung annehmen. Bei der Bestellung des Quarzes müssen beim Hersteller die Parameter für C_0 und C_1 erfragt werden, um sicherzustellen, dass die getroffene Annahme zutreffend ist.

Für die Lösung wählen wir zuerst einen Wert für R_f . Diese Komponente ist nicht kritisch für das Design und kann bei dieser Frequenz im Bereich von 470 kΩ bis 5 MΩ liegen wie in Tabelle 1 angegeben. Hier sei $R_f = 1 \text{ M}\Omega$. Der Wert von C_1 und C_2 zusammen mit C_{in} und C_{out} des Inverters (siehe Bild 3) dient zur Einstellung der am Quarz erforderlichen Lastkapazität. Für den Aufbau eines Taktgebers muss die Lastkapazität des Quarzes so spezifiziert werden, dass sie im Bereich der Standardwerte von 18 oder 20 pF liegt. Dies sind häufig verwendete Lastkapazitätswerte in der Quarzindustrie. Die dem Kristall in einem Pierce-Gate-Oszillatorkreis vorliegende Lastkapazität beträgt:

Die Spezifizierung in der Praxis

Der für derartige Taktgeber verwendete, als Massenware hergestellte Quarz hat einen Trimmungsempfindlichkeitsbereich von -15 bis -30 ppm/pF. Wir gehen vom oberen Ende dieses Bereichs aus, um uns eine Reserve von ± 30 ppm für die Kalibrierspezifizierung für den Quarz zu lassen. Daher stellen wir die Kalibrierspezifizierung für den Quarz auf $(50-30)$ oder ± 20 ppm ein. Nach Erhalt der Istdaten (C_0 und C_1) vom Quarzhersteller lässt sich prüfen, ob diese Spanne ausreicht. Dazu dient die Gleichung für Trimmungsempfindlichkeit mit der Toleranz der verwendeten Komponenten. Die Produktionstestdaten der Mittenfrequenz sollten analysiert und gegebenenfalls C_1 bzw. C_2 des Pierce-Oszillators eingestellt werden.

Je enger die Kalibrierspezifizierung des Quarzes gewählt ist, umso höher ist sein Preis. Heute wird ein in Massenproduktion hergestellter Quarz im Bereich von ± 25 bis ± 50 ppm bei Raumtemperatur kalibriert. Die Lastkapazität beeinflusst ebenfalls direkt die Kalibrierspezifizierung und den Preis. Wie aus Gleichung 3 zu erkennen ist, nimmt die Trimmungsempfindlichkeit mit abnehmendem C_L zu. Daher ist ein Quarz mit einer Belastung von 10 pF wesentlich schwieriger zu kalibrieren als ein Quarz mit einer Belastung von 20 pF derselben Bauform. Damit ist eine Lastkapazität von 3 pF mit einer geforderten Kalibrierung von ± 10 ppm ungünstig.

Mit dem Wert $C_2 = 27$ pF lässt sich ein Ausgangswert für R_S festlegen. Somit ist
$$R_S = (2\pi \cdot 20 \text{ MHz} \cdot 27 \text{ pF})^{-1} = 398 \Omega$$
 und wird auf 390Ω , den Standardwert von 5%, eingestellt.

(Normiert auf f_g des Quarzes)
Beim Quarztyp muss es sich um einen AT-Schnitt handeln, da ein BT-Schnitt nicht die Frequenzstabilität von ± 40 ppm über den Temperaturbereich von -20 bis 70 °C einhalten kann. Damit erhält man eine Ausgangsspezifikation abzüglich der Quarzbaugruppe. Der Entwickler gibt die über den Quarz verfügbaren Informationen an den Quarzhersteller weiter und verlangt den kostengünstigsten SMD-Quarz, der die elektrischen und mechanischen Spezifikationen erfüllt.

Insgesamt stellt sich die Ausgangsbauform wie folgt dar:

$$R_f = 1 \text{ M}\Omega, R_S = 390 \Omega, C_1 = 27 \text{ pF}, C_2 = 27 \text{ pF}$$

Die Quarzspezifikation lautet zum jetzigen Zeitpunkt:

- Frequenz: 20 MHz
- Typ: AT-Schnitt, Grundwellenquarz
- Lastkapazität: 20 pF (das bedeutet Parallelkristall)
- Frequenztoleranz/Kalibrierung: max. ± 20 ppm bei 25 °C
- Frequenzstabilität: max. ± 40 ppm über -20 bis 70 °C
- ESR: max. 40Ω
- Parallelkapazität (C_0): max. 7 pF
- Dynamische Kapazität (C_1): nicht angegeben

An diesem Punkt ist die Ausgangsbauform komplett, muss aber validiert werden. Allgemein gilt: Je höher die Produktmengen, desto mehr Wert sollte auf die Validierung des Oszillators gelegt werden. Validierung beinhaltet Folgendes (als Minimum):

- Messung der Verstärkungssicherheit
- Frequenzverhalten über den Temperaturbereich vs. Versorgungsspannung
- Anschwingverhalten bei Temperaturextremen und über den Versorgungsspannungsbereich
- Messung des Drive Levels über den Quarz

*Gerd Reinhold ist verantwortlich für das Produktmarketing FCP und Ramon C. Cerda ist Entwicklungsleiter bei Crystek

Datenblattauszug eines Schwingquarzes**CX-49G****SMD****■Features**

- It is a 4.5mm high, compact, crystal unit for surface mounting.
- It is able to cope by means of a metal case and completely sealed high resolution characteristics.
- Copes with high density mounting and is optimum for mass production models.

**■Specifications**

Type	CX-49G	
Frequency Range	3.2~24MHz	
Standard Frequency	Table 1	
Frequency Tolerance (at 25°C)	$\pm 50 \times 10^{-6}$	
Frequency Tolerance Over the Operating Temp. Range	$\pm 50 \times 10^{-6}$ (referred to 25°C)	
Operating Temp. Range	-10~+70°C	
Storage Temp. Range	40~+85°C	
Load Capacitance	3.2~9.999MHz 4.194303MHz 10~24MHz	16pF 11.5pF 12pF
Equivalent Series Resistance	Table 1	

* Taping item packaging : one unit 1,000 pcs

■Table 1 Standard Frequencies

Frequency (MHz)	Equivalent Series Resistance (ΩMAX.)	Frequency (MHz)	Equivalent Series Resistance (ΩMAX.)
3.2000	300	10.000	90
3.579545	150	10.240	90
3.6864	150	10.738635	90
4.000	150	11.000	90
4.194304	120	11.0592	90
4.433619	120	12.000	70
4.500	120	12.288	70
4.9152	100	14.31818	50
6.000	90	16.000	50
6.144	90	16.9344	50
7.3728	90	17.734476	50
8.000	90	20.000	50
8.4872	90	21.47727	50
9.8304	90	24.000	50

* Please inquire about frequencies other than the above.

Abb 25: Spezifikation Schwingquarz

Angaben zu Quarz Ersatzschaltbild Bauteilwerten

TABLE 2.1
Some Measured Quartz Crystal Parameters

Frequency	L_x (H)	C_x (pF)	R_s (Ω)	C_o (pF)
4 kHz	—	—	45,000	15.
50 kHz	—	—	20,000	9.
100 kHz	52.	0.049	400	8.
1 MHz	4.2	0.0060	240	3.4
10 MHz	0.0098	0.026	5	8.5
20 MHz (3d harmonic)	0.053	0.0012	—	5.6
50 MHz (3d harmonic)	—	—	—	4.2
100 MHz (5th harmonic)	—	—	—	5.7

Abb 26: Quarz Ersatzschaltbild Parameter aus Matthys, Crystal Oscillator Circuits

PLL (Phase Locked Loop)

Eine Phase Locked Loop ist ein System, welches die Phasenlage und damit die Frequenz eines veränderbaren Oszillators so beeinflusst, dass die Phasenabweichung zu einem äußeren System möglichst konstant wird.

PLL werden heutzutage dazu verwendet um stabile Frequenzen im GHz Bereich zu erzeugen.

Eine Phase locked loop besteht aus einem phase detector, einer charge pump einem voltage controlled oscillator sowie einer feedback loop incl frequency divider zum phase detector.

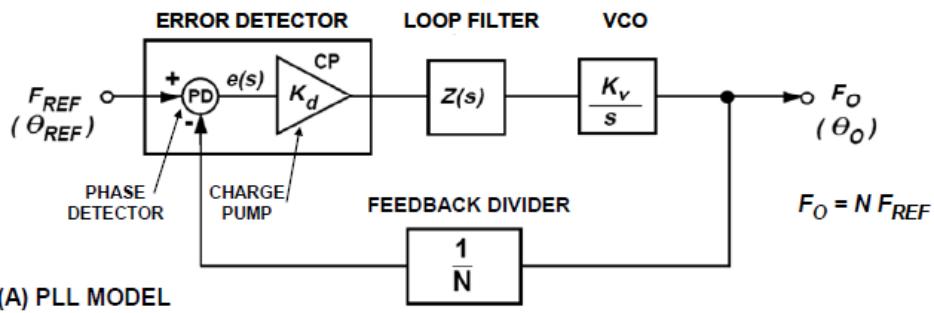


Abb 19: Modell einer PLL, Analog Devices

Phase (Frequency) Detector, PFD

Die einfachste Art eines Pasendetektors ist die Verwendung einer XOR Funktion für die Taktreferenz und das rückgekoppelte, heruntergeteilte Taktsignal.

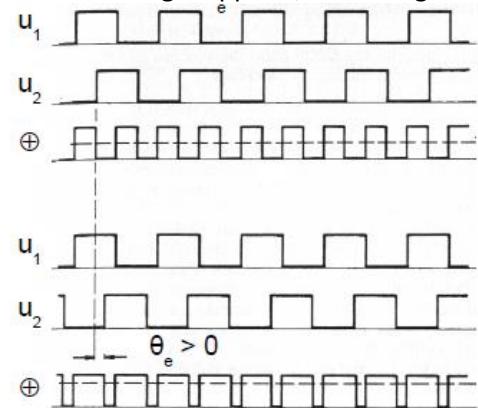


Abb 20: XOR Funktion als Phasendetektor

Es ist intuitiv sehr leicht zu erfassen, dass das Tastverhältnis aus der XOR Verknüpfung ein Maß für den Phasenfehler darstellt. Der Effektivwert hinter dem loop filter stellt somit eine Steuergröße für den VCO dar.

Im Unterschied zur XOR Funktion kann der Phase Frequency Detector nicht nur den Phasenfehler sondern auch eine Frequenzabweichung $\Delta\omega$ feststellen. Die entsprechende Schaltung ist in Abb 21 ersichtlich.

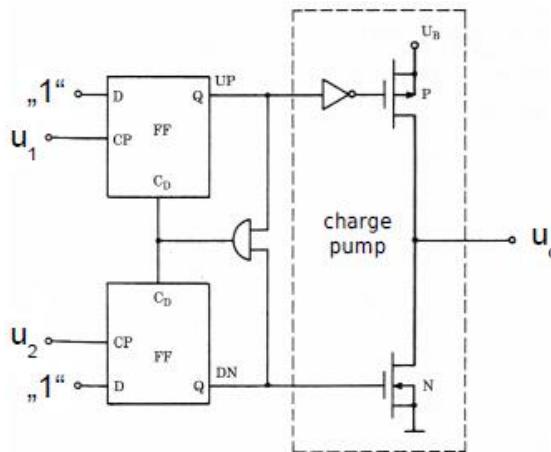


Abb 21: Phase Frequency Detector

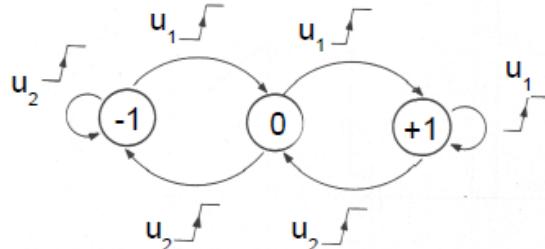


Abb 22: Zustandsdiagramm der PFD

Aufgabenstellung:

Mit Hilfe des Tutorials von Analog Devices, MT-086 sollte die Funktion des PFC erfasst, und in die Mitschrift übernommen werden.

Quellenhinweis:

Skriptenserver: Schrempf/EDT5 bzw

<http://www.analog.com/static/imported-files/tutorials/MT-086.pdf> (28.11.2014, 10:32)

Loop Filter

Das Ausgangssignal des PFD besteht aus einer Vielzahl von Frequenzanteilen (Fourier Analyse Rechtecksignal). Funktional interessant ist jedoch nur der Gleichanteil. Es ist daher notwendig die höheren Frequenzanteile durch ein Tiefpassfilter zu trennen.

Vielfach sind aktive bzw passive Filter erster Ordnung implementiert.

VCO

(siehe Mitschrift ...)

Frequency divider

(siehe Mitschrift ...)

Divider by two

Divider by three

Kennwerte bzw Parameter einer PLL

Lock range: PLL folgt der Frequenzänderung innerhalb eines Taktes

Pull out range: spezifizierte Zeit für größere Frequenzänderungen um wieder den „locked“ Zustand zu erreichen.

Lock time: tbd.

Operationsbereich: der von der PLL überdeckte Frequenzbereich

Frequenzmultiplikator: ganzzahlig / fraktional

Ordnung der PLL: Ordnung des Loop filters

Frequenzstabilität / Jitter

Aufgabenstellung 1:

Nimm das zur Verfügung gestellte Datenblatt einer PLL und versuche die eben genannten Parameter zuzuordnen. Übertrage die Parameter in das Heft.

Aufgabenstellung 2:

- 1) Erkläre die Funktionsweise einer PLL anhand eines Blockschaltbildes zur Übersicht.
- 2) Wozu verwendet man einen PFD, und wie funktioniert eine solche Schaltung?
- 3) Wie wird in einer PLL die Hochfrequenz erzeugt? Wie kann diese Frequenz beeinflusst werden?

DTO (Discrete Time Oscillator)

Ein DTO ist ein Akkumulator mit der Wortbreite mit einer Rückkopplung auf den Eingang. Mit jedem clock cycle wird dem Akkumulator Inhalt ein Increment Wert hinzugefügt. Das MSB des Akkumulators stellt den auf diese Weise erzeugten Takt dar. Die Frequenz des Taktes ist von der Frequenz des Eingangstaktes, der Wortbreite des Akkumulators sowie von der Höhe des Increments abhängig.

Mitschrift: Blockschaltbild eines DTO

Als Beispiel sei das DTO Increment eines typischen Taktes einer Video Backendstufe aus einem PLL Takt von 1,296GHz errechnet.

$$dto_freq = \frac{increment * clk_pll}{2^{akku_width}}$$

$$increment = \frac{dtofreq * 2^{akku_width}}{clk_pll} = \frac{81MHz * 2^{24}}{1296MHz} = 1048576$$

Taktsysteme

Aufgabenstellung:

Studiere das Taktsystem auf Abb 23 und extrahiere den Aufbau in ein einfacheres Blockschaltbild.
Übertrage dieses in Deine Mitschrift.

Reset Erzeugung

Systemüberlegungen zum Reset komplexer Anwendungen.

Was ist zu resetieren?

Register / FF's

BILBO

Dauer des Reset-Signales?

Stabile Versorgungsspannung

PLL-lock time

RAM Initialisierung -> BILBO

Pipelined Register Structures Initialisierung

Es ist zwischen Systemstart und laufendem Betrieb zu unterscheiden

- a) Einfache Resetschaltung
- b) Power-On-Reset
- c) Spannungs-Überwachung mit speziellen Bausteinen (MAX80x)
- d) Monoflop mit NE555 (siehe Timerbaustein)
- e) Systembetrachtung einer ASIC Resetschaltung
 - Spike Filter
 - Rest Delay
 - Reset Synchronisierung
 - Timing violation
 - Synchronizer
 - Metastabilitiy

Systembild (Reset)

Aufgabenstellungen:

- 1) Welche Gesichtspunkte müssen bei der Erstellung einer Resetschaltung berücksichtigt werden?
- 2) Wie funktioniert ein POR (Schaltung, Timingdiagramm)?
- 3) Gib einen Implementierungsvorschlag zur Resetgenerierung und Spannungsüberwachung eines uC mit gleichzeitig unterschiedlichen Versorgungsspannungen.
- 4) Zeichne ein Filter zur Spikeunterdrückung. Was ist dabei zu beachten?
- 5) Wie kann eine Delay Funktion in HW realisiert werden?

Anhang

Blockschaltbild eines komplexen Taktsystems

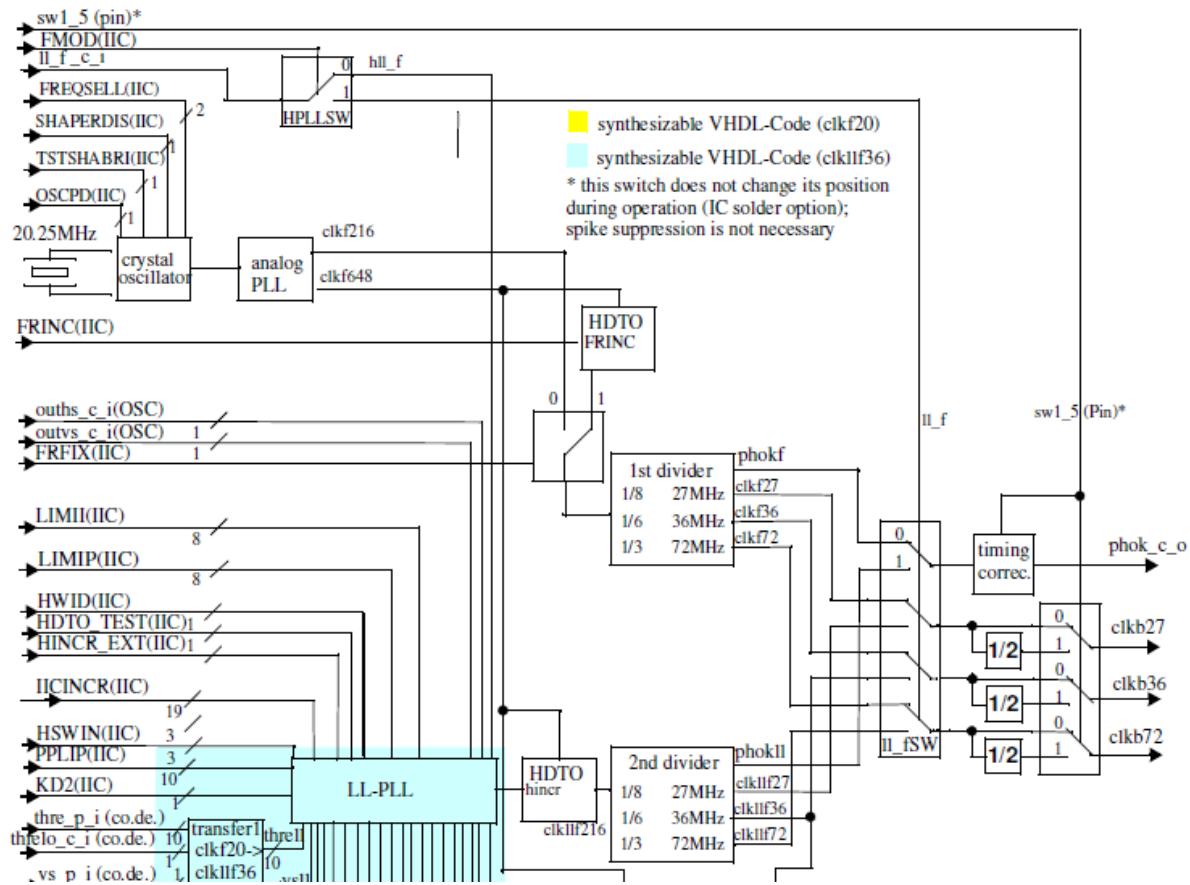


Abb 23: Taktsystem eines ASIC Bausteines aus dem Videobereich

Zusammenstellung der Eigenschaften von Sinusoszillatoren

AN-263

Sine-Wave-Generation Techniques

Type	Typical Frequency Range	Typical Distortion (%)	Typical Amplitude Stability (%)	Comments
Phase Shift	10 Hz–1 MHz	1–3	3 (Tighter with Servo Control)	Simple, inexpensive technique. Easily amplitude servo controlled. Resistively tunable over 2:1 range with little trouble. Good choice for cost-sensitive, moderate-performance applications. Quick starting and settling.
Wein Bridge	1 Hz–1 MHz	0.01	1	Extremely low distortion. Excellent for high-grade instrumentation and audio applications. Relatively difficult to tune—requires dual variable resistor with good tracking. Take considerable time to settle after a step change in frequency or amplitude.
LC Negative Resistance	1 kHz–10 MHz	1–3	3	Difficult to tune over wide ranges. Higher Q than RC types. Quick starting and easy to operate in high frequency ranges.
Tuning Fork	60 Hz–3 kHz	0.25	0.01	Frequency-stable over wide ranges of temperature and supply voltage. Relatively unaffected by severe shock or vibration. Basically untunable.
Crystal	30 kHz–200 MHz	0.1	1	Highest frequency stability. Only slight (ppm) tuning possible. Fragile.
Triangle-Driven Break-Point Shaper	< 1 Hz–500 kHz	1–2	1	Wide tuning range possible with quick settling to new frequency or amplitude.
Triangle-Driven Logarithmic Shaper	< 1 Hz–500 kHz	0.3	0.25	Wide tuning range possible with quick settling to new frequency or amplitude. Triangle and square wave also available. Excellent choice for general-purpose requirements needing frequency-sweep capability with low-distortion output.
DAC-Driven Logarithmic Shaper	< 1 Hz–500 kHz	0.3	0.25	Similar to above but DAC-generated triangle wave generally easier to amplitude-stabilize or vary. Also, DAC can be addressed by counters synchronized to a master system clock.
ROM-Driven DAC	1 Hz–20 MHz	0.1	0.01	Powerful digital technique that yields fast amplitude and frequency slewing with little dynamic error. Chief detriments are requirements for high-speed clock (e.g., 8-bit DAC requires a clock that is 256 x output sine wave frequency) and DAC glitching and settling, which will introduce significant distortion as output frequency increases.

Low Distortion Oscillation

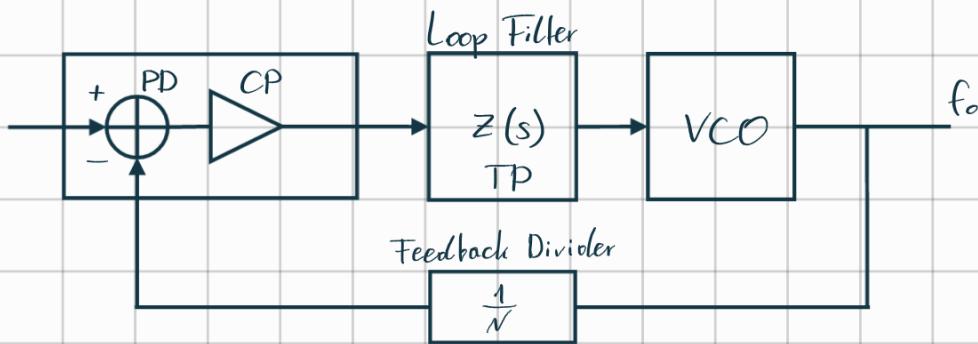
In many applications the distortion levels of a phase shift oscillator are unacceptable. Very low distortion levels are provided by Wein bridge techniques. In a Wein bridge stable oscillation can only occur if the loop gain is maintained at unity at the oscillation frequency. In Figure 2a this is achieved by using the positive temperature coefficient of a small lamp to regulate gain as the output attempts to vary. This is a classic technique and has been used by numerous circuit designers* to achieve low distortion. The smooth limiting action of the positive temperature coefficient bulb in combination with the near ideal characteristics of the Wein

network allow very high performance. The photo of Figure 3 shows the output of the circuit of Figure 2a. The upper trace is the oscillator output. The middle trace is the downward slope of the waveform shown greatly expanded. The slight aberration is due to crossover distortion in the FET-input LF155. This crossover distortion is almost totally responsible for the sum of the measured 0.01% distortion in this oscillator. The output of the distortion analyzer is shown in the bottom trace. In the circuit of Figure 2b, an electronic equivalent of the light bulb is used to control loop gain. The zener diode determines the output amplitude and the loop time constant is set by the 1M-2.2 μ F combination.

Abb 24: Application Note von National Semiconductor, mittlerweile von Texas Instruments übernommen.
<http://www.ti.com/lit/an/snoa665c/snoa665c.pdf>

PLL

Eine PLL ist ein System, welches die Phasenlage und damit die Frequenz eines veränderbaren Oszillators so beeinflusst, dass die Phasenabweichung zu einem äußeren System möglich konstant wird.



VCO ... voltage controlled oscillator

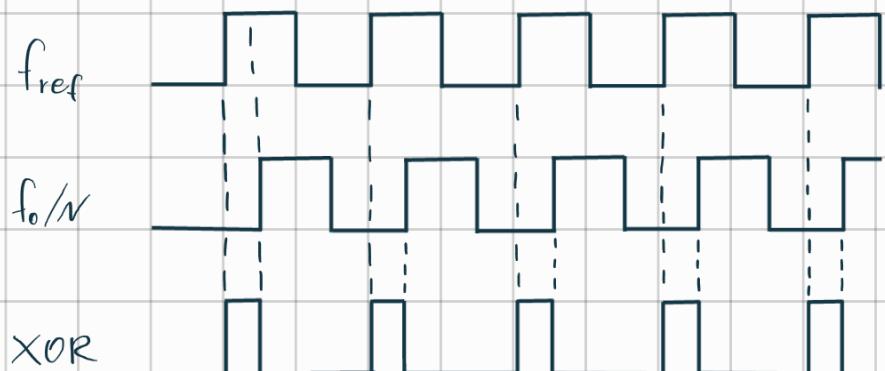
PD ... Phase detector

CP ... Charge pump

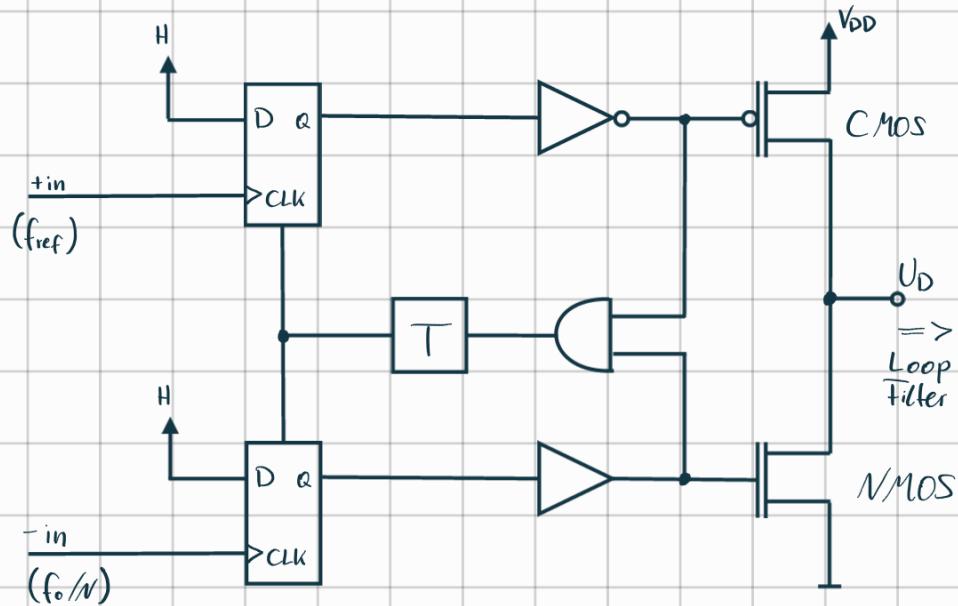
PD, PFD (Phase frequency detector)

Der PD vergleicht die Referenz-Frequenz f_{ref} mit der um den Faktor n dividierten Ausgangsfrequenz f_0 des VCO.

Sind beide Frequenzen gleich, ist die PLL im "locked"-Zustand. Ansonsten wird ein der Abweichung proportionales Signal ausgegeben. Ein einfaches Modell für einen Phasendetektor ist ein XOR-Gatter.



Eine sehr populäre Implementierung ist der Phase-Frequency-Detector (PFD).



Der Phase-Frequency-Detector erkennt zusätzlich noch Frequenzverschiebungen df .

Das Delay-Element T ist notwendig, um ein periodisches Driftverhalten zu verhindern.

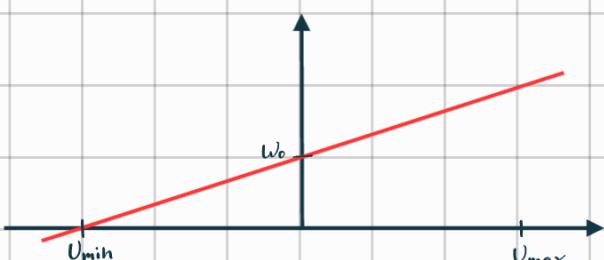
Loop Filter

Das rechteckförmige Ausgangssignal des PFD besteht aus einer Vielzahl von Frequenzen. Für den Regelkreis relevant ist jedoch nur sein DC-Anteil. Die übrigen Frequenzanteile werden durch den Loop-Filter eliminiert. Der Filter hat daher eine Tiefpass-Charakteristik.

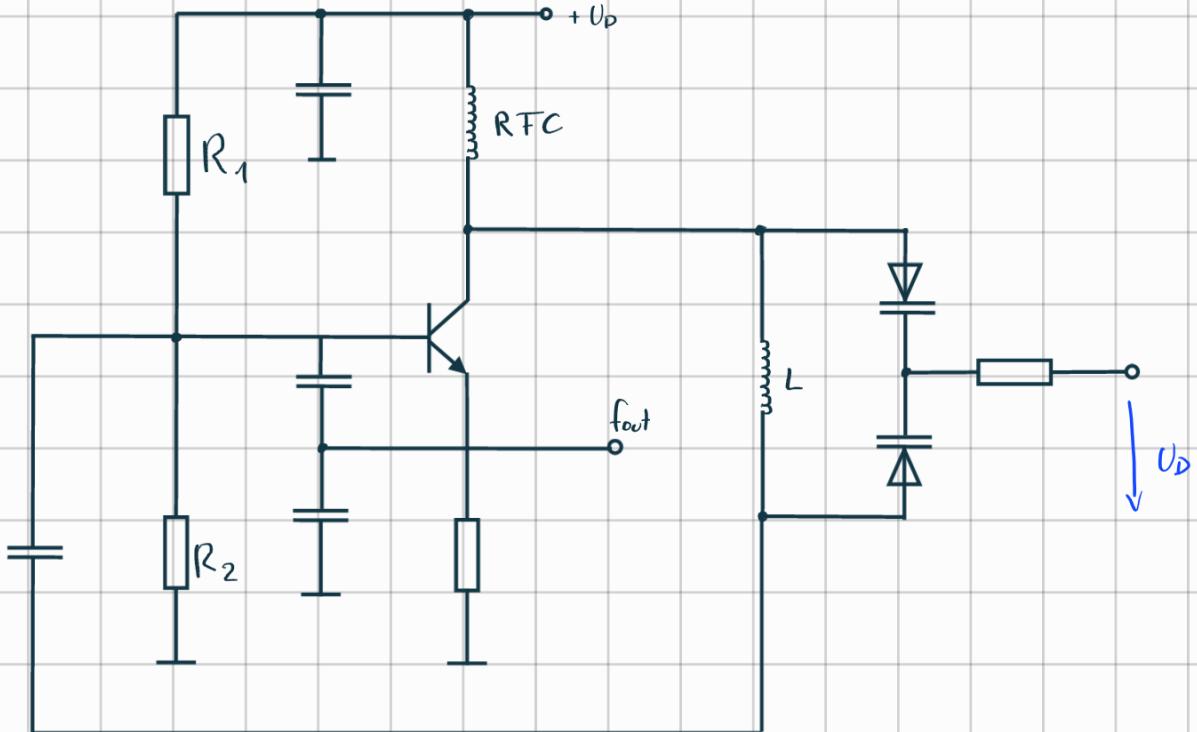
Vielfach sind aktive bzw. passive 1. Ordnung implementiert.

VCO - Voltage controlled oscillator

Der Oszillator setzt die Information des Phasendetektors in eine Rechteckschwingung um. Interessant ist die sogenannte Center-Frequency, also jene Frequenz mit der der Oszillator im locked-Zustand schwingt. Um sie herum findet der Regelsvorgang statt.



In PLL-Schaltungen kommen für die Oszillatoren hauptsächlich LC (aber auch RC) Oszillatoren, sowie Ring-Oszillatoren zum Einsatz.
 Beim LC-Oszillator wird ein Schwingkreis bestehend aus einer Induktivität und einer Kapazität verwendet. Mittels Kapazitätsdiode ist die Resonanzfrequenz einstellbar.



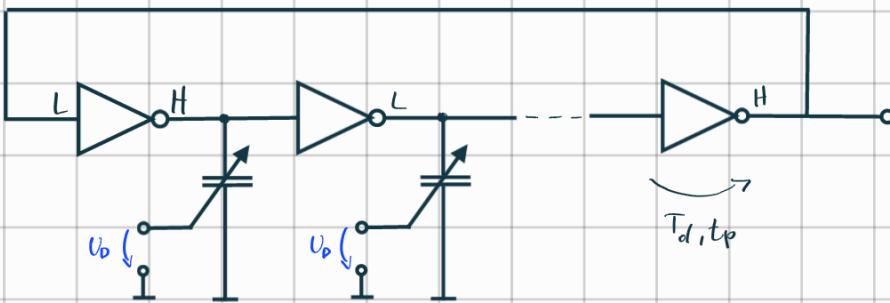
Kennwerte:

- Lock range: PLL folgt der Frequenzänderung innerhalb e. Taktes.
- Pull out range: spezifizierte Zeit für größere Frequenzänderungen um wieder den "locked"-Zustand zu erreichen.
- Lock time: tbd.
- Operationsbereich: der von der PLL überdeckte Frequenzbereich.
- Frequenzmultiplikator: ganzzahlig / fraktional
- Ordnung der PLL: Ordnung des Loop-Filters
- Frequenzstabilität/Jitter

Datenblatt-Werte:

- Frequenzmultiplikator: Factor 32
- Ordnung der PLL: 3. Ordnung
- Jitter: < 35 ps
- Period time: ca. 1 ps

Ringoszillator



kap. Tuning der
delay time

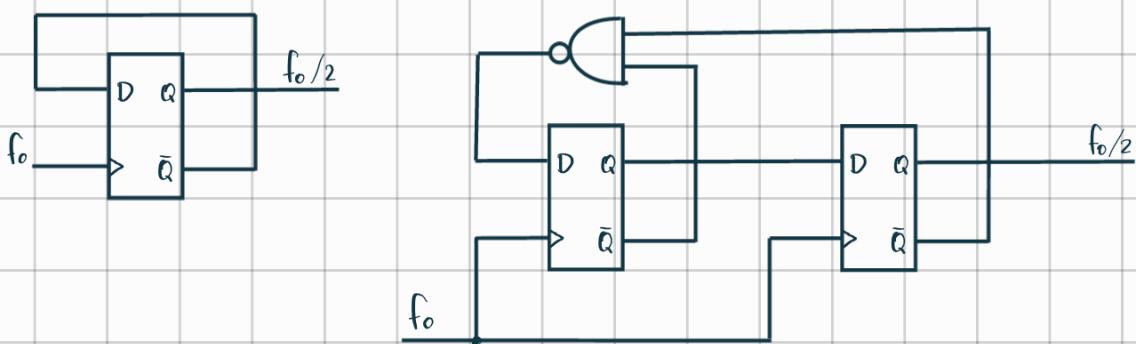
M ... Anzahl der Inverterstufen

$$\text{Oscillator frequency: } f_{\text{osz}} = \frac{1}{2M T_d} \quad T_d \dots \text{delay time (} t_p \text{ propagation delay)}$$

Ein Ringoszillator besteht aus einer in Reihe geschalteten Kette von Invertern. Es gelten die Barkhausen-Kriterien, d.h. openloop gain > 1 und openloop phase shift must be an odd integer of 180 degrees. Die Delay-Time eines einzelnen Inverters lässt sich auf kapazitive/resistive Weise oder durch Beeinflussung des Querstromes beim Schaltvorgang des Gatters verändern.

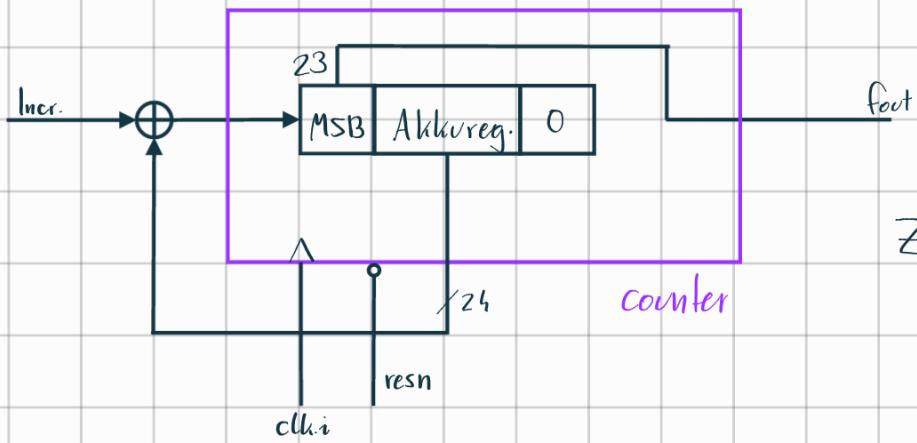
Clock-Divider

Zweierpotenzen ($2, 4, 8, \dots$) lassen sich sehr leicht über kaskadierte D-FF erzeugen.



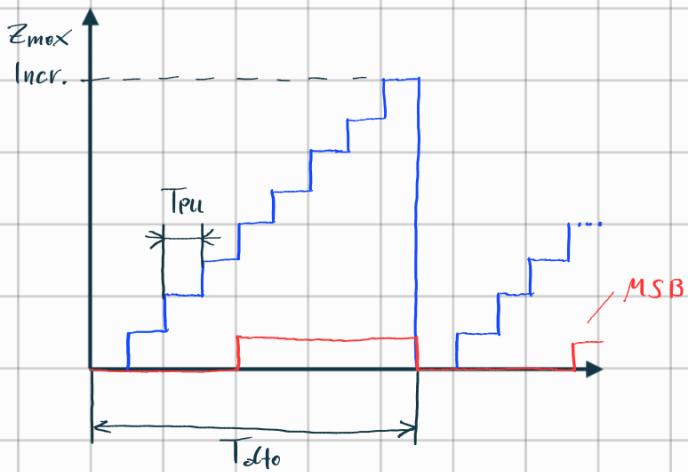
DTO (Discrete-Time-Oscillator)

Ein DTO ist ein Akkumulator mit der Wortbreite mit einer Rückkopplung auf den Eingang. Mit jedem clock cycle wird dem Akkumulator Inhalt ein Increment Wert hinzugefügt. Das MSB des Akkumulators stellt den auf diese Weise erzeugten Takt dar. Die Frequenz des Taktes ist von der Frequenz des Eingangstaktes, der Wortbreite des Akkumulators sowie von der Höhe des Increment abhängig.



$$Z_{\max} = 2^{\text{width}} - 1$$

$$\text{pll freq} = \frac{1}{T_{\text{PLL}}}$$



$$\text{dto freq} = \frac{1}{T_{\text{DTO}}}$$

$$\frac{T_{\text{DTO}}}{T_{\text{PLL}}} = \frac{Z_{\max}}{\text{incr.}} = \frac{\text{pll freq}}{\text{dto freq}}$$

Das MSB des Akkureg. stellt das Ausgangsclocksignal des DTO dar. Die Frequenz hängt von folgenden Parametern ab:

- Taktfrequenz
- Breite des Akkureg.
- Increment Wert

Rechenbeispiel

- DTO-Breite = 16 Bit
- $\text{pll freq} = 16 * 10^6 \text{ Hz}$
- $\text{dto freq} = 80 * 10^3 \text{ Hz}$

ges. increment value

$$\text{incr} = \frac{\text{dto freq} \cdot Z_{\max}}{\text{pll freq}} = \frac{80 \cdot 10^3 \cdot (2^{16} - 1)}{16 \cdot 10^6} = 328$$

Beispiel-Entwurf eines Taktsystems bestehend aus PGO, PLL, DTO welches zwei synchrone Takte mit 72MHz und 108 MHz erzeugt.

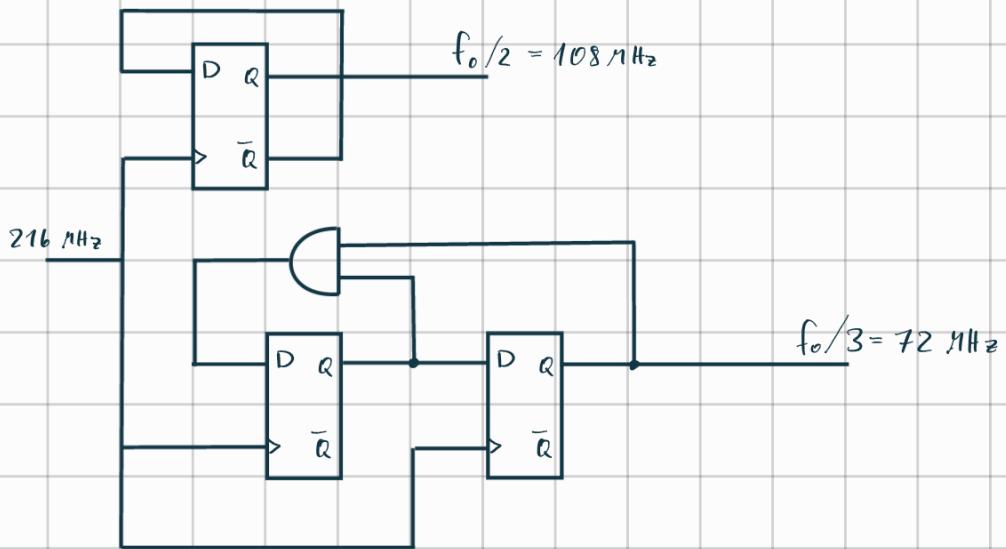
Gesucht ist:

1. Blockschaltbild
2. Schaltung des Taktteilers $\text{pllfreq} = 216\text{MHz}$

1.)



2.)



Fundamentals of Phase Locked Loops (PLLs)

FUNDAMENTAL PHASE LOCKED LOOP ARCHITECTURE

A phase-locked loop is a feedback system combining a voltage controlled oscillator (VCO) and a phase comparator so connected that the oscillator maintains a constant phase angle relative to a reference signal. Phase-locked loops can be used, for example, to generate stable output high frequency signals from a fixed low-frequency signal.

Figure 1A shows the basic model for a PLL. The PLL can be analyzed as a negative feedback system using Laplace Transform theory with a forward gain term, $G(s)$, and a feedback term, $H(s)$, as shown in Figure 1B. The usual equations for a negative feedback system apply.

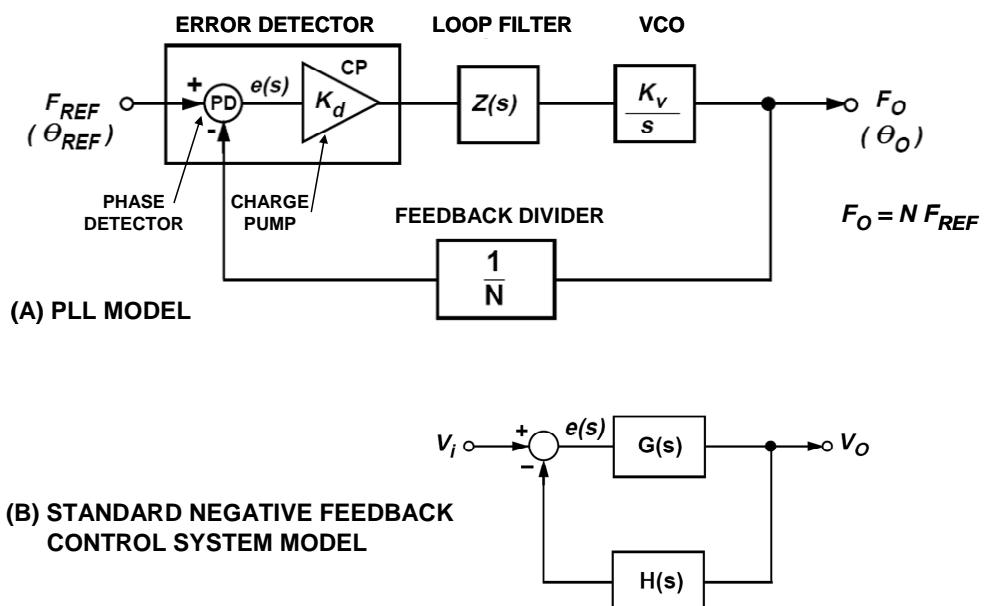


Figure 1: Basic Phase Locked Loop (PLL) Model

The basic blocks of the PLL are the *Error Detector* (composed of a *phase frequency detector* and a *charge pump*), *Loop Filter*, *VCO*, and a *Feedback Divider*. Negative feedback forces the error signal, $e(s)$, to approach zero at which point the feedback divider output and the reference frequency are in phase and frequency lock, and $F_O = N F_{REF}$.

Referring to Figure 1, a system for using a PLL to generate higher frequencies than the input, the VCO oscillates at an angular frequency of ω_0 . A portion of this signal is fed back to the error detector, via a frequency divider with a ratio $1/N$. This divided down frequency is fed to one input of the error detector. The other input in this example is a fixed reference signal. The error detector compares the signals at both inputs. When the two signal inputs are equal in phase and frequency, the error will be constant and the loop is said to be in a “locked” condition.

PHASE FREQUENCY DETECTOR (PFD)

Figure 2 shows a popular implementation of a *Phase Frequency Detector* (PFD), basically consisting of two D-type flip flops. One Q output enables a positive current source; and the other Q output enables a negative current source. Assuming that, in this design, the D-type flip flop is positive-edge triggered, the possible states are shown in the logic table.

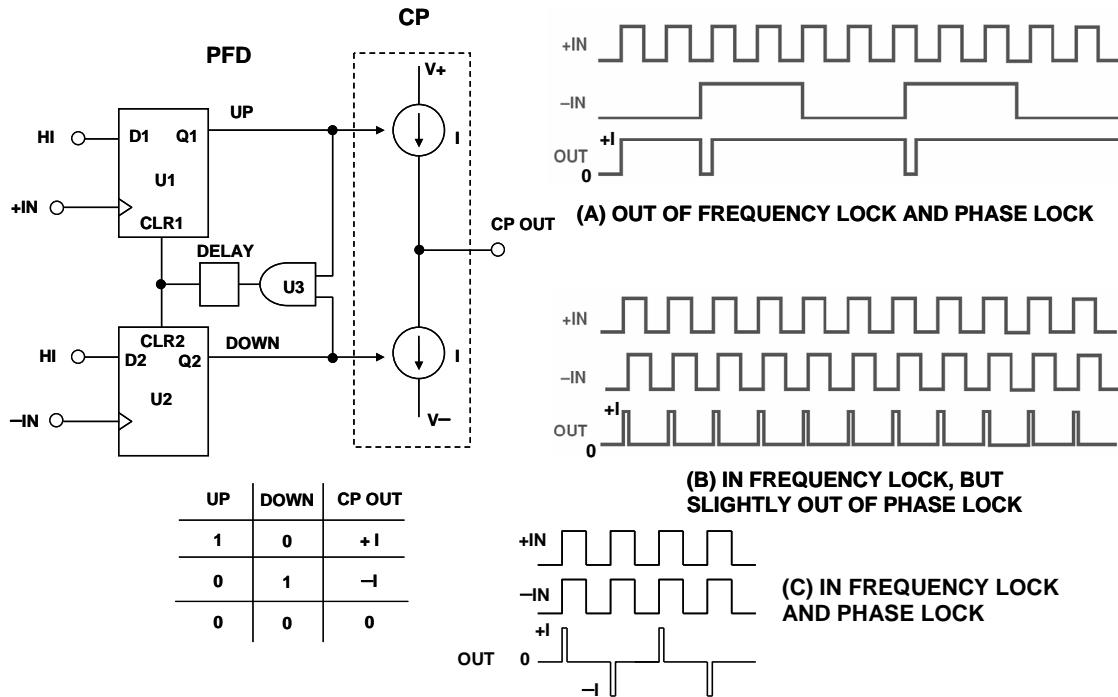


Figure 2: Phase/Frequency Detector (PFD) Driving Charge Pump (CP)

Consider now how the circuit behaves if the system is out of lock and the frequency at +IN is much higher than the frequency at -IN, as shown in Figure 2A. Since the frequency at +IN is much higher than that at -IN, the UP output spends most of its time in the high state. The first rising edge on +IN sends the output high and this is maintained until the first rising edge occurs on -IN. In a practical system this means that the output, and thus the input to the VCO, is driven higher, resulting in an increase in frequency at -IN. This is exactly what is desired. If the frequency on +IN were much lower than on -IN, the opposite effect would occur. The output at OUT would spend most of its time in the low condition. This would have the effect of driving the VCO in the negative direction and again bring the frequency at -IN much closer to that at +IN, to approach the locked condition.

Figure 2B shows the waveforms when the inputs are frequency-locked and close to phase-lock. Since +IN is leading -IN, the output is a series of positive current pulses. These pulses will tend to drive the VCO so that the -IN signal become phase-aligned with that on +IN. When this occurs, [redacted] of U1 and U2, it would be possible for the output to be in high-impedance mode, producing neither positive nor negative current pulses. [redacted]

The [redacted] and started producing either positive or negative current pulses once again. Over a relatively long period of time, the effect of this cycling would be for the output of the charge pump to be modulated by a signal that is a sub-harmonic of the PFD input reference frequency. Since this could be a low frequency signal, it would not be attenuated by the loop filter and would result in very significant spurs in the VCO output spectrum, a phenomenon known as the "backlash" or "dead zone" effect.

The delay element between the output of U3 and the CLR inputs of U1 and U2 ensures that it does not happen. With the delay element, even when the +IN and -IN are perfectly phase-aligned, there will still be a current pulse generated at the charge pump output as shown in Figure 2C. The duration of this delay is equal to the delay inserted at the output of U3 and is known as the anti-backlash pulse width.

Note that if the +IN frequency is lower than the -IN frequency and/or the +IN phase lags the -IN phase, then the output of the charge pump will be a series of negative current pulses—the reverse of the condition shown in (A) and (B) in Figure 2.

PRESCALERS

In the classical Integer-N synthesizer, the resolution of the output frequency is determined by the reference frequency applied to the phase detector. So, for example, if 200 kHz spacing is required (as in GSM phones), then the reference frequency must be 200 kHz. However, getting a stable 200 kHz frequency source is not easy. A sensible approach is to take a good crystal-based high frequency source and divide it down. For example, the desired frequency spacing could be achieved by starting with a 10 MHz frequency reference and dividing it down by 50. This approach is shown in Figure 3A.

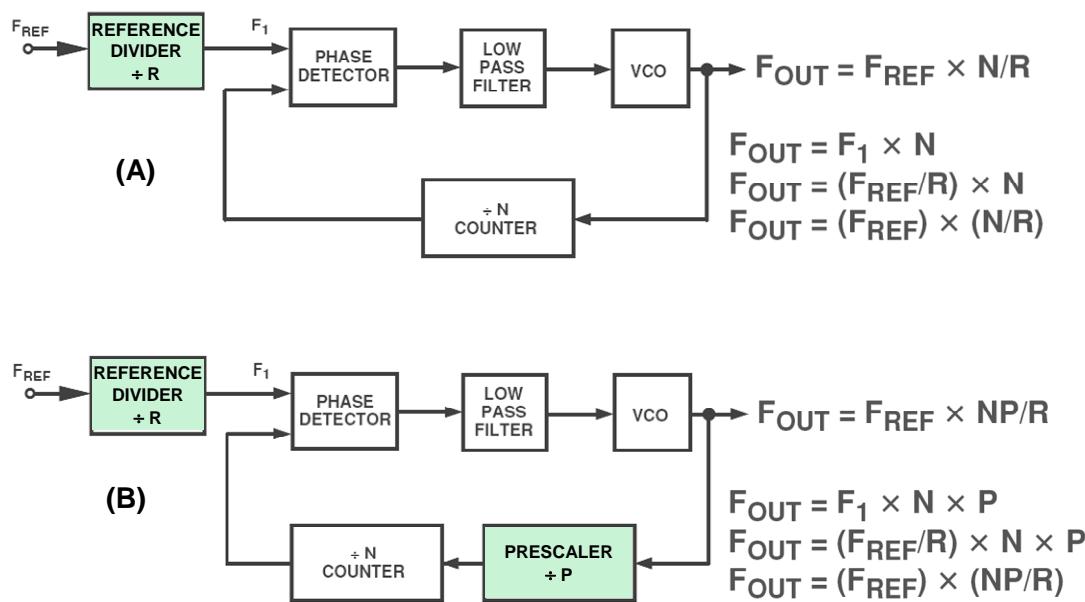


Figure 3: Adding an Input Reference Divider and a Prescaler to the Basic PLL

The "N counter," also known as the N divider, is the programmable element that sets the relationship between the input and output frequencies in the PLL. The complexity of the N counter has grown over the years. In addition to a straightforward N counter, it has evolved to include a *prescaler*, which can have a *dual modulus*. This structure has grown as a solution to the problems inherent in using the basic divide-by-N structure to feed back to the phase detector when very high-frequency outputs are required. For example, let's assume that a 900 MHz output is required with 10 Hz spacing. A 10 MHz reference frequency might be used, with the R-Divider set at 1000. Then, the N-value in the feedback would need to be of the order of 90,000. This would mean at least a 17-bit counter capable of dealing with an input frequency of 900 MHz. To handle this range, it makes sense to precede the programmable counter with a fixed counter element to bring the very high input frequency down to a range at which standard CMOS will operate. This counter, called a *prescaler*, is shown in Figure 3B.

However, note that using a standard prescaler as shown reduces the system resolution to $F_1 \times P$. This issue can be addressed by using a dual-modulus prescaler which has the advantages of a standard prescaler, but without loss of resolution. A dual-modulus prescaler is a counter whose division ratio can be switched from one value to another by an external control signal. Its use is described shown in Figure 4.

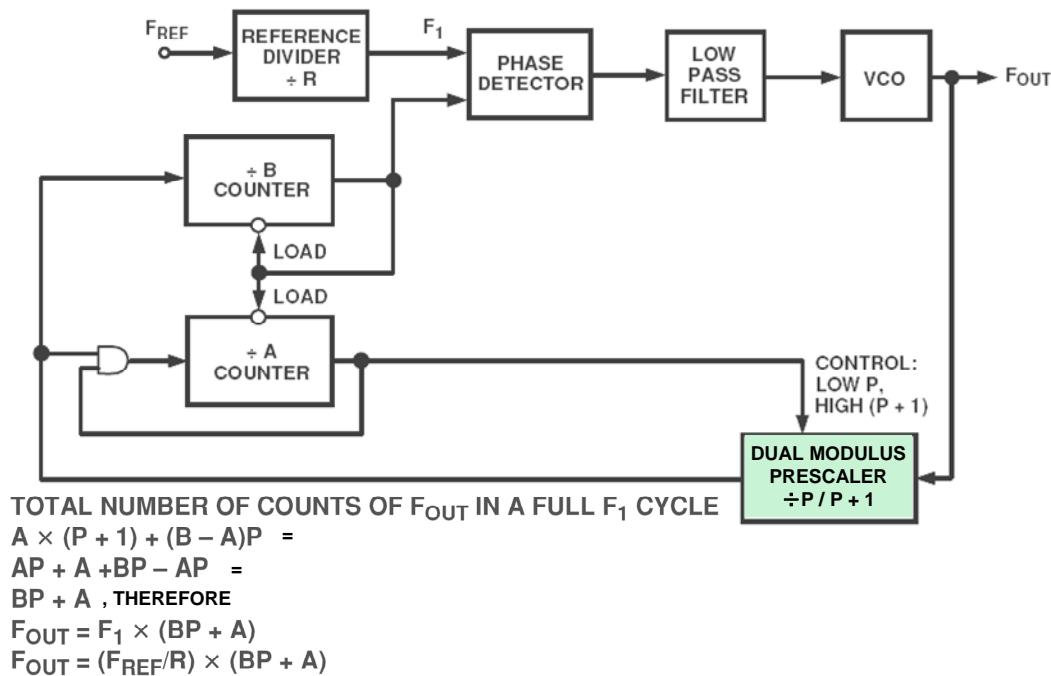


Figure 4: Adding a Dual Modulus Prescaler to the PLL

By using the dual-modulus prescaler with an A and B counter, one can still maintain output resolution of F_1 . However, the following conditions must be met:

1. The output signals of both counters are High if the counters have not timed out.
2. When the B counter times out, its output goes Low, and it immediately loads both counters to their preset values.

3. The value loaded to the B counter must always be greater than that loaded to the A counter.

Assume that the B counter has just timed out and both counters have been reloaded with the values A and B. Let's find the number of VCO cycles necessary to get to the same state again.

As long as the A counter has not timed out, the prescaler is dividing down by $P + 1$. So, both the A and B counters will count down by 1 every time the prescaler counts $(P + 1)$ VCO cycles. This means the A counter will time out after $((P + 1) \times A)$ VCO cycles.

At this point the prescaler is switched to divide-by-P. It is also possible to say that at this time the B counter still has $(B - A)$ cycles to go before it times out. How long will it take to do this: $((B - A) \times P)$.

The system is now back to the initial condition where we started.

The total number of VCO cycles needed for this to happen is :

$$\begin{aligned} N &= [A \times (P + 1)] + [(B - A) \times P] \\ &= AP + A + BP - AP \\ &= BP + A. \end{aligned}$$

Therefore, $F_{\text{OUT}} = (F_{\text{REF}}/R) \times (BP + A)$, as in Figure 4.

There are many specifications to consider when designing a PLL. The input RF frequency range and the channel spacing determine the value of the R and N counter and the prescaler parameters.

The loop bandwidth determines the frequency and phase lock time. Since the PLL is a negative feedback system, phase margin and stability issues must be considered.

Spectral purity of the PLL output is specified by the phase noise and the level of the reference-related spurs.

Many of these parameters are interactive; for instance, lower values of loop bandwidth lead to reduced levels of phase noise and reference spurs, but at the expense of longer lock times and less phase margin.

Because of the many tradeoffs involved, the use of a PLL design program such as the Analog Devices' [ADIsimPLL™](#) allows these tradeoffs to be evaluated and the various parameters adjusted to fit the required specifications. The program not only assists in the theoretical design, but also aids in parts selection and determines component values.

OSCILLATOR/PLL PHASE NOISE

A PLL is a type of oscillator, and in any oscillator design, frequency stability is of critical importance. We are interested in both long-term and short-term stability. Long-term frequency

stability is concerned with how the output signal varies over a long period of time (hours, days, or months). It is usually specified as the ratio, $\Delta f/f$ for a given period of time, expressed as a percentage or in dB.

Short-term stability, on the other hand, is concerned with variations that occur over a period of seconds or less. These variations can be random or periodic. A spectrum analyzer can be used to examine the short-term stability of a signal. Figure 5 shows a typical spectrum, with random and discrete frequency components causing a broad skirt and spurious peaks.

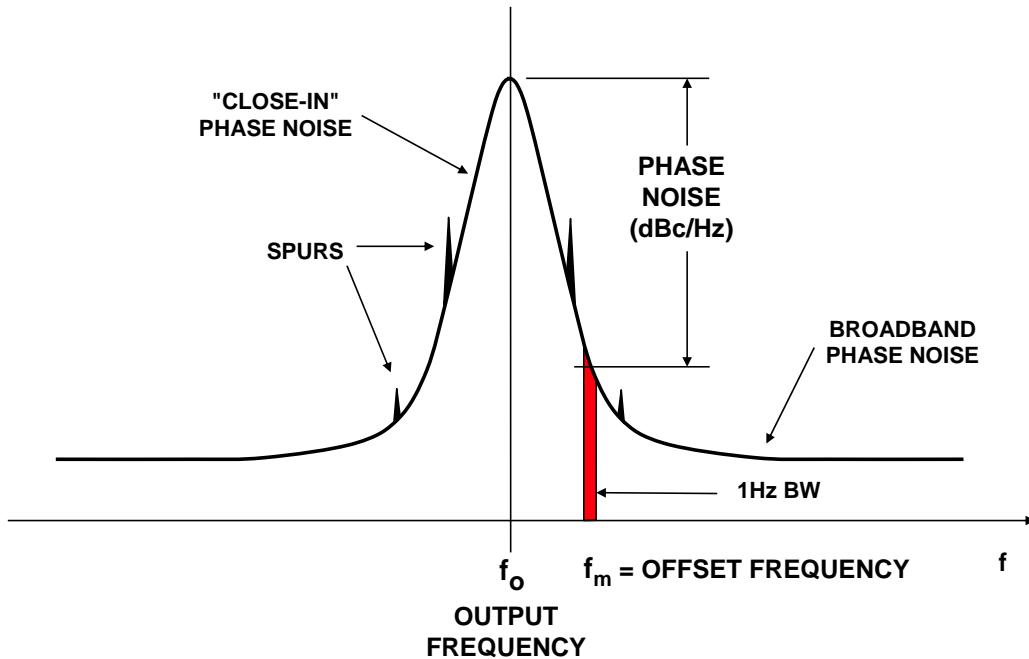


Figure 5: Oscillator Phase Noise and Spurs

The discrete spurious components could be caused by known clock frequencies in the signal source, power line interference, and mixer products. The broadening caused by random noise fluctuation is due to phase noise. It can be the result of thermal noise, shot noise, and/or flicker noise in active and passive devices.

The phase noise spectrum of an oscillator shows the noise power in a 1 Hz bandwidth as a function of frequency. Phase noise is defined as the ratio of the noise in a 1 Hz bandwidth at a specified frequency offset, f_m , to the oscillator signal amplitude at frequency f_o .

It is customary to characterize an oscillator in terms of its single-sideband phase noise as shown in Figure 6, where the phase noise in dBc/Hz is plotted as a function of frequency offset, f_m , with the frequency axis on a log scale. Note the actual curve is approximated by a number of regions, each having a slope of $1/f^x$, where $x = 0$ corresponds to the "white" phase noise region (slope = 0 dB/decade), and $x = 1$, corresponds to the "flicker" phase noise region (slope = -20 dB/decade). There are also regions where $x = 2, 3, 4$, and these regions occur progressively closer to the carrier frequency.

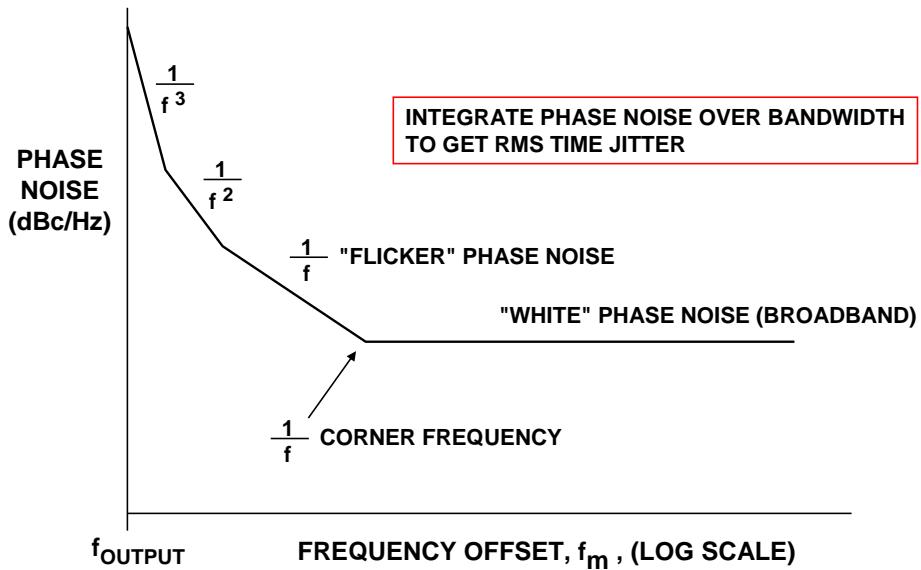


Figure 6: Phase Noise in dBc/Hz Versus Frequency Offset from Output Frequency

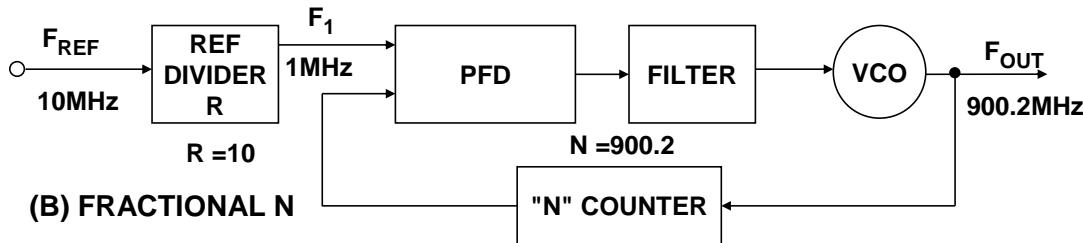
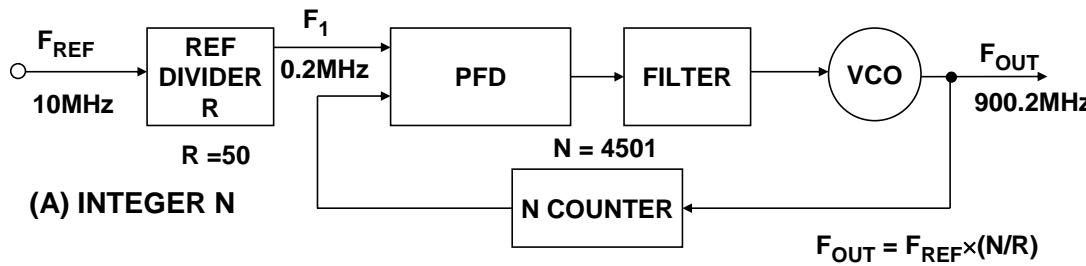
Note that the phase noise curve is somewhat analogous to the input voltage noise spectral density of an amplifier. Like amplifier voltage noise, low $1/f$ corner frequencies are highly desirable in an oscillator.

In some cases, it is useful to convert phase noise into time jitter. This can be done by basically integrating the phase noise plot over the desired frequency range. (See [Tutorial MT-008, Converting Oscillator Phase Noise to Time Jitter](#)). The ability to perform this conversion between phase noise and time jitter is especially useful when using the PLL output to drive an ADC sampling clock. Once the time jitter is known, its effect on the overall ADC SNR can be evaluated. The [ADIsimPLL™](#) program (to be discussed shortly) performs the conversion between phase noise and time jitter.

FRACTIONAL-N PHASE LOCKED LOOPS

Fractional-N PLLs have been utilized since the 1970s. As has been discussed, the resolution at the output of an integer-N PLL is limited to steps of the PFD input frequency as shown in Figure 7A, where the PFD input is 0.2 MHz.

Fractional-N allows the resolution at the PLL output to be reduced to small fractions of the PFD frequency as shown in Figure 7B, where the PFD input frequency is 1 MHz. It is possible to generate output frequencies with resolutions of 100s of Hz, while maintaining a high PFD frequency. As a result the N-value is significantly less than for integer-N.



$$"N" = N_{INTEGER} + \frac{N_{FRACTION}}{N_{MODULUS}} = 900 + \frac{N_{FRACTION}}{5}$$

Figure 7: Integer-N Compared to Fractional-N Synthesizer

Since noise at the charge pump is multiplied up to the output at a rate of $20\log N$, significant improvements in phase noise are possible. For a GSM900 system, the fractional-N [ADF4252](#) offers phase noise performance of -103 dBc/Hz, compared with -93 dBc/Hz for the [ADF4106](#) integer-N PLL.

Also offering a significant advantage is the lock-time improvement made possible by fractional-N. The PFD frequency set to 20 MHz and loop bandwidth of 150 kHz will allow the synthesizer to jump 30 MHz in less than 30 μ s. Current base stations require two PLL blocks to ensure that LOs can meet the timing requirements for transmissions. With the super-fast lock times of fractional-N, future synthesizers will have lock time specs that allow the two “ping-pong” PLLs to be replaced with a single fractional-N PLL block.

The downside of fractional-N PLLs is higher spurious levels. A fractional-N divide by 900.2 (See Figure 7B) consists of the N-divider dividing by 900 80% of the time, and by 901 20% of the time. The average division is correct, but the instantaneous division is incorrect. Because of this, the PFD and charge pump are constantly trying to correct for instantaneous phase errors. The heavy digital activity of the sigma-delta modulator, which provides the averaging function, creates spurious components at the output. The digital noise, combined with inaccuracies in matching the hard-working charge pump, results in spurious levels greater than those allowable by most communications standards. Only recently have fractional-N parts, such as the ADF4252, made the necessary improvements in spurious performance to allow designers to consider their use in traditional integer-N markets.

SIMPLIFYING PLL DESIGN USING ADIsimPLL™

The [ADIsimPLL™](#) software is a complete PLL design package which can be downloaded from the Analog Devices' website. The software has a user-friendly graphical interface, and a complete comprehensive tutorial for first-time users.

Traditionally, PLL Synthesizer design relied on published application notes to assist in the design of the PLL loop filter. It was necessary to build prototype circuits to determine key performance parameters such as lock time, phase noise, and reference spurious levels. Optimization was accomplished by "tweaking" component values on the bench and repeating lengthy measurements.

ADIsimPLL both streamlines and improves the traditional design process. Starting with the "new PLL wizard," a designer constructs a PLL by specifying the frequency requirements of the PLL, selecting an integer-N or fractional-N implementation, and then choosing from a library of PLL chips, library or custom VCO, and a loop filter from a range of topologies. The program designs a loop filter and displays key parameters including phase noise, reference spurs, lock time, lock detect performance, and others.

ADIsimPLL operates with spreadsheet-like simplicity and interactivity. The full range of design parameters such as loop bandwidth, phase margin, VCO sensitivity, and component values can be altered with real-time updates of the simulation results. This allows the user to easily optimize the design for specific requirements. Varying the bandwidth, for example, enables the user to observe the tradeoff between lock time and phase noise in real-time, and with bench-measurement accuracy.

ADIsimPLL includes accurate models for phase noise, enabling reliable prediction of the synthesizer closed-loop phase noise. Users report excellent correlation between simulation and measurement. If required, the designer can work directly at the component level and observe the effects of varying individual component values.

The basic design process using ADIsimPLL can be summarized as follows:

1. Choose reference frequency, output frequency range, and channel spacing
2. Select PLL chip from list
3. Select VCO
4. Select loop filter configuration
5. Select loop filter bandwidth and phase margin
6. Run simulation
7. Evaluate time and frequency domain results
8. Optimize

ADIsimPLL works for integer-N or fractional-N PLLs, but does not simulate fractional-N spurs. Phase noise prediction for fractional-N devices assumes the device is operating in the "lowest phase noise" mode.

REFERENCES

1. Mike Curtin and Paul O'Brien, "Phase-Locked Loops for High-Frequency Receivers and Transmitters"
[Part 1, Analog Dialogue, 33-3, Analog Devices, 1999](#)
[Part 2, Analog Dialogue, 33-5, Analog Devices, 1999](#)
[Part 3, Analog Dialogue, 33-7, Analog Devices, 1999](#)
2. Roland E. Best, *Phase Locked Loops, 5th Edition*, McGraw-Hill, 2003, ISBN: 0071412018.
3. Floyd M. Gardner, *Phaselock Techniques, 2nd Edition*, John Wiley, 1979, ISBN: 0471042943.
4. Dean Banerjee, *PLL Performance, Simulation and Design, 3rd Edition*, Dean Banerjee Publications, 2003, ISBN: 0970820712 .
5. Bar-Giora Goldberg, *Digital Frequency Synthesis Demystified*, Newnes, 1999, ISBN: 1878707477.
6. Brendan Daly, "Comparing Integer-N and Fractional-N Synthesizers," *Microwaves and RF*, September 2001, pp. 210-215.
7. Adrian Fox, "[Ask The Applications Engineer-30 \(Discussion of PLLs\)](#)," *Analog Dialogue, 36-3, 2002*.
8. Hank Zumbahlen, *Basic Linear Design*, Analog Devices, 2006, ISBN: 0-916550-28-1. Also available as [Linear Circuit Design Handbook](#), Elsevier-Newnes, 2008, ISBN-10: 0750687037, ISBN-13: 978-0750687034. Chapter 4.
9. Walt Kester, [Analog-Digital Conversion](#), Analog Devices, 2004, ISBN 0-916550-27-3, Chapter 6. Also available as *The Data Conversion Handbook*, Elsevier/Newnes, 2005, ISBN 0-7506-7841-0, Chapter 6.
10. Walt Kester, "[Converting Oscillator Phase Noise to Time Jitter](#)," Tutorial MT-008, Analog Devices
11. Design Tool: [ADIsimPLL](#), Analog Devices, Inc.
12. Analog Devices PLL Product Portfolio: <http://www.analog.com/pll>

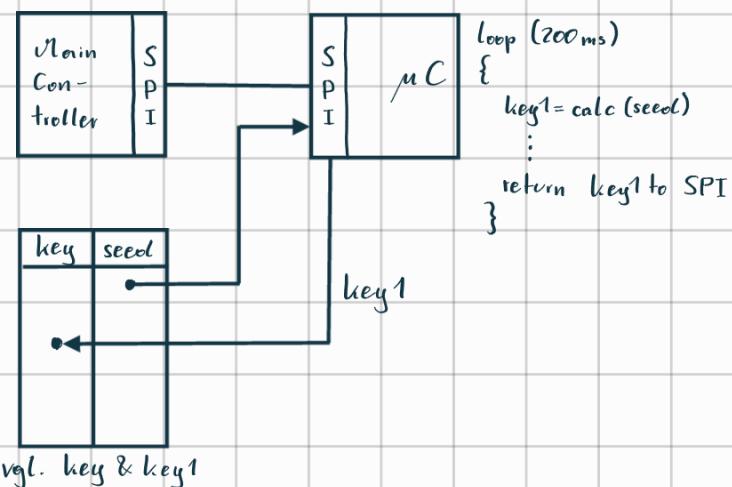
Copyright 2009, Analog Devices, Inc. All rights reserved. Analog Devices assumes no responsibility for customer product design or the use or application of customers' products or for any infringements of patents or rights of others which may result from Analog Devices assistance. All trademarks and logos are property of their respective holders. Information furnished by Analog Devices applications and development tools engineers is believed to be accurate and reliable, however no responsibility is assumed by Analog Devices regarding technical accuracy and topicality of the content provided in Analog Devices Tutorials.

Reset-Generierung

Aufgabenstellungen:

- Bei Systemstart
 - Deaktivieren aller Systemkomponenten bis Versorgungsspannung stabil ist.
 - Zurücksetzen aller Systemkomponenten in einen definierten Anfangszustand.
- Im laufenden Betrieb:
 - Aufheben von Systemblockaden. (Watchdog)
 - Zurücksetzen aller Systemkomponenten in einen definierten Anfangszustand.

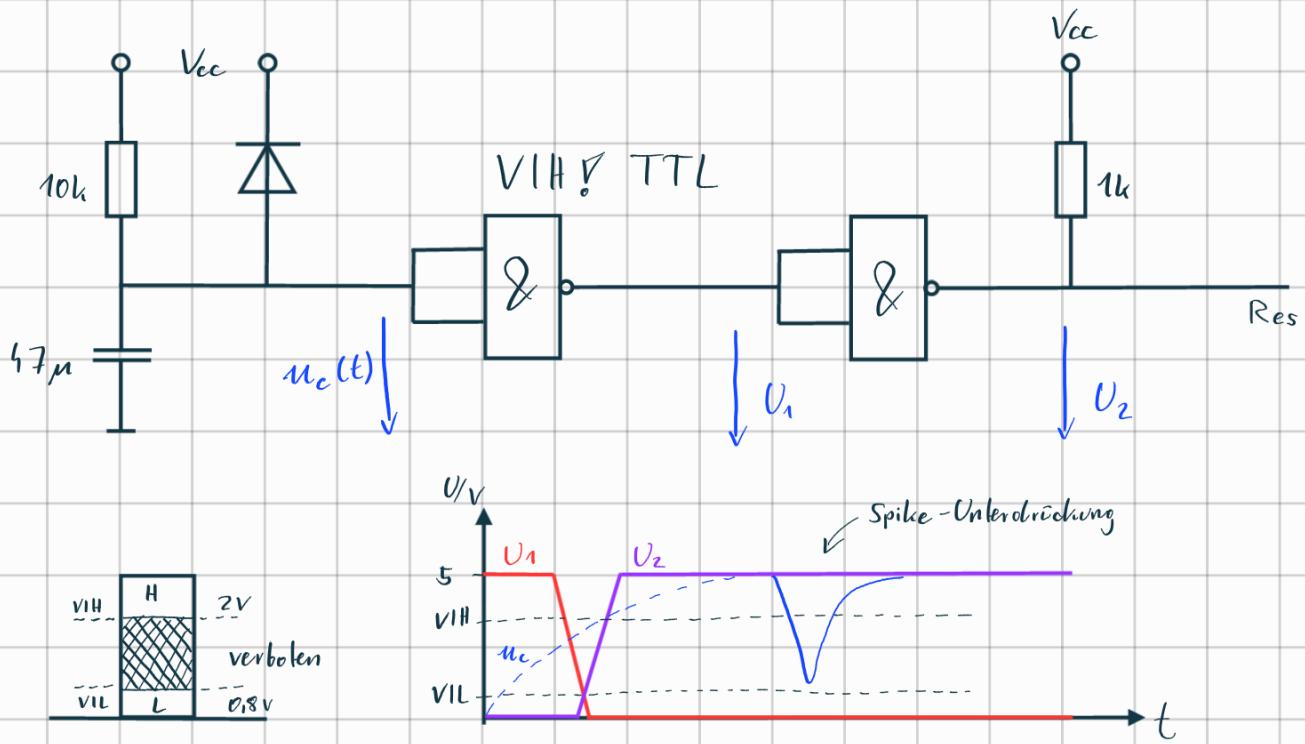
Watchdog



Der Watchdog überwacht, dass sich ein System nicht in einen Deadlock (Ungewollte Endlosschleife) begeben kann.

Möglichkeiten zur Resetgenerierung

Reset signal bei Systemstart (PoR - Power on Reset)



ges.: t_{por} oder obigen Schaltung

$$u_c(t) = U_e \left(1 - e^{-t/\tau}\right) \quad \tau = R \cdot C$$

$$u_c(t_{por}) = 2V = 5V \left(1 - e^{-t_{por}/\tau}\right)$$

$$-1 + \frac{2}{5} = -e^{-t_{por}/\tau}$$

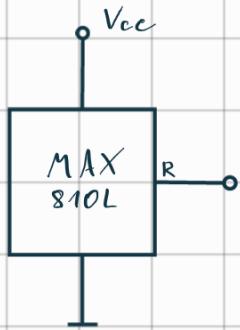
$$\frac{3}{5} = e^{-t_{por}/\tau}$$

$$\ln\left(\frac{3}{5}\right) = -\frac{t_{por}}{\tau}$$

$$\ln\left(\frac{5}{3}\right) \cdot \tau = t_{por}$$

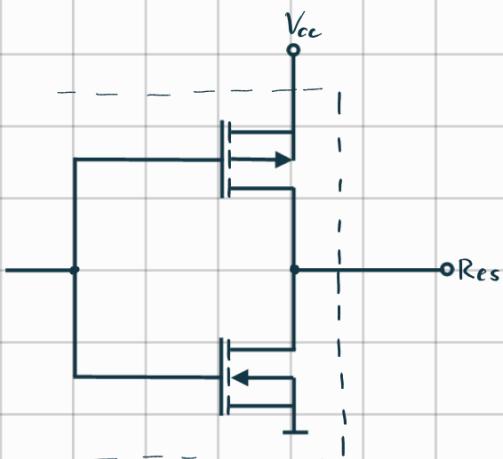
$$t_{por} = 240 \text{ ms}$$

Verbesserter Aufbau



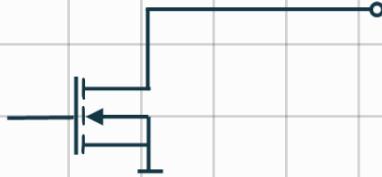
- liefert einen olef. 140 ms Reset
 - Spike-Filter implementiert
 - active low/high Reset
- Power-Monitoring IC
- liefert einen def. Reset, wenn V_{cc} für eine bestimmte Zeit unter einen gewissen Wert fällt
 - open drain oder
 - push/pull Ausführung

push-pull



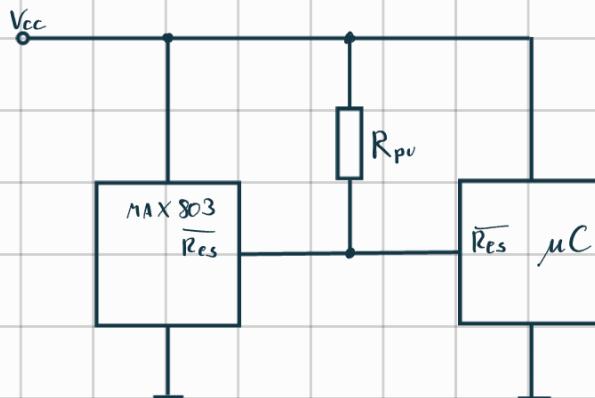
Vorteil: viel Strom

open-drain



R_{po} notwendig

Application



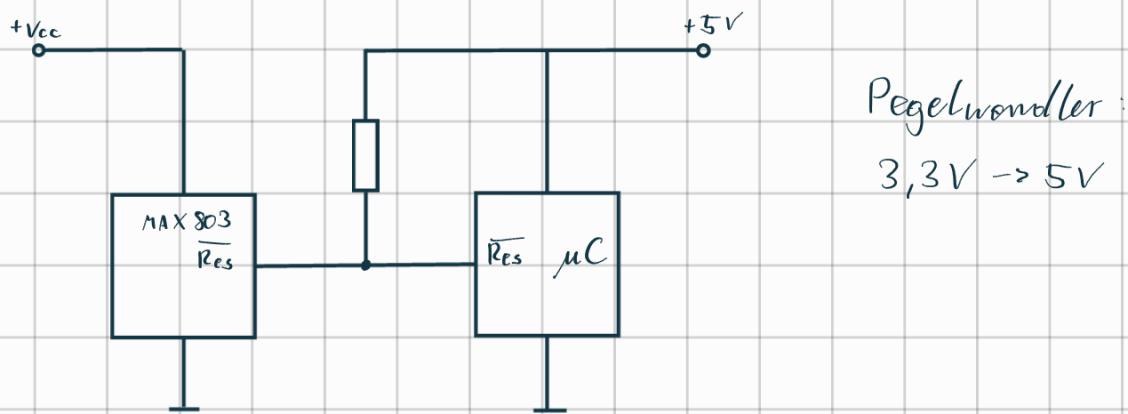
MAX 803 T

$$V_{H_{res}} = 3,08 \text{ V}$$

open-drain



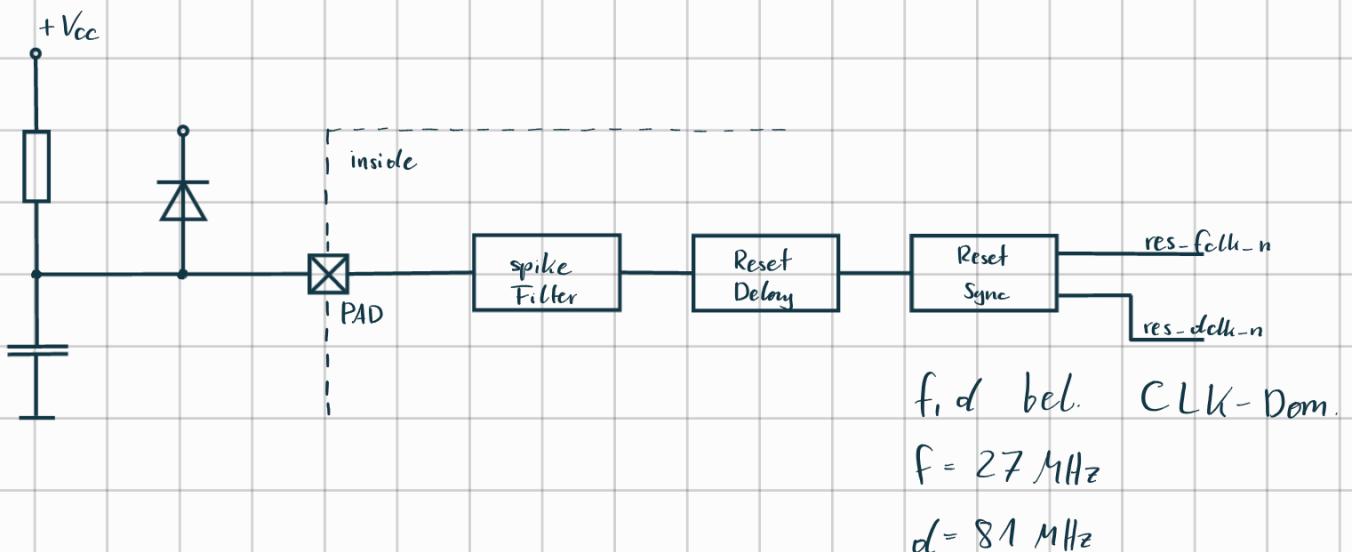
Application Pegelwandlung mit OD(OC) Output



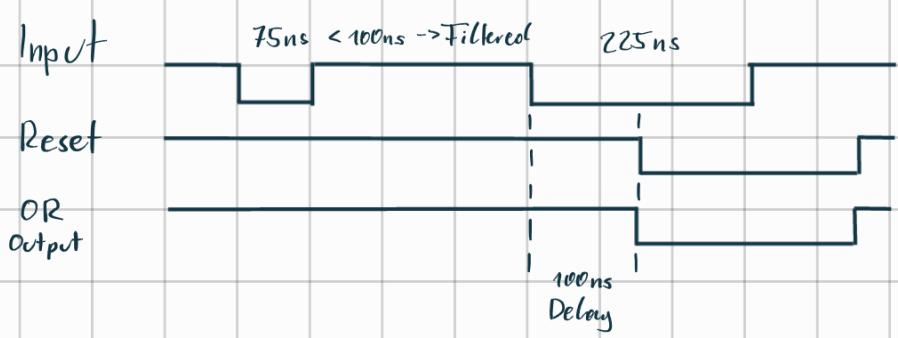
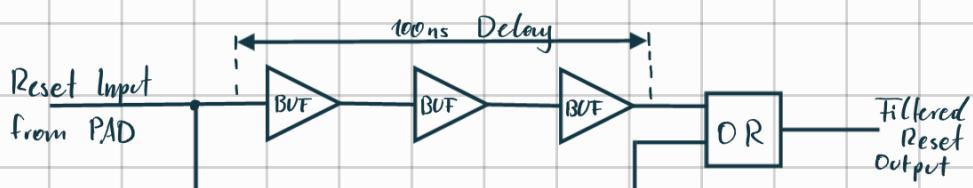
Alternative Bausteine:

- MAX699 POR, WDG Controller

Reset Systeme



Spike Filter



Reset Delay

Wozu? Bevor der Reset getriggert werden kann, muss die PLL im „locked“ Zustand sein.

z.B. 50 ns lock-in time

→ Realisiert als Counter in VHDL

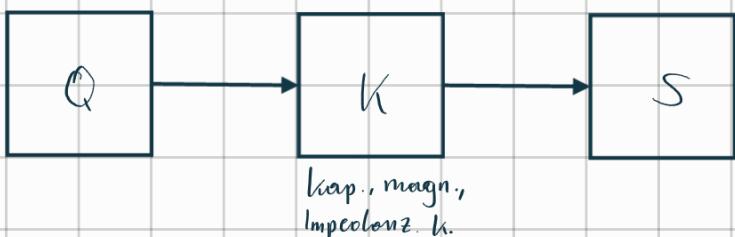
Reset Sync

Wozu? Auslösen eines def. Reset-Signals in Bezug zum CLK-Signal.

Elektromagnetische Verträglichkeit

Unter elektromagnetischer Verträglichkeit (EMV) versteht man die Eigenschaft einer Anlage, eines Gerätes, bzw. einer Schaltung in der vorgesehenen oder gegebenen elektromagnetischen Umgebung definitionsgemäß zu arbeiten und dabei die Umgebung nicht unzulässig zu stören.

1. Grundlagen und Begriffe

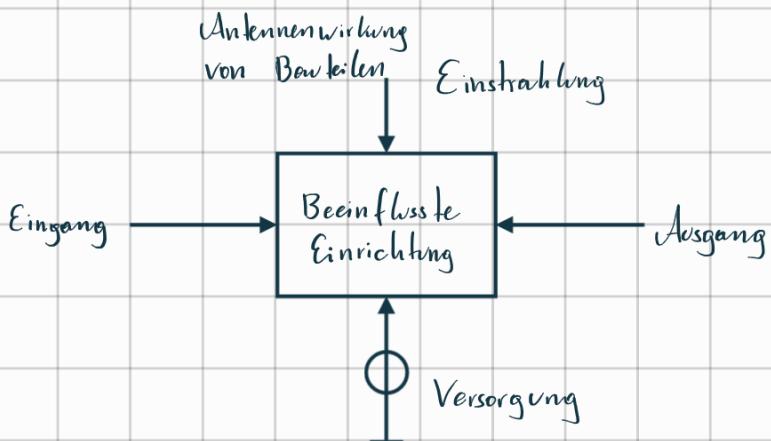


Q ... Quelle
K ... Kopplungsmechanismus
S ... Senke

- **Störquelle:** Objekt von dem die Störung ausgeht.
- **Störsenke:** Elektronische Einrichtung, deren Funktion durch die Störgröße beeinträchtigt werden kann.
- **Störgröße:** Elektromagnetische Größe (Spannung, Strom, Feldst., Energie), die eine unerwünschte Beeinflussung erzeugt.
- **Kopplungsmechanismus:** Physikalischer Zusammenhang, über den eine von der Störquelle ausgehende Störung, der auf die Senke einwirkt.

Prinzipiell kann die EMV an jedem der drei Blöcke durch Maßnahmen verbessert werden.

Übertragungswege von EMV-Störungen



EMV-Kenngrößen

- **Eigenstörfestigkeit:** Funktionsbeständigkeit gegen eigene Störungen.
- **Fremdstörfestigkeit:** Beschreibt die Funktionsbeständigkeit gegen fremde Störungen.
- **Störemissionsgrad**

Englische Begriffe

- **EMC**
 - electromagnetic compatibility
 - Äquivalent zu: EMV
- **EMS**
 - electromagnetic susceptibility (= Empfindlichkeit)
 - Beschreibt die Fähigkeit in stark gestörter Umgebung einwandfrei zu funktionieren.
- **EMI**
 - electromagnetic interference
 - Beschreibt die Störbeeinflussung einer elektrischen Einrichtung auf benachbarte Einrichtungen.

Arten von Störquellen

Grundsätzlich kann zwischen internen & externen Störquellen unterschieden werden.

Externe Störquellen

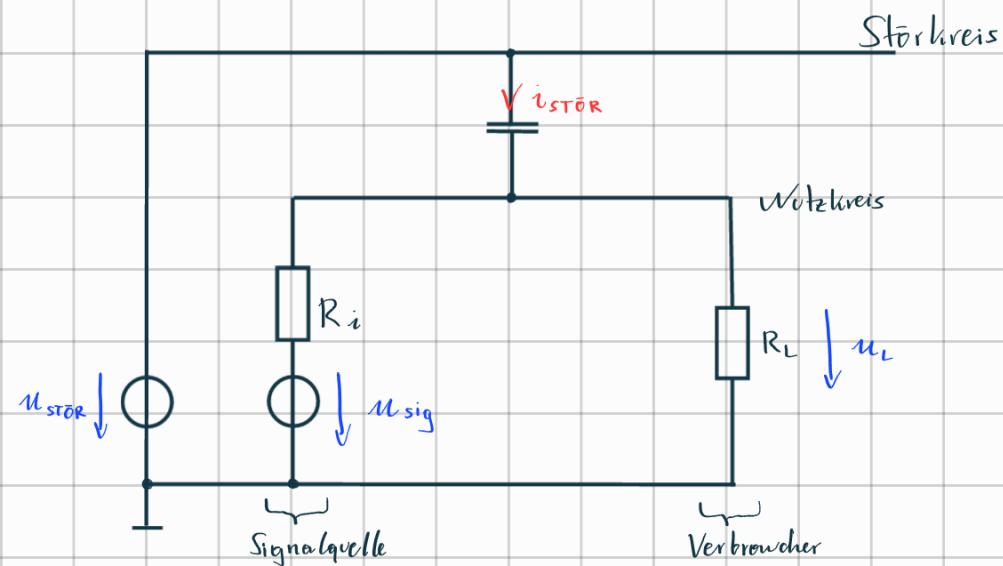
- Natürliche Störquellen
 - Atmosphärische Störungen (Blitz)
 - Elektrostatische Entladungen (z.B. Reibungselektrizität)
 - Kunststoffbeschichtete Stühle/Tische
 - Bekleidung und Böden aus synthetischen Stoffen
 - Nicht geerdete Werkzeuge/Maschinen
- Künstliche Störquellen
 - (Un-)Vorhergesehene elektrostatische Entladungen bzw. elektromagnetische Vorgänge
 - Leuchtstofflampen
 - Schaltnetzteile
 - Zündsysteme bei Motoren
 - Mobilfunkanlagen
 - Schweißanlagen

Interne Störquellen

- Lade- & Entladevorgang von L, C
- Takterzeugung bzw. Verteilung
- Signalwechsel auf Leitungen
- Schaltvorgänge von Transistoren

2. Kapazitive Kopplung

Bei der kapazitiven Kopplung wird die Störgröße über das elektrische Feld in den Nutzkreis übertragen. Ursachen sind parasitäre Kapazitäten, welche zu verschiedenen Stromkreisen gehören.



$$U_L = U_{sig} \cdot \frac{R_L}{R_L + R_i} + i_{stör} \cdot \frac{R_i \cdot R_L}{R_i + R_L}$$

$$= \frac{R_L}{R_L + R_i} (U_{sig} + i_{stör} \cdot R_i)$$

Wenn gilt, dass $1/wCk \gg (R_i \parallel R_L)$ die Impedanz von C_k gegenüber der Gesamtimpedanz des Nutzkreises dominiert, dann ist

$$i_{stör} = C_k \frac{d u_{stör}}{dt}$$

Das bedeutet ...

$$U_{L, stör} = \frac{R_L \cdot R_i}{R_L + R_i} \cdot i_{stör}$$

$$U_{L, stör} = \frac{R_L \cdot R_i}{R_L + R_i} \cdot C_k \cdot \frac{d u_{stör}}{dt}$$

} Zeitbereich

Störanteil

- Zeitbereich:

$$U_{L, stör} = \frac{R_L \cdot R_i}{R_L + R_i} \cdot \frac{d u_{stör}}{dt}$$

$$i_{stör} = C_k \cdot \frac{d u_{stör}}{dt}$$

(1)

) $\frac{d}{dt} \rightarrow jw$ für
sinusförmige
Größen

- Frequenzbereich:

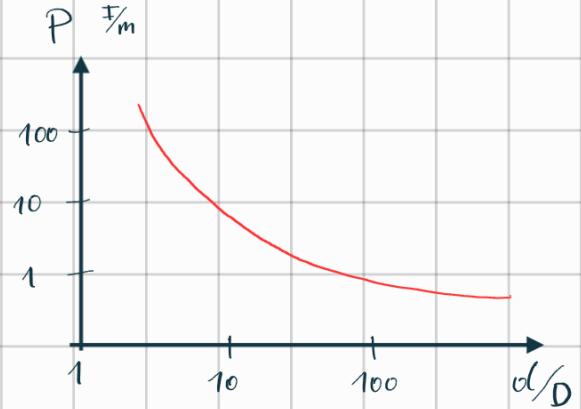
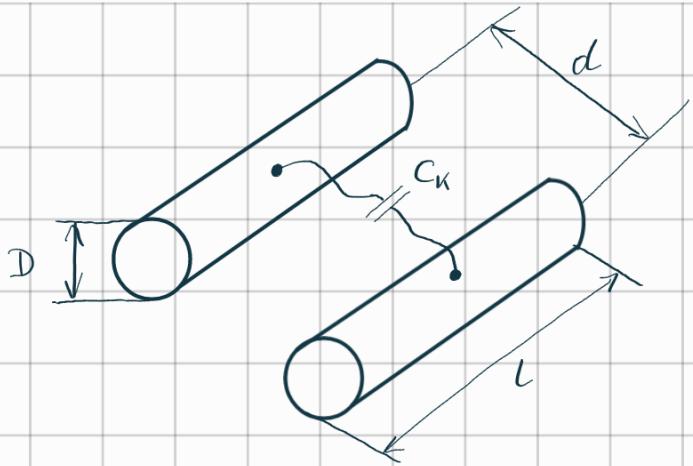
$$U_{L, stör} = \frac{R_L \cdot R_i}{R_L + R_i} \cdot I_{stör}$$

$$I_{stör} = jw \cdot C_k \cdot U_{stör}$$

↑ (1)
(3)

Die Höhe des Störstromes hängt ab von:

- der Größe von C_k (1)
- der Änderungsgeschwindigkeit (2) der Amplitude & Frequenz (3) der Störspannung



Reale Werte für C_K/l liegen bei $5-100 \text{ pF/m}$.

Nachweis kapazitiver Einkopplung

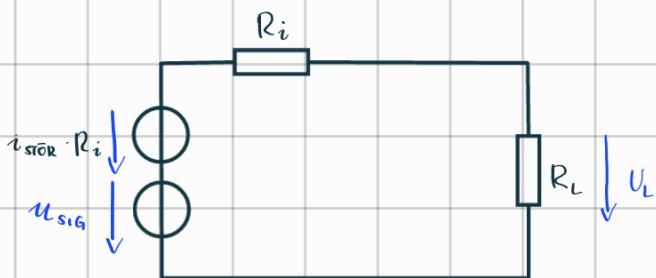
Der Störanteil an U_L beträgt

- im Zeitbereich:

$$u_{L,\text{STÖR}} = \frac{R_L \cdot R_i}{R_L + R_i} \cdot C_K \cdot \frac{d u_{\text{STÖR}}}{dt}$$

- im Frequenzbereich:

$$U_{L,\text{STÖR}} = \frac{R_L \cdot R_i}{R_L + R_i} \cdot j\omega C_K \cdot U_{\text{STÖR}}$$



$$u_{i,\text{STÖR}} = \frac{R_L}{R_i + R_L} \cdot i_{\text{STÖR}} \cdot R_i$$

$$U_L = \frac{R_L}{R_i + R_L} (u_{\text{SIG}} + i_{\text{STÖR}} \cdot R_i)$$

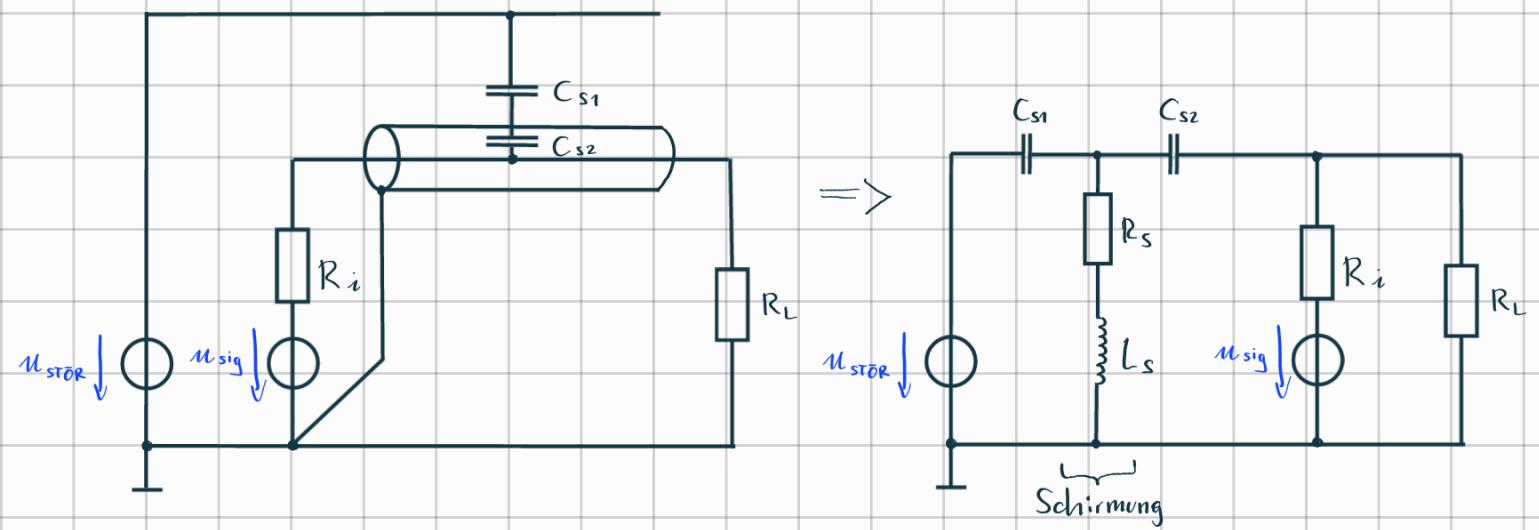
ESB eines kap. gestörten Nutzkreises

Der kap. Störeinfluss durch $i_{\text{STÖR}}$ kann als Serienspannung mit $U_{\text{STÖR}} = i_{\text{STÖR}} \cdot R_i$ berechnet werden. Der Störspannungsanteil $U_{L,\text{STÖR}}$ an der Last ist von den Widerständen im Nutzkreis abhängig. Zu seiner Diagnose kann die Signalspannungsquelle durch einen Kurzschluss ersetzt werden. Die Störspannung muss dann wegen $R_i = 0$ verschwinden.

Abhilfemaßnahmen gegen kap. Kopplung

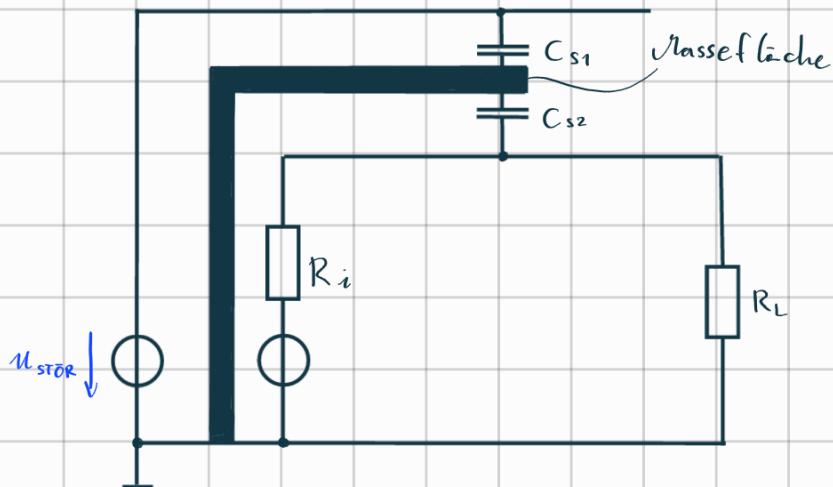
- Koppelkapazität (C_k) möglichst gering halten
 - Kurze Verbindungsleitungen
 - Abstand zwischen störenden Leitungen vergrößern
 - Vermeiden von paralleler Leitungsführung
- Verwenden einer Signalspannungsquelle mit möglichst kleinem R_i
- Verringern der Spannungsanstiegsgeschwindigkeit der Störspannung \rightarrow RC-Tiefpassfilter
- Möglichst niederohmige Ausführung der Impedanzen in kopplungsgefährdeten Kreisen
- Schirmen von beeinflussungsgefährdeten Leitungen
 - Abgeschirmte Leitungen (Koax-Kabel)
 - Schirmleiterbahnen auf Printleiterplatten zwischen Leiterbahnen und Systemeinheiten

Prinzip der Schirmung



Durch die Schirmung wird die Koppelkapazität $C_k = C_{s1} + C_{s2}$ reduziert auf die Kapazität C_{s2} zwischen Schirm und Nutzkreis. Dies hat bei gleicher Amplitude und du/dt Belastung eine Verminderung der eingekoppelten Störspannung zur Folge.

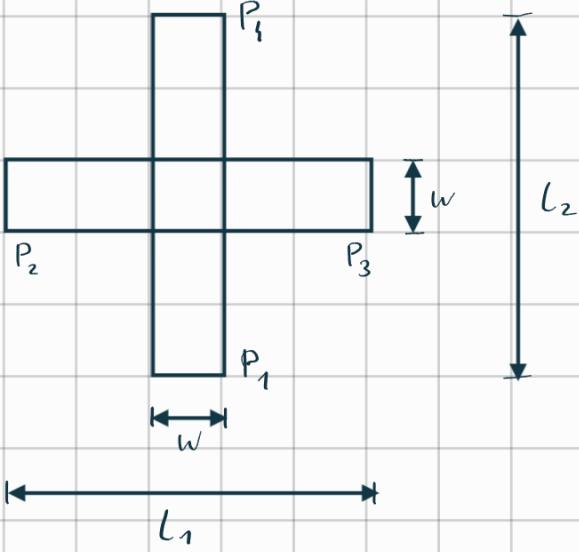
Schirmleiterbahn bei PCB



$$Z_s = R_s + j\omega L_s$$

gut leitendes Material
=> kleinere Impedanz

Bsp.:



Maßbe in mm

$$l_1 = 100 \text{ mm}$$

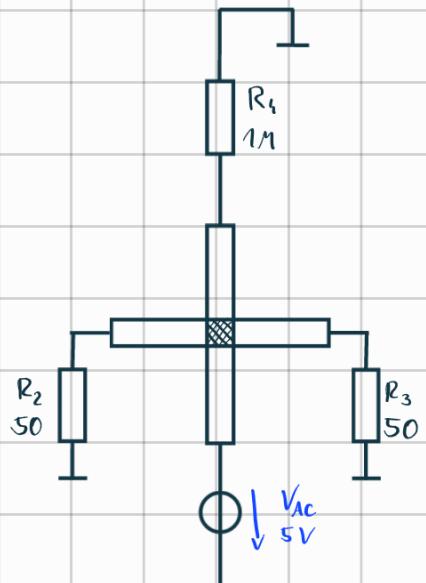
$$l_2 = 80 \text{ mm}$$

$$w = 10 \text{ mm}$$

$$\delta l = 0,2 \text{ mm}$$

$$V_{AC} = 5V$$

$$F = 0 - 60 \text{ MHz}$$



$$C_h = \frac{\epsilon \cdot A}{\delta l} = \frac{\epsilon_0 \cdot \epsilon_r \cdot A}{\delta l}$$

$$= \frac{8,854 \cdot 10^{-12} \text{ F} \cdot 10^{-2} \text{ m} \cdot 10^{-2} \text{ m}}{0,2 \cdot 10^{-3} \text{ m}}$$

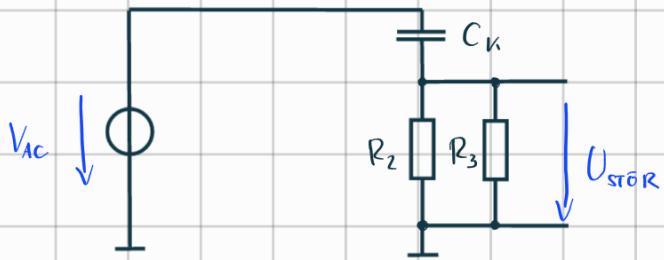
$$= 4,427 \text{ pF} \approx 5 \text{ pF}$$

etwas größer in der Realität

Modellbildung:

$V_{AC} = 5V$, $R_4 \rightarrow$ dadurch fließt ein kleiner Strom. Orthogonale Anordnung
 -> keine induzierte Spannung

ESB:



$$U_{STÖR} = V_{AC} \cdot \frac{R_2 \parallel R_3}{(R_2 \parallel R_3) + \frac{1}{j\omega C}} = \frac{R_2 \parallel R_3 \cdot j\omega C}{1 + j\omega C (R_2 \parallel R_3)}$$

ges.: $|U_{STÖR}|$ für 10, 20, ..., 60 MHz

$$f = 50 \text{ MHz} \quad R_2 \parallel R_3 = 25 \Omega \quad C_K = 5 \text{ pF}$$

$$U_{STÖR} = V_{AC} \cdot \frac{j 2\pi 50 \cdot 10^6 \text{ Hz} \cdot 10^{-12} \cdot 5 \text{ F} \cdot 25 \Omega}{1 + j 2\pi 50 \cdot 10^6 \text{ Hz} \cdot 5 \cdot 10^{-12} \text{ F} \cdot 25 \Omega}$$

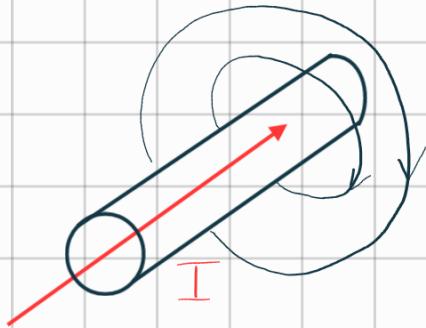
.

.

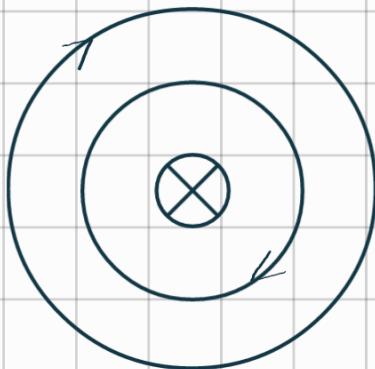
$$|U_{STÖR}| \approx 0,2 \text{ V}$$

Magnetische Kopplung

Wiederholung Magnetfeld



Wirbelfeld



Stromfluss in
die Zeichen-
ebene

$$\vec{H} = \frac{I}{2\pi r} \sim \frac{1}{r} \text{ Feldstärke}$$

$$B = \mu \cdot H$$

$$\downarrow \quad \downarrow \quad \downarrow$$

$$\frac{Vs}{m^2} = \frac{Vs}{Am} \cdot \frac{A}{m}$$

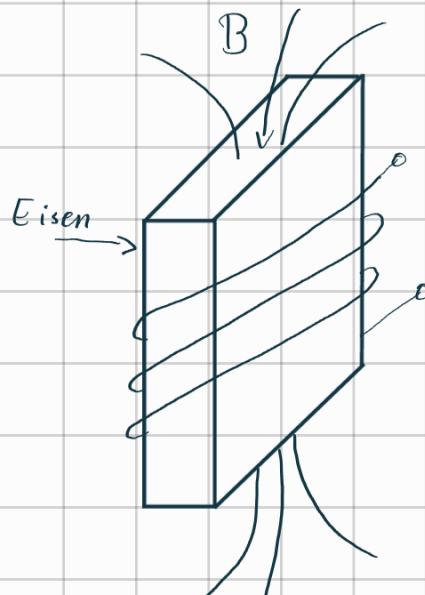
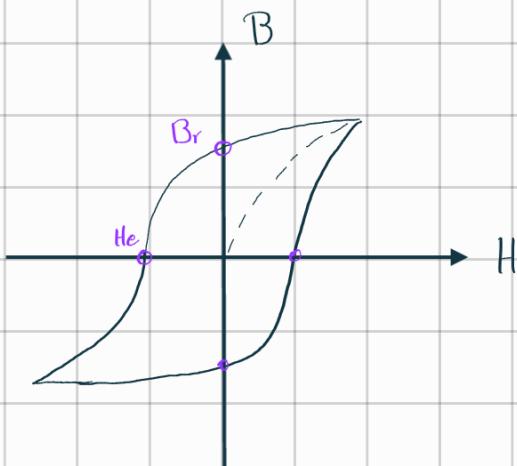
Flussdichte $\left[\frac{Vs}{m^2}, T \right]$

μ : Permeabilität $\left[\frac{Vs}{Am} \right]$

$$\mu = \mu_r \cdot \mu_0$$

$$\hookrightarrow \mu \approx 10^{-7} \frac{Vs}{Am}$$

Magnetisierungskennlinie



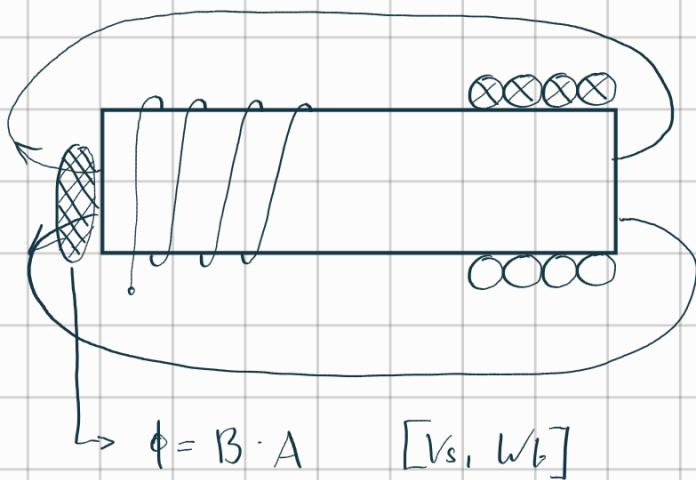
B_r ... Remanenzinduktion

H_c ... Koerzitivfeldstärke

1) Rechtschraubenregel

→ Richtung ol. Felmlinien

2) Umfassungsregel



Wirkung des Magnetfeldes (Lorentzkraft)

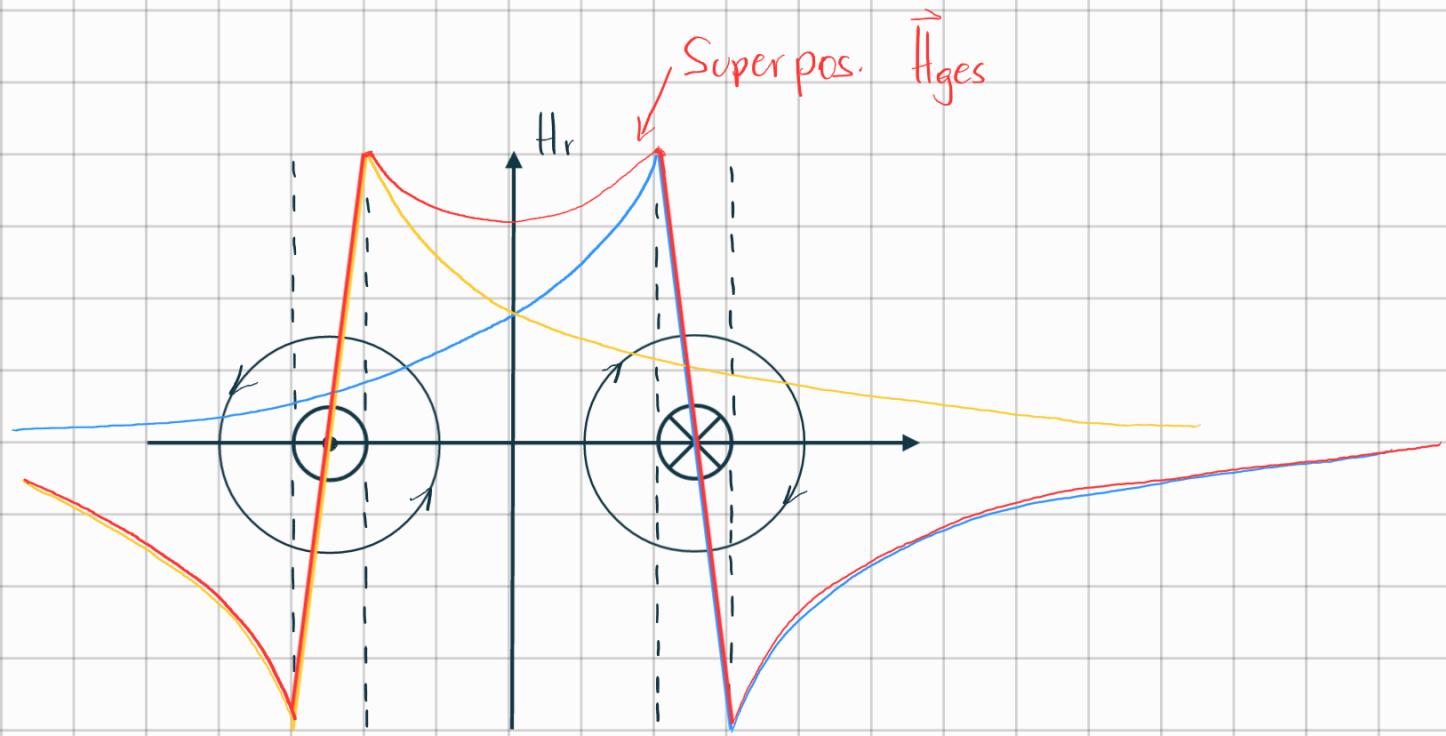
$$F = B \cdot l \cdot I$$

3) Linke Hänkel Regel



4) Drei Finger Regel

Daumen Ursache \vec{I}
 Zeigefinger Vermittlung \vec{B}
 Mittelfinger Wirkung \vec{F}



$$u_q = -N \frac{d\phi}{dt}$$

$$u_q = L \frac{di}{dt}$$

N ... # Windungen

L ... Induktivität [H]

$$L = N^2 \frac{\mu_0 \cdot m_r \cdot A}{l}$$

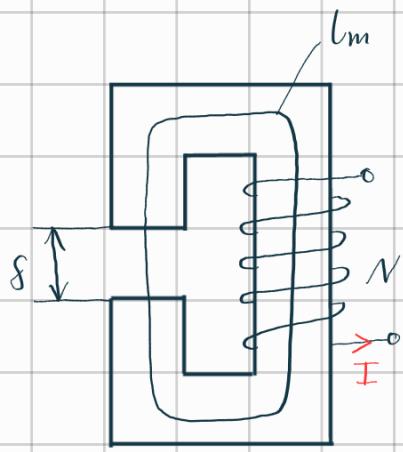
Durchflutungssatz

$$\textcircled{H} = N \cdot I = \sum H_i \cdot l_i$$

l_m ... mittlere Länge

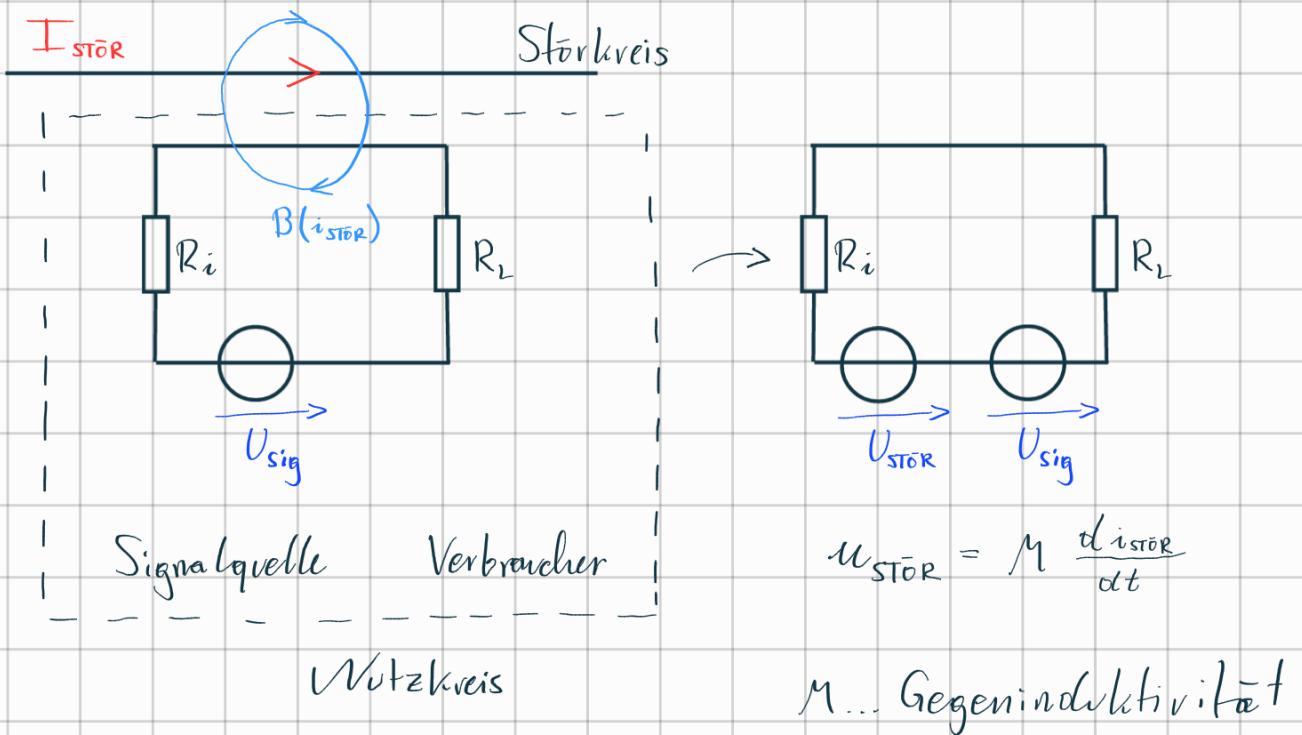
s ... Luftspalt

Die magn. Energie wird
im Luftspalt gespeichert



Magn. Kopplung, Modellbildung

Bei der magn. Kopplung wird die Störgröße über das magnetische Feld in den Nutzkreis übertragen.



$$U_L = \frac{R_L}{R_i + R_L} \cdot U_{\text{sig}} + \frac{R_L}{R_i + R_L} \cdot U_{\text{STÖR}}$$

$$U_L = \frac{R_L}{R_i + R_L} (U_{\text{sig}} + U_{\text{STÖR}})$$

Der Störanteil am Verbraucher eing. beträgt:
• im Zeitbereich

$$U_{L,\text{STÖR}} = \frac{R_L}{R_i + R_L} \cdot U_{\text{STÖR}} \quad \text{mit} \quad U_{\text{STÖR}} = M \cdot \frac{di}{dt}$$

• im Frequenzbereich

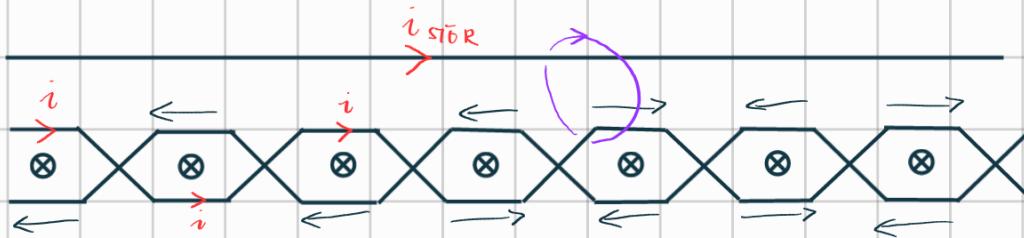
$$U_{L,\text{STÖR}} = \frac{R_L}{R_i + R_L} \cdot U_{\text{STÖR}} \quad \text{mit} \quad U_{\text{STÖR}} = jw M \cdot I_{\text{STÖR}}$$

Die Höhe der induzierten Störspannung hängt ab von der:

1. Größe der Gegeninduktivität,
2. Änderungsgeschwindigkeit,
3. Amplitude &
4. Frequenz
der Störspannung.

Abhilfemaßnahmen

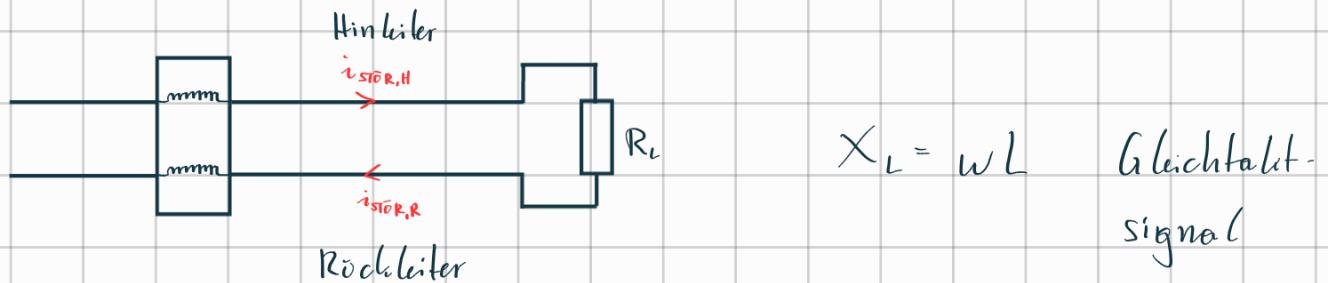
- Verringerung der Gegeninduktivität.
 - Vergrößern des Abstände zw. den Leitern.
 - Verkleinerung der Schleifenfläche A.
 - Verdrillung von Hin- und Rückleiter.



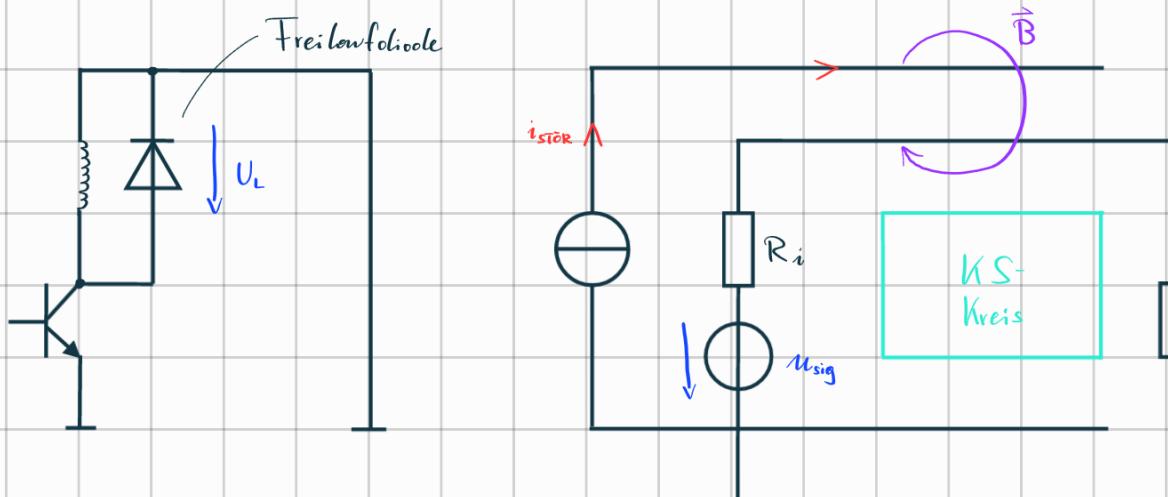
$$u_g = N \cdot \frac{d\phi}{dt}$$

$$\phi = B \cdot A$$

- Verringerung der Änderungsgeschwindigkeit des Störstromes

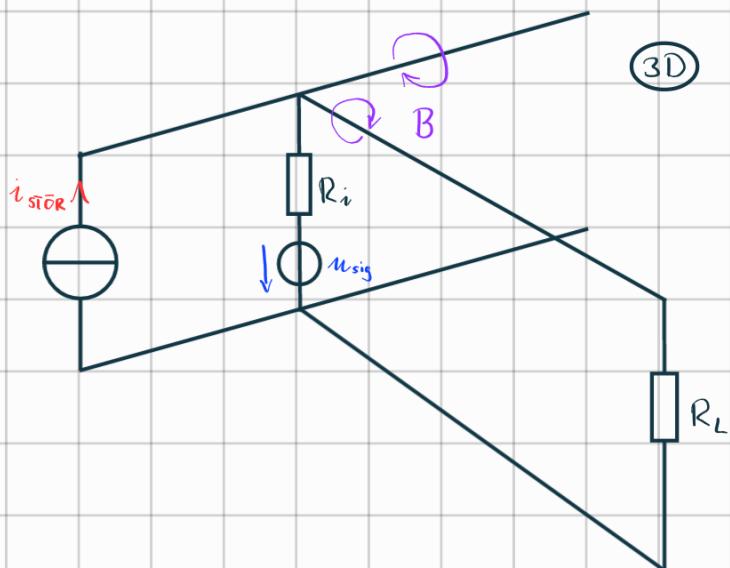


- Lenz'sche Regel



Herabsetzen von $\frac{d\phi}{dt}$ (Änderungsrate) von ϕ mittels Kurzschluss-Kreis.

- Entkoppeln von Nutz- und Stör Kreis durch orthogonale Anordnung der magn. Achsen

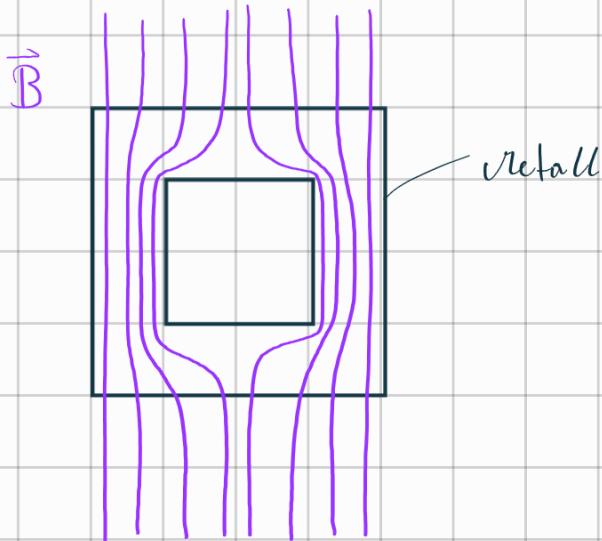


\Rightarrow das Magnetfeld des Störkreises liefert keinen Flussbeitrag im Nutz-Kreis.

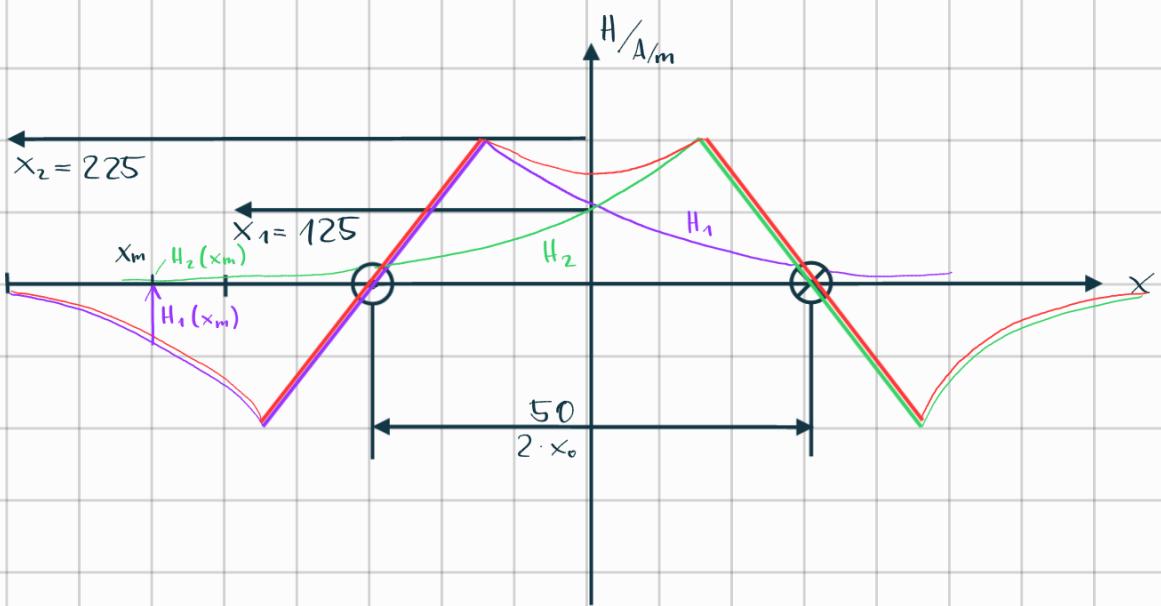
- Schirmung

von Leitungen, Stromkreisen, Baugruppen, Geräten & Anlagen durch:

- Ferromagnetische Schirme
 - Hohes μ_r (Mu-Metall, $\mu_r \sim 100.000$ / Eisen-Nickel-Legierung)
 - Für statische & quasistatische magn. Felder



- Unmagnetische Schirme
 - Für hochfrequente magnetische Felder
 - Metallisiertes Kunststoff, Kupfer (Cu), Alu (Al)
 - Erzeugung von Wirbelströmen im leitfähigen Material, welche das Magnetfeld durch Energieentzug dämpfen.



$$|U_q| = \left| \frac{d}{dt} \iint_A \vec{B} dA \right|$$

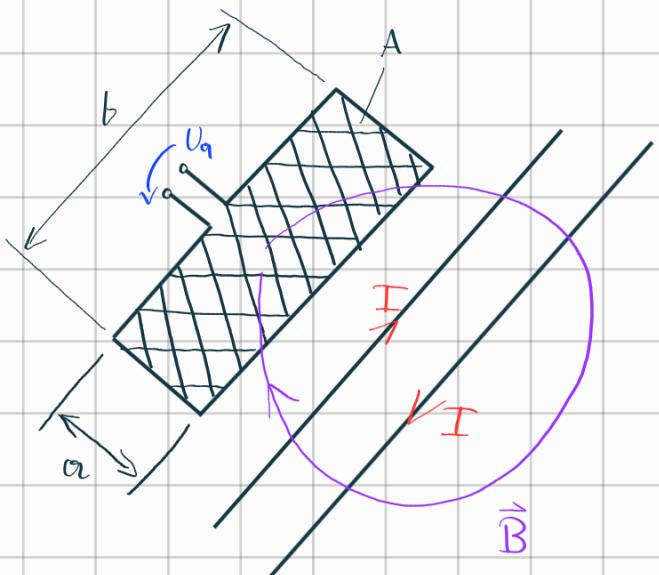
$$M_L = L \cdot \frac{di}{dt}$$

$$U_L = jwL I$$

$$U_q = N \cdot \frac{d\phi}{dt} \quad \rightarrow \quad \phi = B \cdot A$$

\downarrow

$$d\phi = d(B \cdot A) = B \cdot dA$$



$$f = 50 \text{ Hz}$$

$$I = 1 \text{ A}$$

$$H(r) = \frac{I}{2\pi r} \quad \text{A, Ben}$$

$$H(x_m) = H_2 - H_1 = \frac{I}{2\pi r_2} - \frac{I}{2\pi r_1}$$

$$r_1 = x_m - x_0 = 175 - 25 = 150 \text{ mm}$$

$$r_2 = x_m + x_0 = 175 + 25 = 200 \text{ mm}$$

$$x_m = \frac{x_1 + x_2}{2} = \frac{125 + 225}{2} = 175 \text{ mm}$$

$x_m \dots$ in Mitte von Fläche A

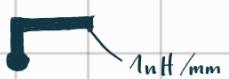
$$H(x_m) = \frac{1A}{2\pi(0,2)m} - \frac{1A}{2\pi(0,15)m} = 0,158 \frac{A}{m} \left(\frac{1}{0,2} - \frac{1}{0,15} \right) = -0,265 \frac{A}{m}$$

$$|U_g| = \left| \frac{d}{dt} \int \vec{B} \cdot dA \right| = |jw \mu_0 H(x_m) a \cdot b| = |2\pi f 4\pi \cdot 10^{-7} \cdot 0,265 \cdot 0,1^2|$$

$$|U_g| = 1,05 V$$

Kopplungsmechanismus

Im Allgemeinen wird die Leitungstheorie zur Berechnung herangezogen.
Dies gilt erst, wenn $L \sim \lambda$ wird. (z.B. 1 GHz, $\lambda = c/f = 3 \cdot 10^8 / 10^9 = 0,3$ m)
Ansonsten wird mit diskretem RL-Modell gerechnet


 1 mH/mm
PCB: $35 \mu \text{Cu}$ (μ -Kupfer) \rightarrow bereits ab $10-100 \text{ kHz}$ überwiegt der
 $b/l: 1 \text{ mm/m} \rightarrow 0,5 \Omega$ ind. ohmschen Anteil

Regel: Fließen in einem Leitungselement Ströme aus zwei oder mehreren Maschen, so sind diese Maschen über die Impedanz des gemeinsamen Leitungselements miteinander gekoppelt.

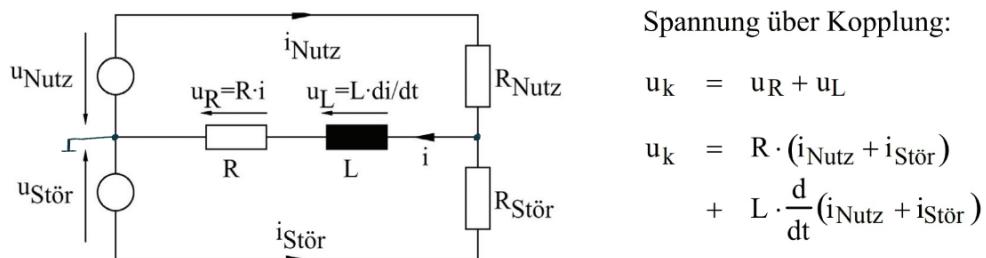
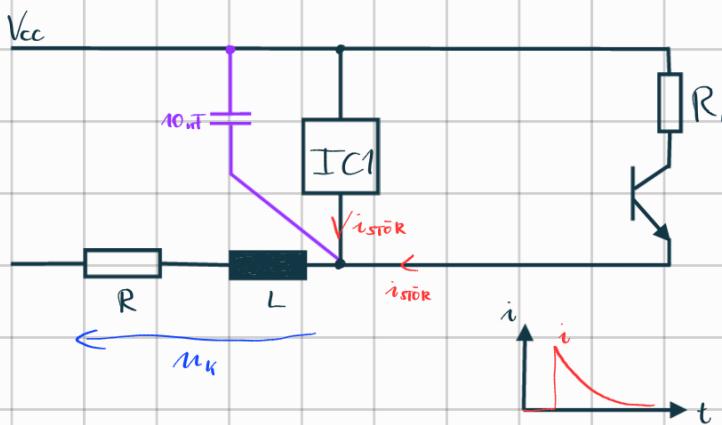


Bild 33: Impedanzkopplung durch ein Stück gemeinsame Leitung

Bei gemischten Elektronikschaltungen (z.B. Digitalteil mit analoger Schalterstufe) kann das Schalten der Transistoren in der Schalterstufe über ein Stück gemeinsamer Leitung eine Störspannung verursachen.



Störquelle: Schaltung mit größerem Strom \rightarrow unempfindlicher gegen Störungen

Störsenke: Schaltung mit kleinerem Strom \rightarrow empfindlicher gegen Störungen

Abhilfe

- ICSTÖRSTROM -> Blockkapazität mit 10nF schließt die transienten HF-Anteile kurz
- TrSchaltstrom -> sternförmige Masseleitung

Maßnahmen zur Reduktion galvanischer Kopplung

Entscheidend für die galvanische Kopplung ist die Impedanz des gemeinsamen Leiters. -> Die Impedanz so gering wie möglich halten.

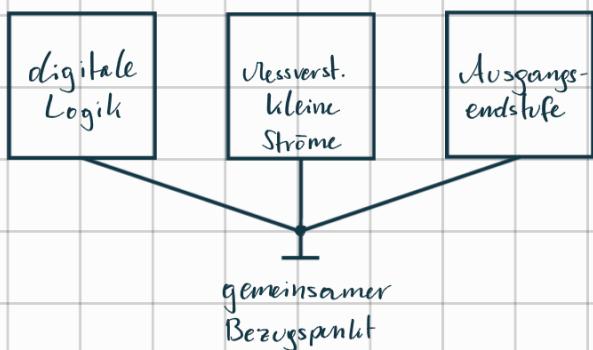
$$R_K = \frac{S \cdot l}{A}$$

1. Die Rückleiterstruktur möglichst ausgedehnt layouten (A steigt). D.h. Masseflächen verwenden.
2. Den Rückleiter möglichst kurz halten ($l \ll$)
=> Beide Maßnahmen reduzieren R_K , jedoch gleichzeitig auch L_K .

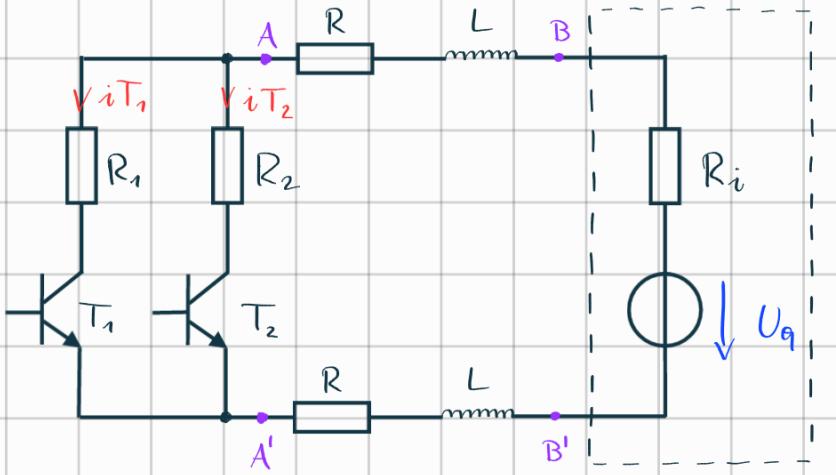
Aufteilung der Massestruktur

- Digitale Massefläche
- Analoge Massefläche

Zusätzlich kann man stromintensive Leitungen (Versorgungsleitung, Ausgangsendstufen) massemäßig von Schaltungsteilen mit empfindlichen Signalen kleinerer Amplitude (Eingangsstufen, Messschaltungen) trennen.

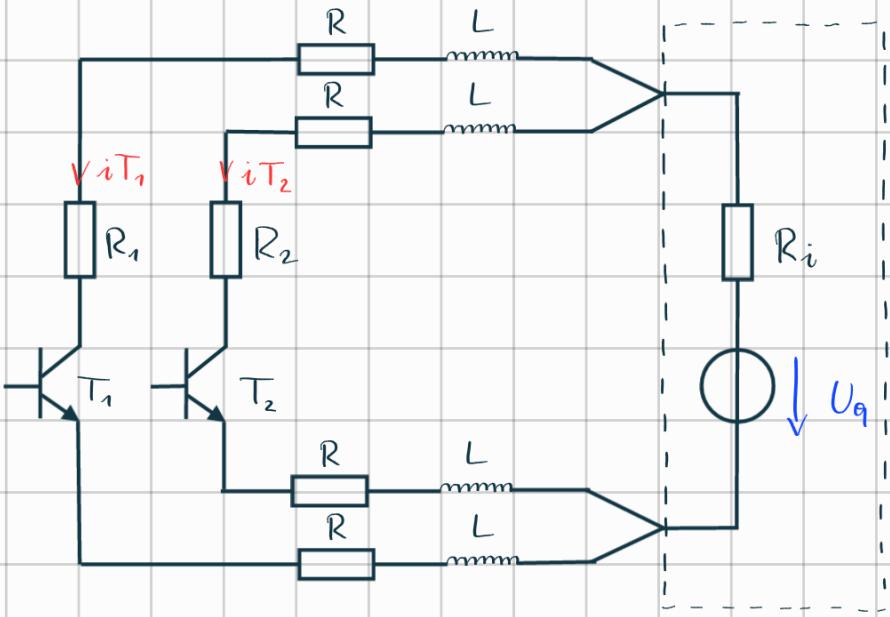


Beispiel: Netzteil mit über Leitungsimpedanzen gekoppelten Kreisen mit aktiven Elementen.



Der Spannungsabfall der sich als Spannungsänderung von A und B äußert, ist durch die momentane Summe der beiden Transistorströme $i(T_1)$ und $i(T_2)$ bestimmt.

Abhilfe: Sternförmige Leitungsführung



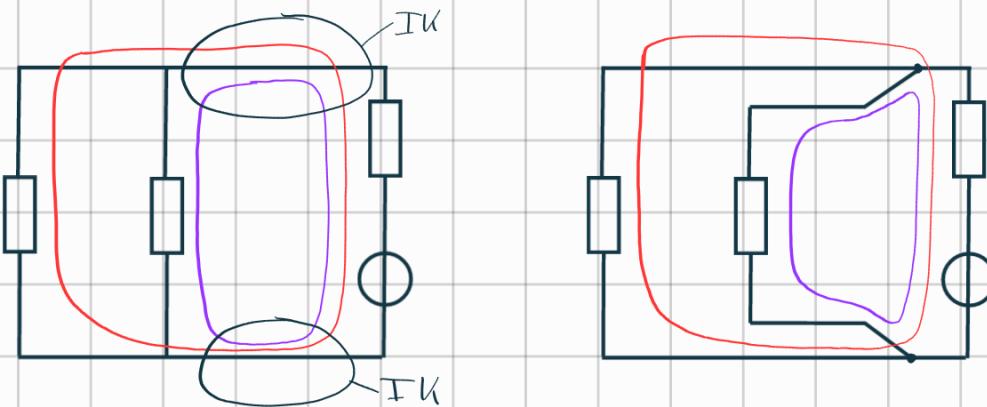
Stromanalyse zur Erkennung der Impedanzkopplung

Vorgangsweise:

Die Ströme aller Maschen werden in ihrem geschlossenen Umlauf...

- entweder in das Schaltbild zur Analyse
- bzw. in das Layout zur Kontrolle

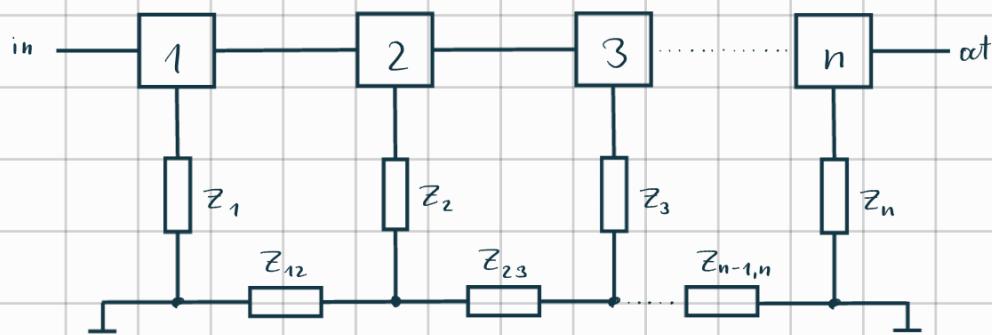
eingezeichnet.



Mit der Stromanalyse wird sichtbar, dass die beiden Kreise miteinander gekoppelt sind. Eine sternförmige Verdrahtung entkoppelt die beiden Stromkreise weitgehend.

Reihenmassesstruktur

RMS tritt in den meisten Schaltungen auf. Die Signale und die Masseleitung werden von einer Komponente zur nächsten geschlauft.



An den Impedanzen Z_{ij} zwischen den einzelnen Stufen entstehen durch einzelne Signalströme Spannungsabfälle. Sie verändern jeweils das Bezugspotenzial zur Masse und summieren sich zu einer Spannung zwischen A und B auf.