

UNIDADE LÓGICA ARITMÉTICA - 16 BITS

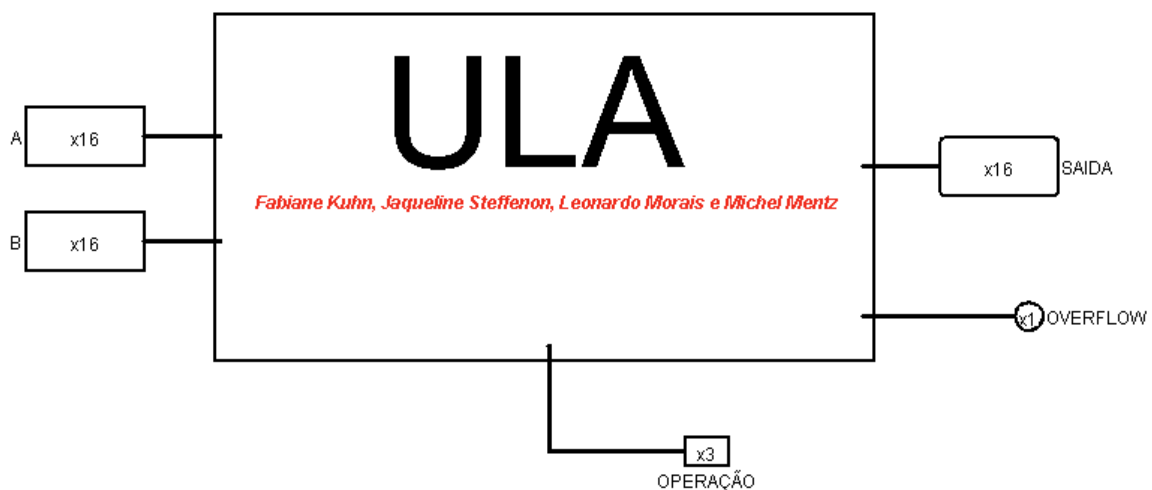
Fabiane Kuhn, Jaqueline Steffenon, Leonardo Morais e Michel Mentz

1. Descrição

Unidade Lógica Aritmética (ULA) de 16 bits com operações aritméticas de soma e subtração e operações lógicas NOT, AND, OR, Comparação de igualdade, Comparação de menor que e Comparação de maior que. Para controlar a unidade lógica é necessário considerar a tabela de operações definida para atender tanto situações lógicas quanto aritméticas. Essa ULA utiliza 3 bits de seleção, podendo navegar entre as operações disponíveis de acordo com a necessidade de cada implementação da unidade.

2. Interface

A Unidade Lógica Aritmética 16 bits possui a seguinte interface de entradas e saídas que controlam o seu funcionamento:



A e B representam os operandos, ao sul, temos uma entrada de 3 bits para seleção da operação a ser realizada, e temos a Saída a oeste, com o resultado da operação realizada sobre as entradas. A ULA possui também um bit de status, que sinaliza a ocorrência de Overflow, devendo ser considerada apenas em casos de operações aritméticas.

3. Organização interna

Para melhor desempenho e organização da unidade lógica aritmética 16 bits, foram empregados conceitos da utilização de pequenos subcircuitos para alcançar o produto final. Cada uma das operações possui subcircuitos para 1 bit, sendo que seu escalonamento gera o subcircuito seguinte e assim sucessivamente, até o padrão de 16 bits por operação.

A organização interna do componente ainda pode ser destacada pela divisão em três categorias: comparadores, aritmética e lógica.

4. Tabelas de operações

O controle da unidade lógica aritmética é descrito através de uma tabela de operações. Essas operações indicam qual funcionalidade a ULA irá desenvolver.

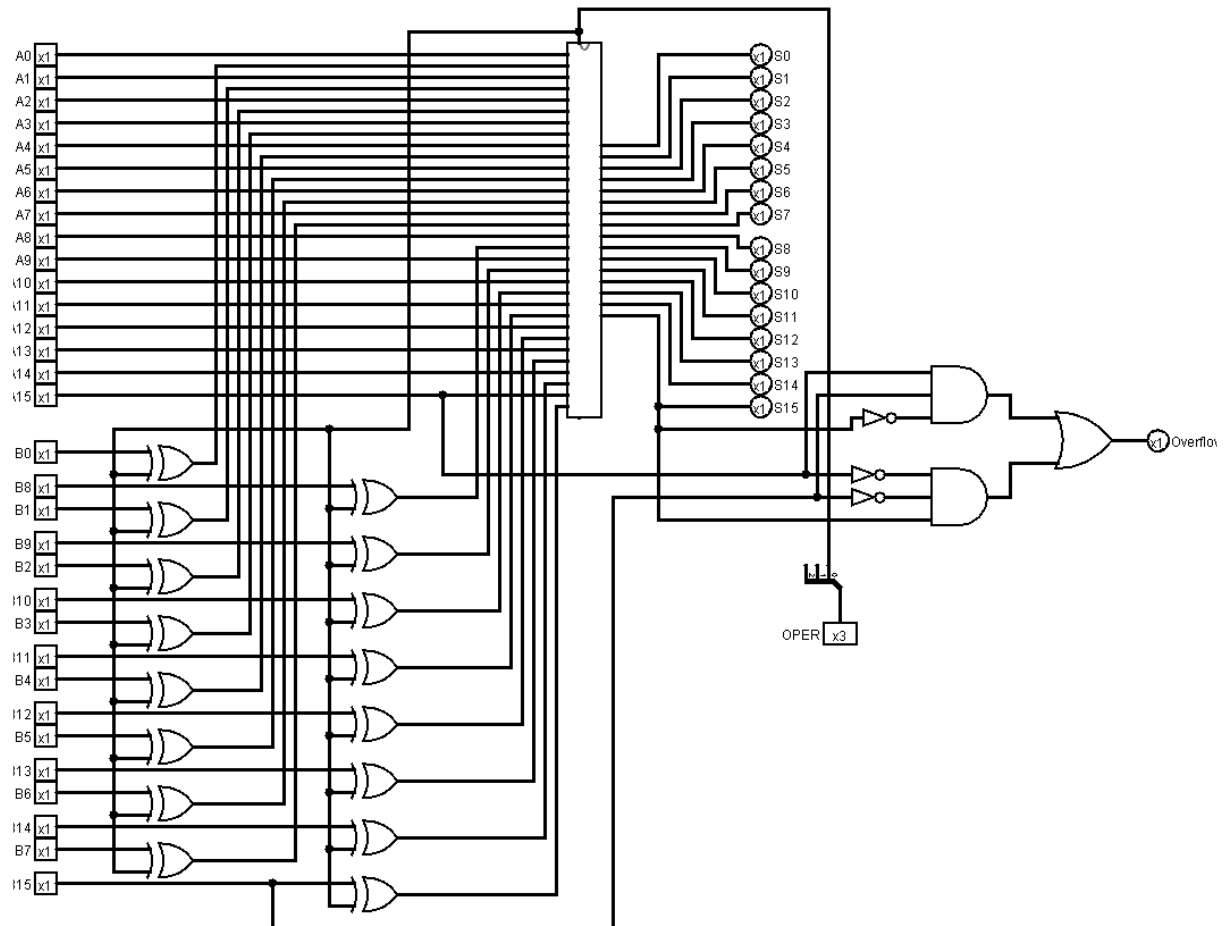
Código da operação	Operação	Exemplo
000	NOT	$S = \text{NOT } A$
001	AND	$S = A.B$
010	OR	$S = A + B$
011	IGUAL A	$A = B = 1111111111111111$
100	MAIOR QUE	$A > B = 1111111111111111$
101	MENOR QUE	$A < B = 1111111111111111$
110	SOMA (ADD)	$S = A \text{ add } B$
111	SUBTRAÇÃO (SUB)	$S = A \text{ sub } B$

5. Esquemáticos:

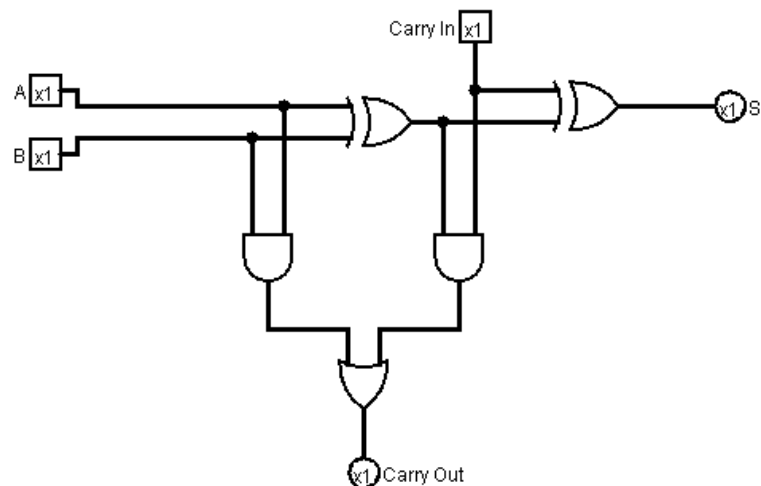
A unidade oferecida foi arquitetada da seguinte forma:

5.1. Célula Aritmética

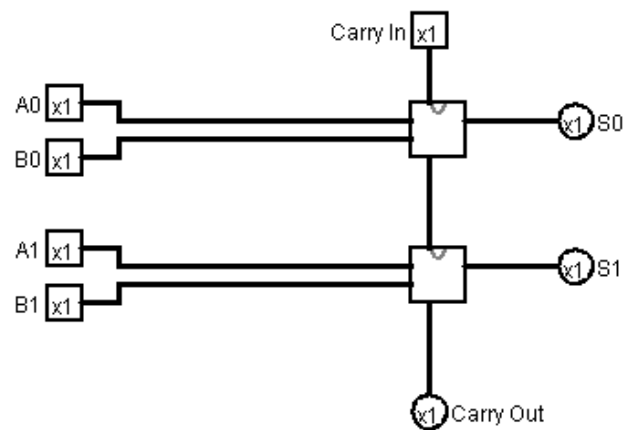
Essa célula apresenta a configuração para indicar se realiza soma ou subtração, para as duas funcionalidades utiliza o circuito somador.



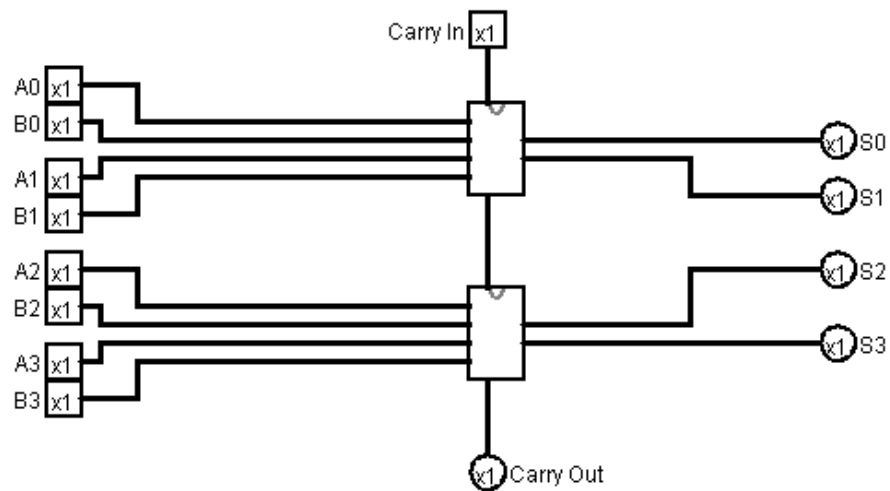
Somador 1 bit



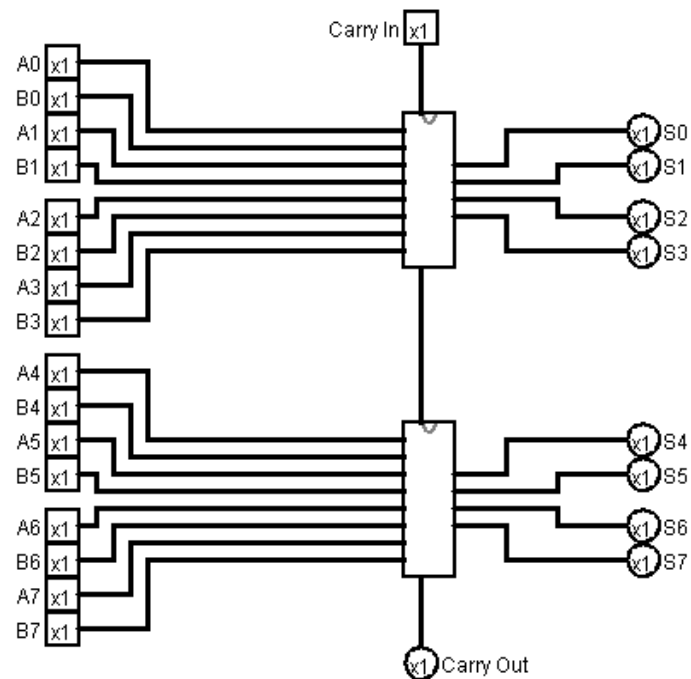
Somador 2 bits



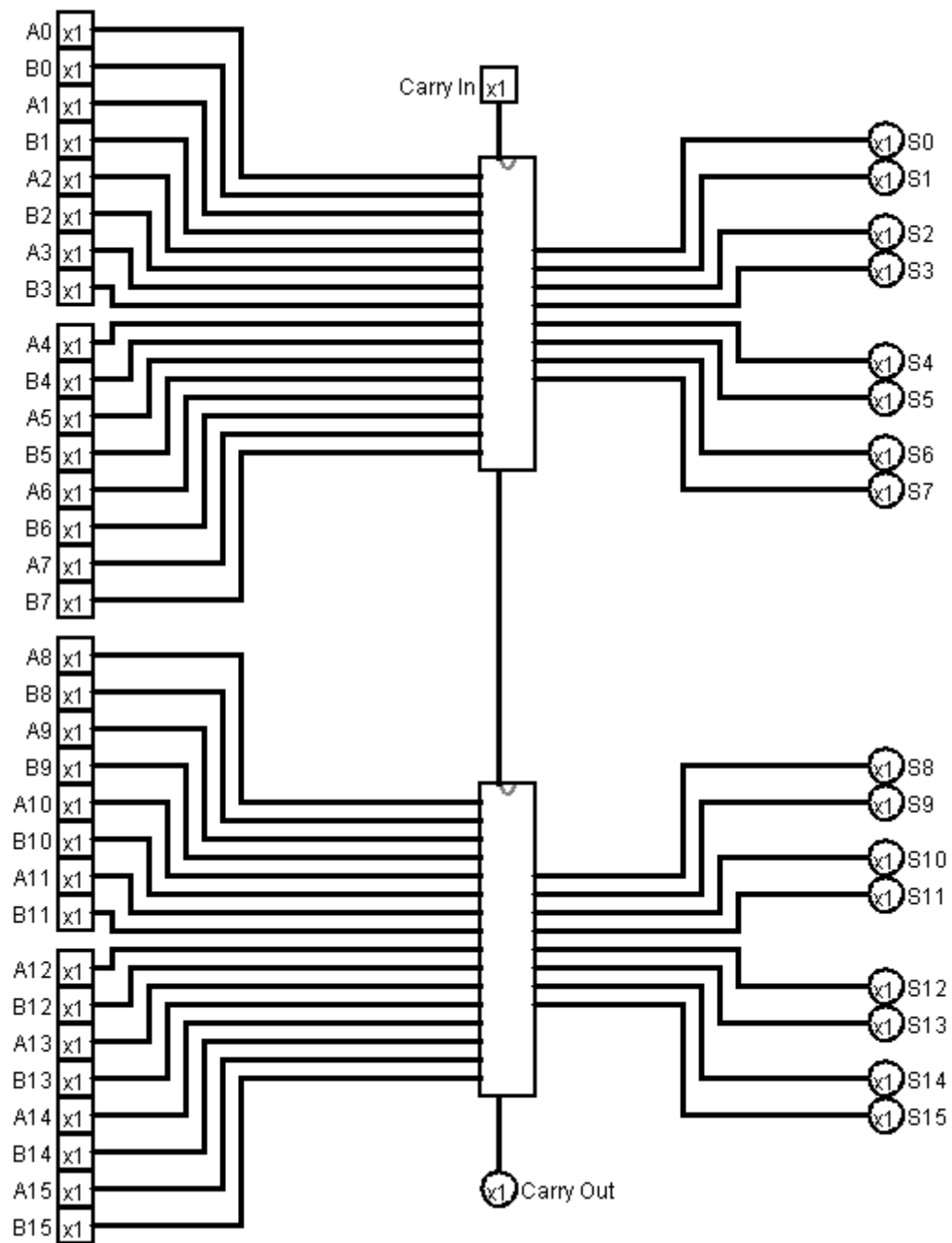
Somador 4 bits



Somador 8 bits

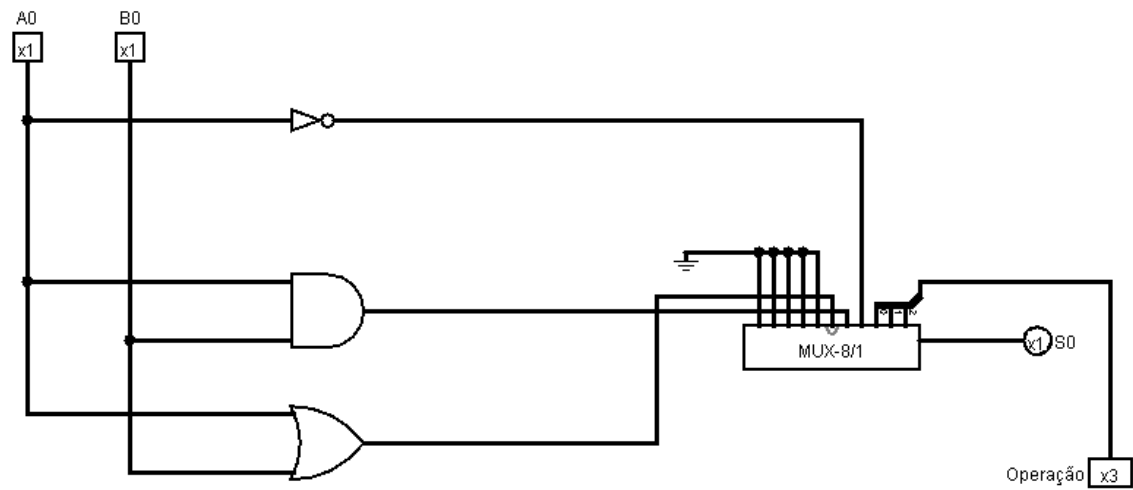


Somador 16 bits

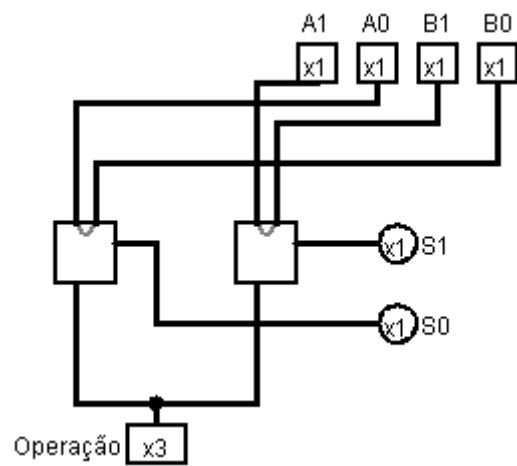


5.2 Célula lógica

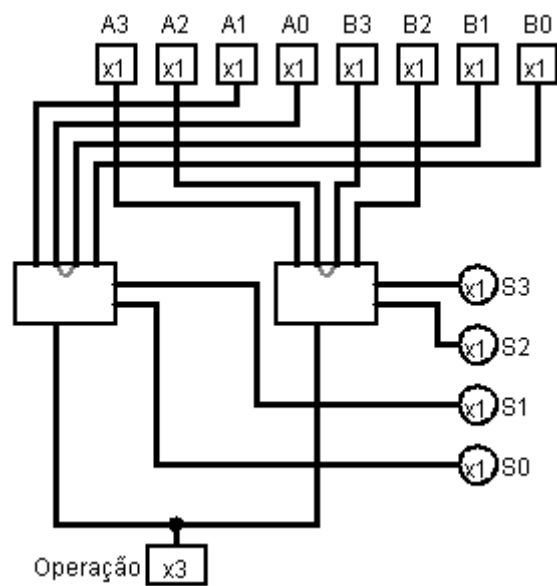
Lógica 1 bit



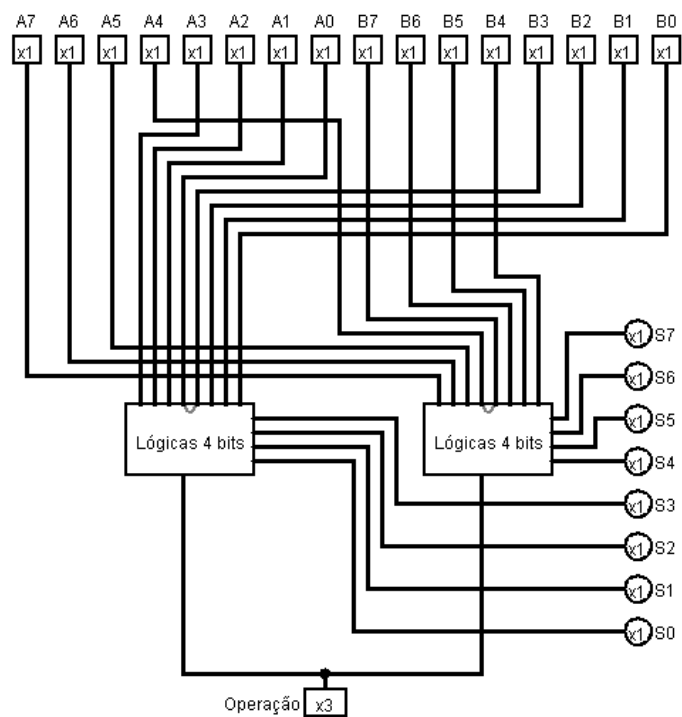
Lógica 2 bits



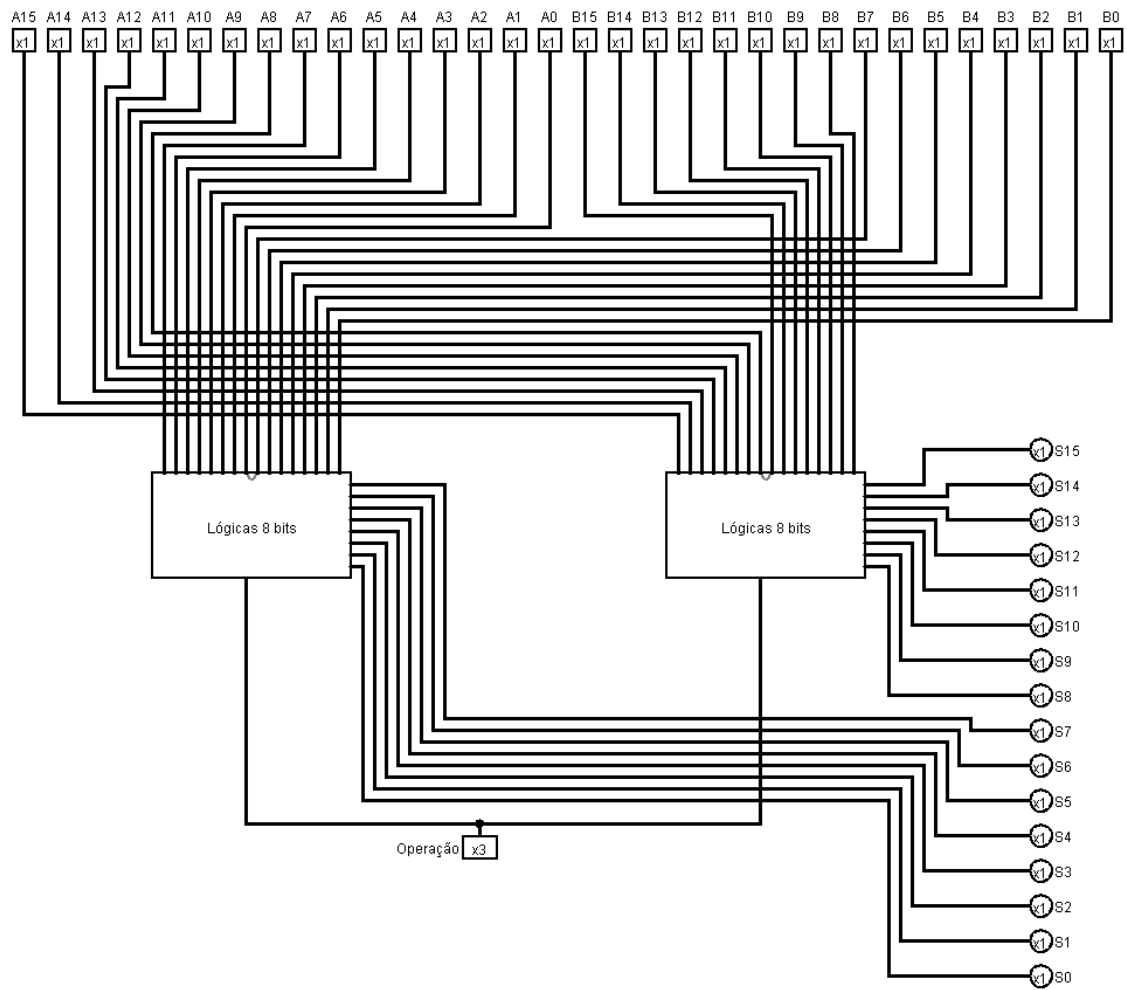
Lógica 4 bits



Lógica 8 bits

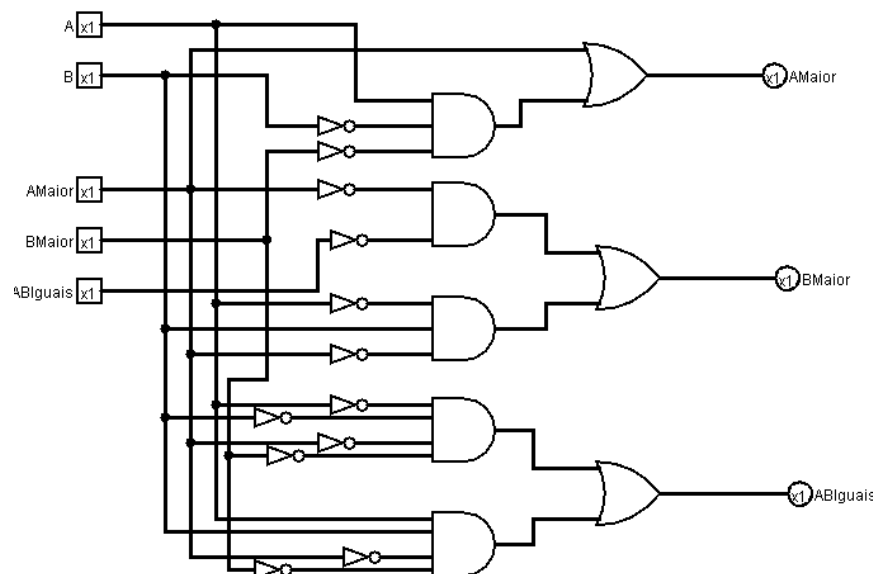


Lógica 16 bits

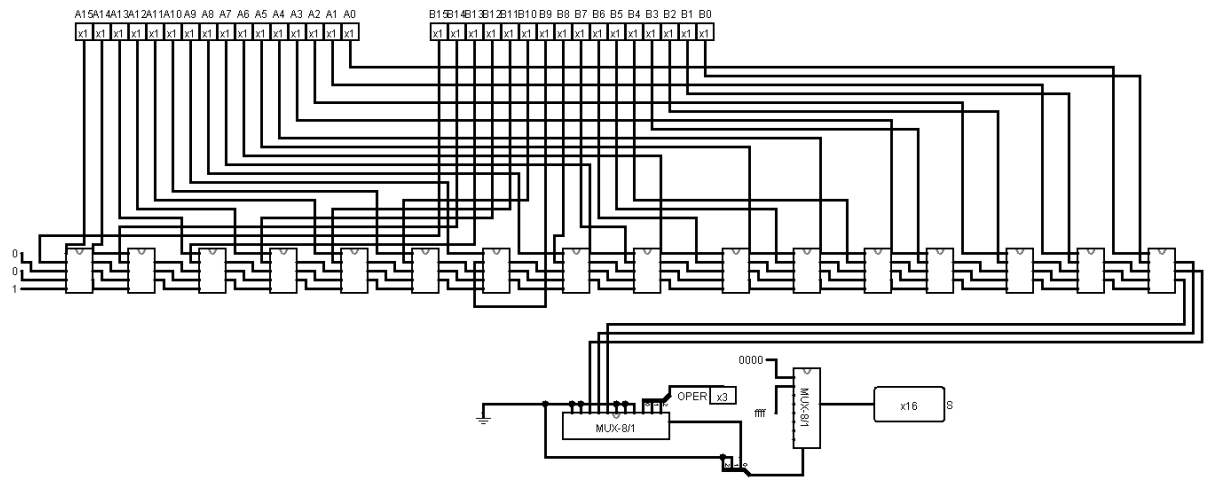


5.3. Comparadores

Comparador 1 bit



Comparador 16 bits



5.4. Circuito geral da ULA

