**Laboratorio 8: Módulo ADC**

**Preguntas:**

1. **Resumen de la subsección 10.4 Functional Description:**

El módulo ADC se deshabilita durante el reinicio o cuando los bits ADCH están todos altos. El módulo está inactivo cuando una conversión se ha completado y no se ha iniciado otra conversión. Cuando está inactivo, el módulo está en su estado de energía más bajo.

El ADC puede realizar una conversión de analógico a digital en cualquiera de los canales seleccionables por software. En modo de 12 bits y 10 bits, el voltaje del canal seleccionado se convierte mediante un algoritmo de aproximación sucesiva en un resultado digital de 12 bits. En el modo de 8 bits, el voltaje del canal seleccionado se convierte mediante un algoritmo de aproximación sucesiva en un resultado digital de 9 bits.

Cuando se completa la conversión, el resultado se coloca en los registros de datos (ADCRH y ADCRL). En el modo de 10 bits, el resultado se redondea a 10 bits y se coloca en los registros de datos (ADCRH y ADCRL). En el modo de 8 bits, el resultado se redondea a 8 bits y se coloca en ADCRL. La bandera de conversión completa (COCO) se establece y se genera una interrupción si la interrupción de conversión completa se ha habilitado (AIEN = 1).

El módulo ADC tiene la capacidad de comparar automáticamente el resultado de una conversión con el contenido de sus registros de comparación. La función de comparación se habilita al configurar el bit ACFE y opera con cualquiera de los modos de conversión y configuraciones.

1. **Haga un resumen de lo indicado en la subsección 10.4.4.1 Initianting Conversion:**

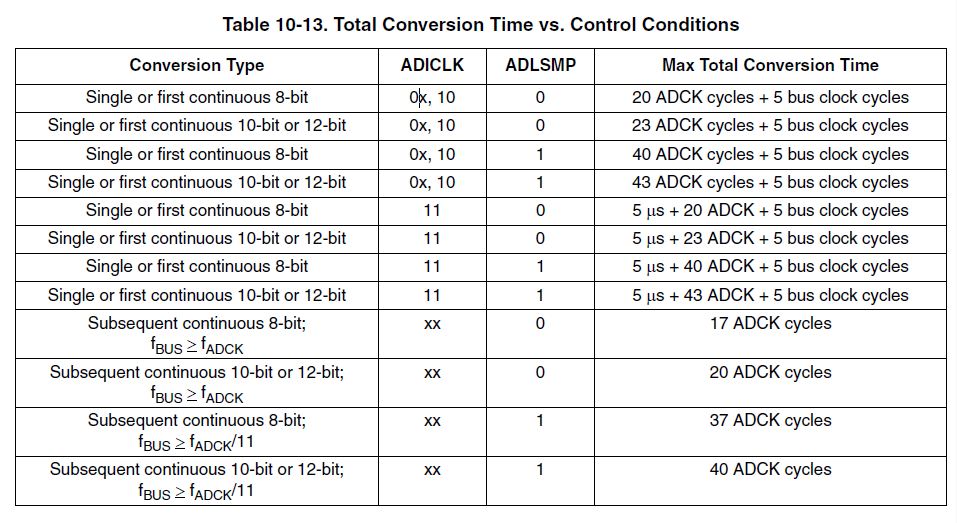
Una conversión se realiza cuando:

• Después de una escritura en ADCSC1 (con bits ADCH no todos los 1s) si se selecciona la operación activada por software.

• Después de un evento de activación de hardware (ADHWT) si se selecciona la operación activada por hardware.

• Tras la transferencia del resultado a los registros de datos cuando se habilita la conversión continua.

Si las conversiones continuas están habilitadas, una nueva conversión se inicia automáticamente después de la finalización de la conversión actual. En la operación activada por software, las conversiones continuas comienzan después de que se escribe ADCSC1 y continúan hasta abortar. En la operación activadapor hardware, las conversiones continuas comienzan después de un evento de activación de hardware y continúan hasta que se abortan. Se puede abortar poniendo los bits del ADCH todos en “1”, una escritura en los registros ADCSC1, ADCSC2, ADCCFG, ADCCHV o en ADCCVL durante una conversión.

1. **Indique todos los casos de Tiempo de conversión total vs Configuración del módulo:**
2. **Determine una relación o expresión que muestre el resultado esperado de la conversión de un valor análogo en un valor binario de 10 bits:**

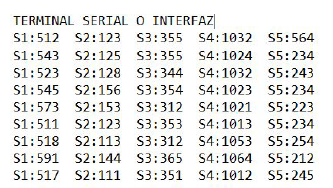
De Voltaje a Binario

De Binario a Voltaje:

**Requerimientos:**

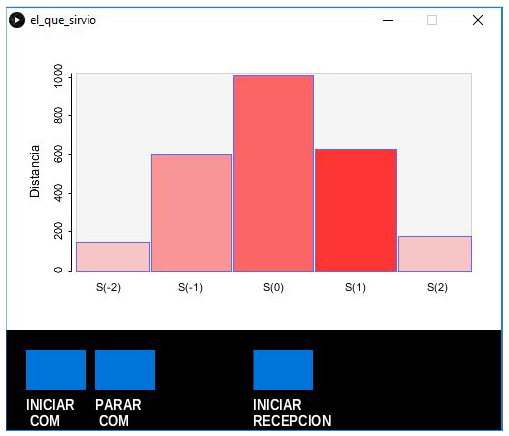
Se debe implementar una interfaz gráfica que permita ver los valores muestreados por los canales ADC del EQ16

* R1 = Medir valores análogos de los sensores infrarrojos que utilizaran en el proyecto de curso con una resolución mínima de 10 bits, guardarlos en un arreglo y enviarlos a través del puerto serial en codificación ASCII, el resultado en una terminal o interfaz de puerto serial debe lucir de la siguiente manera:

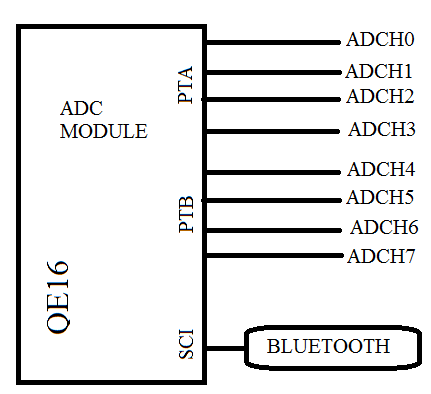


Lo caracteres como “S1,S2...” los espacios y los fines de línea también deben ser enviados desde el MCU.

* R2 = Se debe implementar una interfaz gráfica que permita visualizar los valores medidos de los sensores infrarrojos que utilizarán para el proyecto de curso, algo por el estilo de lo siguiente:



**Diagrama de concepto:**



Asignación de pines:

|  |  |  |
| --- | --- | --- |
| **PIN** | **Nombre** | **Funciones** |
| 4 | VDD | 3V3 |
| 9 | VSS | GND |
| 6 | VREFH | VREF HIGH ADC |
| 7 | VREFL | VREF LOW ADC |
| 5 | VDDA | VDD COMPARADOR |
| 8 | VSSA | VSS COMPARADOR |
| 35 | PTA0 | ADCH 0 |
| 34 | PTA1 | ADCH 1 |
| 33 | PTA2 | ADCH 2 |
| 32 | PTA3 | ADCH 3 |
| 24 | PTB0 | ADCH 4 |
| 23 | PTB1 | ADCH 5 |
| 22 | PTB2 | ADCH 6 |
| 21 | PTB3 | ADCH 7 |
| 36 | Tx\_2 | SCI2 TRANSMITTER |
| 37 | Rx\_2 | SCI2 RECEIVER |

**Diseño de Hardware:**

Ver anexo.

