



中国科学院大学

数字逻辑电路学习指导

学 院：信息科学技术学院

专 业：信息安全

姓 名：高源

指导教师：胡新伟老师

目录

1 写给信息学院的学弟学妹们的一封信	6
2 课程综述	7
2.1 简介	7
2.2 课程特点	7
2.3 学习方法	8
3 第一章 数制和码制	10
3.1 主要内容	10
3.2 学习目标	10
3.3 学习方法	10
3.4 思考题	11
3.5 经典例题	12
4 第二章 逻辑代数基础	14
4.1 主要内容	14
4.2 学习目标	14
4.3 学习方法	15
4.4 思考题	15
4.5 经典例题	17
5 第三章 门电路	21
5.1 主要内容	21
5.2 学习目标	21
5.3 学习方法	22
5.4 思考题	22
5.5 经典例题	24
6 第四章 组合逻辑电路	26
6.1 主要内容	26
6.2 学习目标	26
6.3 学习方法	26

6.4 思考题	27
6.5 经典例题	29
7 第五章 半导体存储电路	30
7.1 主要内容	30
7.2 学习目标	30
7.3 学习方法	31
7.4 思考题	31
7.5 经典例题	33
8 第六章 时序逻辑电路	34
8.1 主要内容	34
8.2 学习目标	34
8.3 学习方法	35
8.4 思考题	36
9 第七章 脉冲波形的产生和整形电路	40
9.1 主要内容	40
9.2 学习目标	40
9.3 学习方法	41
9.4 思考题	42
10 第八章 数——模和模——数转换	45
10.1 主要内容	45
10.2 学习目标	45
10.3 学习方法	46
10.4 思考题	46
10.5 经典例题	47
11 第一章至第四章经典问题综合整理	50
11.1 无关项的概念及其在化简逻辑函数中的应用	50
11.1.1 无关项的概念	50
11.1.2 约束项	50
11.1.3 任意项	51
11.1.4 无关项在化简中的应用	52
11.2 逻辑函数不同表达形式之间的转换	53
11.2.1 真值表转换为逻辑函数式	53
11.2.2 逻辑函数式转换为真值表	53
11.2.3 逻辑函数式转换为卡诺图	53

11.2.4 波形图转换为真值表	54
11.3 逻辑函数式常见形式变换	54
11.3.1 与或式 \Rightarrow 与非与非式	54
11.3.2 与或式 \Rightarrow 与或非式	54
11.3.3 与或式 \Rightarrow 或与式	55
11.3.4 与或式 \Rightarrow 或非或非式	55
11.4 怎样学习第三章	55
11.4.1 基本电路——互补开关电路	55
11.4.2 一种实现方法——二极管开关电路	56
11.4.3 一种实现方法——MOS 管基本开关电路	56
11.4.4 一种实现方法——CMOS 反相器	57
11.5 关于高阻态	57
11.5.1 概念	57
11.5.2 表示方法	57
11.5.3 注意事项	57
11.6 可用来实现逻辑函数的常用组合逻辑电路模块	58
11.6.1 译码器	58
11.6.2 数据选择器	58
11.6.3 加法器	58
11.7 组合逻辑电路分析	58
11.7.1 本质	58
11.7.2 方法	59
11.7.3 想法分析	59
11.8 组合逻辑电路设计	59
11.8.1 本质	59
11.8.2 方法	59
11.8.3 注意	60
11.9 逻辑抽象问题	60
11.10 译码器、数据选择器的应用及其比较	60
11.10.1 译码器	60
11.10.2 数据选择器	61
11.10.3 应用	61

11.11 功能扩展专题	61
11.11.1 本质	61
11.11.2 “黑盒子”模型——解题方法	61
11.11.3 以一道作业题目为例	63
11.12 数制和码制例题补充	65
11.12.1 十进制码和格雷码的转换	65
11.12.2 二进制码和 BCD 码的转换	65
11.13 逻辑代数基础例题补充	66
11.13.1 异或运算和同或运算	66
11.13.2 利用公共项实现最简逻辑函数式	66
11.13.3 无关项在化简中的应用	66
11.14 加法器的应用	67
11.14.1 加法器实现加减运算	67
11.14.2 加法器实现乘法运算	67
11.15 有限制的功能扩展问题	68
12 第五章至第八章经典问题综合整理	70
12.1 SR 锁存器的约束条件与“不定”状态的理解	70
12.1.1 简述	70
12.1.2 SR 锁存器电路结构与特性表	70
12.1.3 SR 锁存器约束条件与“不定”状态的解读	71
12.2 触发器的逻辑功能和触发方式	72
12.2.1 简介	72
12.2.2 逻辑功能和触发方式的关系	72
12.2.3 关于逻辑功能	73
12.3 触发器的异步置位问题	73
12.3.1 简介	73
12.3.2 怎么识别是同步输入还是异步输入	73
12.3.3 只有一个 S_D 或者 R_D	74
12.3.4 异步输入对主从触发器如何影响	75
12.4 触发器的动态特性	75
12.4.1 简介	75
12.4.2 考察要求和如何学习	76

12.5 时序逻辑电路分析	76
12.5.1 简介	76
12.5.2 分析方法	76
12.6 常用时序逻辑电路模块	77
12.6.1 简介	77
12.6.2 同步置零、置位和异步置零、置位	77
12.6.3 关于计数器进位输出信号	77
12.6.4 以移位寄存器为例分析自启动问题	78
12.7 同步时序逻辑电路设计	81
12.7.1 简介	81
12.7.2 设计方法	81
12.7.3 关于学习同步时序逻辑电路设计的一些小建议	83
12.8 门电路、脉冲产生与整形电路、数模转换电路	84
12.8.1 简介	84
12.8.2 TTL 电路和 CMOS 电路输入悬空问题	84
12.8.3 性能参数	84
12.8.4 学习上的建议	85
13 期末模拟试卷	86
14 致谢	94

写给信息学院的学弟学妹们的一封信

亲爱的信息学院的学弟学妹们你们好：

我是高源，来自信息学院 1702 班，信息安全专业.2020 年秋季学期在胡新伟老师的数字逻辑电路班级 (06 班) 担任课程助教.

在学习数字逻辑电路课程的时候，被这门课程中的迷人的电子学色彩所深深吸引. 学习中注重把握课程特点，并基于课程特点展开深入思考以求得适合自己的学习方法，这也许是我在学习这门课程的时候还算比较顺利的原因吧. 也想把一些思考和心得和大家分享，希望能够帮助有需要的同学解决一些学习这门课程中遇到的困难.

有了 2020 年春季学期担任数理方程课程助教的经验后，这学期在开展工作时相对更加顺利一些. 考虑到有一些学习方法可以分享，以及针对大家在学习这门课程时常常遇到的疑难问题做统一的整理，为了帮助大家更加顺利地这门课程的学习，编写了这本《数字逻辑电路学习指导》. 其中经典问题综合整理主要来自于平时批改作业中的总结，以及答疑过程中从同学们的反馈中归纳整理. 在此特别感谢 2020 秋数字逻辑电路 06 班的全体同学们的配合与支持.

作为信息学院的一员，深切感受到老师们的关爱，衷心感谢各位老师的教导和帮助. 希望尽自己所能，为学院的教学贡献一点点力量. 所以特此将这本《数字逻辑电路学习指导》献给最亲爱的信息学院.

由于个人能力有限，并且在这本学习指导中很多地方是在分享自己的理解和思考，所以难免会出现一些疏漏、不妥或者错误之处. 恳请阅读这本《数字逻辑电路学习指导》的同学们给予批评指正. 也欢迎同学们针对我提出的一些想法和我一起交流探讨. 在此留下个人联系方式 Email: wazs98@ustc.edu.cn QQ: 2209823112.

祝愿学弟学妹们能够顺利完成数字逻辑电路课程学习，取得理想的成绩.

祝愿信息学院的教学工作越来越好.

信息学院 1702 班 信息安全专业 高源

2020 年 11 月

课程综述

2.1 简介

电子电路，是指由电子器件和有关无线电元件组成的电路。包括放大、振荡、整流、检波、调制、频率变换、波形变换等电路，以及各种控制电路。广泛应用于各种电子设备中。

电子电路的功能可以概括为

- 能量转换
- 信息处理

我们学习的模拟电子电路所实现的功能主要为能量转换，而数字电子电路实现的功能主要为信息处理。

2.2 课程特点

这门课程的特点可以概括为

- 理论性
- 工程性

下面对于课程特点做简要分析。

首先我们学习逻辑代数相关的基本知识，从逻辑二值运算开始，引入逻辑函数的一种表达形式——真值表，进而进一步地引入逻辑函数式以及其他逻辑函数的表达形式。至此，这门课程的数学基础我们已经基本熟悉。基于此，我们讨论组合逻辑电路和时序逻辑电路的分析与设计。从某种角度来讲，实际上组合和时序逻辑电路的设计，可以看作逻辑函数式不同表达形式的转换的过程。比如，组合电路的分析就是从逻辑图到逻辑式或真值表的转换，而组合电路设计就是从自然语言描述的问题抽象成为逻辑代数问题，然后用逻辑函数最接近自然语言的表达形式——真值表来转化给定问题。进而我们通过逻辑函数式不同形式的转化，最后化为逻辑图。时序电路略微复杂，不过总的来看过程仍然相似。

所以,基本逻辑代数理论以及组合、时序电路的分析方法和设计原则是要熟练掌握的基本理论。

但作为一个工程性的学科,在学习时不能只注重理论的学习和理解,要从其工程性角度出发来思考问题。

比如,我们在学习逻辑代数部分,常常研究逻辑函数式的化简.但有时候要思考一个问题,我们真的一定要化简,或者化到最简吗?化简是我们不变的追求吗?我们选择化简逻辑函数式,实际上是为了逻辑电路实现的方便,尽量简单的逻辑函数式可以使得元器件的数量以及连线数量尽可能少,降低成本、减少布局布线所带来的寄生电感电容、减少焊接出错的可能性等等.但我们可以思考这样一个问题,在研究竞争冒险现象时,我们提到,一种消除竞争冒险的方法是修改逻辑设计,常用手段是增加冗余项.那么,我们要考虑,这时,从可靠性角度来思考,是不是最简又不是最完美的追求?实际上,对于模拟电路和数字电路,或者说,对于电子学,我们要有这样一个认识.没有最好的,只有最合适的,或者说合适的才是最好的,因为有一利就有一弊.所以,在优化某一个方面时,要问自己,牺牲了什么,可以忍受吗?作为设计者,客户要求是第一位的,所以我们要在各个参数设计中做权衡,达到客户要求的电路才是最好的电路。

2.3 学习方法

在明确了课程特点的基础上,我们可以讨论学习这门课程的方法.在这里只做概述,具体学习方法详见本书各个章节内容。

数字电子技术基础这门课,重点就是组合和时序逻辑电路的分析和设计.逻辑代数基础部分是作为数学基础来介绍,提供分析和设计的工具.而门电路和脉冲产生整形电路部分则是提供探讨性能的理论基础和手段.模/数和数/模转换则是作为模拟和数字两部分的衔接,以形成整体的观点。

所以,基本来说,要熟练掌握逻辑代数基础部分的定理、公式,以及逻辑函数的表达形式及其转化.基于此,可以利用逻辑函数这一有力工具来分析和设计数字电路.学习这一部分主要是掌握基本方法,并且深入理解其中的精华.比如,一个常见问题是组合逻辑电路模块的功能扩展,实际上这就是一个组合逻辑电路的设计,只不过可以略去逻辑抽象和真值表到逻辑式的转化,而且我们要用的不是门电路,而是中规模逻辑器件.如果这样理解,可能问题就会比较清晰.我们只需要思考,我们的目标是什么,几个输入,几个输出,控制关系,我们手里有什么,几个输入,几个输出.把输入首先对应好,每片内部的关系已经有保证,两片之间的关系需要我们思考这个电路的功能来决定,最后处理输出.这样,我们就完成了这个设计任务。

对于门电路和脉冲产生整形电路,可以用模型的观点来思考.门电路的模型可以选择这一章最初介绍的基本开关电路和基本互补开关电路,思考从这个电路出发,怎样得到基本二极管电路,有什么问题怎样优化,然后怎样得到电阻负载 MOS 反相器,最后得到有源负载的基本 MOS 反相器.这样,思路可能会比较清晰.脉冲产生和整形电路

类似，我们可以从基本门电路构成的施密特触发电路、单稳态电路出发，研究多谐振荡电路，以及波形分析法的应用。而定时器电路可以看成模型的抽象方式。这一部分，记住公式很重要。模/数和数/模转换部分，主要是要能从模拟和数字的结合和交互中思考问题。模拟电路主要从电路本身来研究精度，而数字电路则主要从位数来控制精度，而转换精度是一个重要参数，所以这要求我们从不同的角度来研究电路。转换速度类似。

第一章 数制和码制

3.1 主要内容

- 数制的基本概念
- 数制之间的转换方法
- 码制的基本概念
- 原码、反码、补码的概念以及转换方法
- 二进制数补码计算
- 常见编码

3.2 学习目标

- 熟练掌握数制的基本概念以及转换方法
- 熟练掌握原码、反码、补码的概念以及转换方法
- 掌握补码的引入原因，以及补码和原码之间的关系
- 熟练掌握二进制数的加减法计算 (包括带有补码的计算)
- 掌握利用原码、补码以及二进制数制基本概念实现二进制数的四则运算的方法
- 了解常见编码，以及部分编码之间的转换关系

3.3 学习方法

- 熟练掌握数制和码制的基本概念
- 熟练掌握二进制补码的概念、意义、和原码之间转换关系
- 熟练掌握二进制补码参与运算的方法

- 注意利用二进制补码运算时的有效位数问题
- 了解补码的符号位的权值观点, 注意“特殊”补码对应的原码

3.4 思考题

- 写出 4 位二进制数, 4 位八进制数和 4 位十六进制数的最大数
答: 最大的 4 位二进制数为 1111, 4 位八进制数为 7777, 4 位十六进制数为 FFFF.
- 与 4 位二进制数, 4 位八进制数, 4 位十六进制数的最大值等值的十进制数各为多少?
答: 分别为 15, 4095, 65535.
- 在十进制到二进制的转换中, 整数部分的转换方法和小数部分的转换方法有何不同?
答: 整数部分转换方法为除 2 取余, 将所有余数逆序排列即可. 小数部分转换方法为乘 2 取整, 将所有整数正序排列即可.
- 怎样将八进制数转换为十六进制数和将十六进制数转换为八进制数?
答: 八进制转换到十六进制时, 先将八进制数转化为二进制数, 即八进制数的每一位写为三位二进制数; 然后从小数点开始, 向左右两边将每四位二进制数写为一位十六进制数即可. 十六进制转换八进制时, 先将十六进制的每一位表示为四位二进制数; 然后从小数点开始, 向左右两边将每三位二进制数写为一位八进制数即可. (以二进制位桥梁, 这种观点在后续的数字逻辑电路设计中也会有所体现).
- 怎样才能将十进制数转换为八进制数?
答: 先将十进制数转化为二进制数, 然后从小数点开始, 向左右两边将每三位二进制数表示为一位八进制数. 或者按照对十进制数整数部分“除八取余逆写”, 小数部分“乘八取整顺写”的办法转换 (和十进制到二进制的转换是类似的)
- 二进制正、负数的原码、反码和补码三者之间是什么关系?
答: 正数的原码, 反码和补码三者一致. 负数的反码由原码按位取反得到 (最高的符号位不变); 负数的补码为其反码加一 (注意, 在谈到原码、反码、补码之间的关系时, 一定要记得分正负两种情况讨论, 而不是直接认为原码按位取反加一就是补码. 其实如果理解了补码引入的来由, 就不会忘记这一点).
- 为什么两个二进制数的补码相加时, 和的符号位等于两数的符号位与来自最高有效数字位的进位相加的结果 (舍弃产生的进位)?
答: 这个问题可以有两种方法来理解. 一种是从补码的基本概念出发, 结合教材中的图示, 即可理解; 另一种可以从补码的最高符号位的权值观点出发, 补码的最

高符号位可以看成权值为本身二进制位权值取相反数, 此时补码对应的原码可以看成是一个特殊二进制数计算, 仍然是对应位乘以对应位权值求和, 按照这种观点, 取两个补码进行加法运算即可理解这一说法.

- 如何求二进制数补码对应的原码?

答: 若二进制补码的符号位为“0”, 则其原码与补码相同. 若二进制补码的符号位为“1”, 则其原码为补码再求补码 (符号位不变)(注意原码就是补码的补码这一观点)

- 8421 码, 2421 码, 5211 码, 余 3 码和余 3 循环码在编码规则上各有何特点?

答: 8421 码是恒权代码, 每位的权值分别为 8, 4, 2, 1. 2421 码是恒权代码, 它的 0 和 9, 1 和 8, 2 和 7, 3 和 6, 4 和 5 互为反码. 5211 码是恒权代码, 5211 码每一位的权与 8421 码十进制计数器的分频比相对应. 余 3 码不是恒权代码, 主要特点是相邻两个代码之间只有一位的状态不同, 且与 8421 码的编码刚好差 0011. 余 3 循环码也不是恒权代码, 可以看成格雷码从 0010 开始的连续编码.

- 你能写出 3 位和 5 位格雷码的顺序编码吗?

答: 直接写出格雷码的方法是, 从末位开始按照 0110 顺序循环展开, 次末位按照 00111100 顺序循环展开, 以此类推, 从末位起第 n 位的循环模式为 n 个连续 0 接着 $2n$ 个连续 1 再接着 n 个连续 0. 另外也可以考虑和 BCD 码之间的转换, 详见胡老师的课堂板书.

- 你能用 ASCII 代码写出 “Wellcome!” 吗?

答: 查找 ASCII 码表可得

1010111	1100101	1101100	1101100	1100011	1101111	1101001	1100101	0100001
W	e	l	l	c	o	m	e	!

3.5 经典例题

- 试用补码运算的方法计算 $13 + 5$

解: 在处理用补码实现二进制数计算时要注意, 首先要确定补码表达的有效位数. 对于同符号数相加情形, 要根据二者绝对值之和的大小确定有效位数. 对于这道题目, 因两数相加之和的绝对值为 18, 所以补码的数值部分至少应取 5 位. 加上 1 位符号位, 补码一共为 6 位. 于是将两个十进制数写为 6 位二进制补码, 并相加得

$$\begin{array}{r}
 001101 \\
 +000101 \\
 \hline
 010010
 \end{array}$$

和的符号位仍为 0, 即表示和为正数 $(+18)_{10}$.

- 将给定数字转换为二进制数和 BCD 码

将十进制数 598 转换为二进制数和 BCD 码:

解: 598 转换为二进制数是 1001010110, 转换为 BCD 码是 010110011000.

第二章 逻辑代数基础

4.1 主要内容

- 基本的逻辑运算
- 逻辑代数基本公式、常用公式
- 逻辑函数的基本概念和描述方法
- 逻辑函数不同描述方法的比较与转换
- 最小项的概念
- 逻辑函数的标准形式——最小项之和
- 逻辑函数的最简形式准则与化简方法
- 卡诺图及其使用方法
- 无关项的概念以及含无关项逻辑函数的化简
- 逻辑函数的五种常见表达形式以及互相转换

4.2 学习目标

- 熟练掌握逻辑运算的基本概念、对应的符号表示
- 熟练掌握常用的逻辑代数公式
- 理解逻辑函数的概念
- 熟练掌握逻辑函数的不同描述方法以及描述方法之间的互相转换
- 熟练掌握最小项概念以及逻辑函数的最小项之和的表达形式
- 掌握公式法化简的基本概念

- 熟练掌握卡诺图的绘制以及应用卡诺图化简逻辑函数的方法
- 了解无关项的概念以及含无关项逻辑函数化简方法
- 熟练掌握逻辑函数常见形式的转换

4.3 学习方法

- 理解清楚逻辑运算、逻辑代数、逻辑函数的基本概念
- 理解无关项的概念，并注意区分约束项和任意项
- 熟练掌握逻辑函数的不同描述方法，注意比较不同描述方法的区别，从而理解转换的目的
- 理解逻辑代数基本定理的思想，认真理解教材例题，思考代入定理和反演定理的意义
- 理解卡诺图方法的原理，了解卡诺图中每个元素和最小项之间的对应关系
- 注意卡诺图中元素的相邻和几何相邻之间的区别与联系
- 可以考虑以展开法的思路理解卡诺图中的元素相邻 (将低阶卡诺图作对称翻折，得到高阶卡诺图)
- 熟练掌握基于反演定理实现逻辑函数常见形式的转换

4.4 思考题

- 你能各举出一个现实生活中存在的与、或、非逻辑关系的事例吗？

答：略。

- 两个变量的异或运算和同或运算之间是什么关系？

答：是非的关系。

- 在逻辑代数的基本公式当中，照些公式的运算规则和普通代数的运算规则是相同的？哪些是不同，需要特别记住的？

答：相同的有 $0 \cdot A = 0$; $1 \cdot A = A$; $A + B = B + A$; $A \cdot (B \cdot C) = (A \cdot B) \cdot C$; $A \cdot (B + C) = A \cdot B + A \cdot C$; $0 + A = A$; $A \cdot B = B \cdot A$; $A + (B + C) = (A + B) + C$

不相同的有 $A \cdot A = A$; $A \cdot A' = 0$; $(A \cdot B)' = A' + B'$; $(A')' = A$; $1' = 0$; $0' = 1$; $1 + A = 1$; $A + A = A$; $A + A' = 1$; $A + B \cdot C = (A + B) \cdot (A + C)$; $(A + B)' = A' \cdot B'$

可以考虑用集合的观点理解逻辑运算。

- 代入定理中对逻辑式的形式和复杂程度有无限制?

答: 无限制.

- 利用反演定理对给定逻辑式求反时, 应如何处理变换的优先顺序和式中所有的非运算符号?

答: 优先顺序: 括号-> 非-> 与-> 或, 括号的优先级最高. 关于非运算: 单变量上的非运算符号要去掉, 不属于单变量上的非运算符号保持不变.

- 逻辑函数的表示方法有哪几种? 你能把由任何一种表示方法给出的逻辑函数转换为由其他任何一种表示方法表示的逻辑函数吗?

答: 逻辑函数的表示方法包括真值表、逻辑函数式、逻辑图、波形图、卡诺图.

从真值表到函数式的转换方法为: 读出所有函数值为 1 所对应的最小项, 求和即可得逻辑函数的标准表达形式, 即最小项之和形式.

从逻辑函数式到逻辑图的转换方法为: 利用逻辑运算符号图形表示代替逻辑运算, 整理可得.

从逻辑图到逻辑函数式的转换方法为: 用逻辑运算代替逻辑运算符号图形表示即可得.

从逻辑函数式到波形图的转换方法是: 按照时间顺序依次写出输入, 代入逻辑函数式得到输出, 即可画出波形图.

从波形图到卡诺图的转换方法为: 读出波形图中每一时刻的输入和输出, 将输入对应到卡诺图的一个方块, 填入输入, 当卡诺图填满时转换完成.

从卡诺图到真值表的转换方法为: 根据卡诺图的每一个方块对应的输入变量取值, 将方块内的值填入真值表即可.

类似地可得其他所有转换方法.

- 在逻辑函数的真值表和波形图中, 任意改变各组输入和输出取值的排列所序对函数有无影响?

答: 没有影响.

- 卡诺图化简法所依据的基本原理是什么?

答: 逻辑相邻的两个最小项作或运算时, 其结果是二者合并为一项, 并消去一对互为反变量的因子. 在低阶卡诺图上, 很容易用几何相邻表达逻辑相邻.(要注意逻辑相邻和几何相邻不是严格等价, 哪怕是对于低阶卡诺图)

- 卡诺图两侧变量取值的标注次序应遵守什么规则?

答: 相邻两个标注之间只有一个变量不同, 以保证逻辑相邻和几何相邻的一致性. 可以按照格雷码的书写方法书写变量取值.

- Q—M 法所依据的基本原理是什么? 答: 通过合并相邻最小项并消去多余因子而获得最简的与或式.(不要求掌握这种方法, 但可以认识到, 其本质思想仍然是通

过合并逻辑相邻的最小项得到最简与或式)

- 公式化简法、卡诺图化简法、Q——M 化简法各有何优缺点?

答: (1) 公式化简法的优点是对逻辑变量的数量没有限制, 但须灵活应用基本和常用公式, 没有固定原则可循, 而且很难确定最后得到的是否是最简的函数式。

(2) 卡诺图化简法的优点是有固定的步骤可循, 化简过程直观, 简便, 并且能够确定得到了最简结果。但是对于变量数有限制, 一般来讲不应超过 4 个变量。

(3) Q——M 法对变量数没有限制, 而且有固定的规则, 但是过程繁琐, 适合于用计算机编程实现。这种方法在这门课程中不作要求。

- 什么是约束项, 任意项和无关项?

答: 约束项: 在逻辑函数中, 恒等于 0 的最小项称为逻辑函数的约束项, 用来表示输入变量的某些取值是不允许的, 对应于描述的事件不会出现。

任意项: 在输入变量的某些取值下, 函数值是 0 和 1 均可, 并不影响电路的功能。这种变量取值所对应的最小项称为任意项。

无关项: 约束项和任意项统称为无关项。

- 将一个约束项写入逻辑函数式或不写入逻辑函数式, 对函数的输出是否有影响?

答: 对于约束项, 没有影响 (因为这个最小项对应的取值恒为 0)。对于任意项, 有影响 (因为其取值可能为 0, 可能为 1, 进而有可能产生影响, 注意这种影响是针对逻辑函数的输出讨论的, 和无关项的定义并不矛盾)。

- 怎样利用无关项才能得到更简单的逻辑函数化简结果?

答: 加入的无关项应与函数式中尽可能多的最小项具有逻辑相邻性。

4.5 经典例题

- 逻辑等式的证明

(1) 证明两个逻辑变量 X 和 Y 互为反变量的等价表达 $X + Y = 1, XY = 0$ 。

(2) 请利用第一问的结论证明逻辑等式

$$ABCD + A'B'C'D' = (AB' + BC' + CD' + DA')'$$

证明: (1) 若 X 和 Y 互为反变量, 即 $Y = X'$ 。代入计算得

$$X + Y = X + X' = 1 \quad XY = XX' = 0$$

即满足等式.

若 X 和 Y 满足等式, 可列出真值表

X	X'	Y	$X + Y$	XY
0	1	1	1	0
1	0	0	1	0

由真值表可知, X' 和 Y 的取值保持一致, 即可知 X 和 Y 互为反变量.

综上所述, 两个逻辑变量 X 和 Y 互为反变量的等价表达 $X + Y = 1, XY = 0$.

(2) 令 $X = ABCD + A'B'C'D', Y = AB' + BC' + CD' + DA'$. 计算得

$$XY = (ABCD + A'B'C'D')(AB' + BC' + CD' + DA') = 0$$

和

$$\begin{aligned}
 X + Y &= ABCD + A'B'C'D' + AB' + BC' + CD' + DA' \\
 &= ACD + A'(CD)' + AB' + BC' + CD' + DA' \\
 &= AC + A'C' + AB' + BC' + CD' + DA' \\
 &= AC + DA' + CD + A'C' + AB' + BC' + CD' \\
 &= AC + DA' + C + A'C' + AB' + BC' \\
 &= DA' + C + A' + AB' + B \\
 &= C + A' + A + B = 1 + C + B = 1
 \end{aligned}$$

所以 $X = Y'$, 则原等式成立.

• 化简逻辑函数式

请用公式法化简 $Y = (A + B + C + D)(A' + B + C + D)(A + B' + C + D)(A + B + C' + D)(A + B + C + D')$

解: 这类题目求解时, 首先要注意是否指定了方法, 如果有则必须按照指定的方法进行化简. 如果没有, 可以根据变量的个数进行选择. 如果变量个数较少, 则可以考虑使用卡诺图法; 如果变量个数较多, 考虑是否可以转化为变量个数较少情形, 如果可以则尝试转化, 如果不可以, 则往往只能使用公式法化简.

这道题目指定了使用公式法进行化简. 使用公式法化简时, 首先要根据逻辑函数式的形式确定方法, 以及公式的选择. 根据这道题目的形式, 可以考虑两种思路. 一种是利用反演公式, 写出 Y' 的表达形式, 并化简, 然后再使用反演公式得到 Y 的最简与或式. 另一种思路是表达成最大项之积的形式, 进而得到最小项之和的形式, 合并相邻项即可得.

具体的计算过程留给读者进行尝试, 这道题目作为一类题型的代表, 向读者阐述这类题目的求解思路.

- 多个变量的逻辑函数式化简

$$\text{化简 } Y = (AB'C'D + AC'DE + B'DE' + AC'D'E)'$$

解：首先观察，题目没有指定方法。然后发现，逻辑函数式中有 5 个变量，而我们往往在变量数不大于 4 的情况下使用卡诺图法进行化简，理由是当变量数超过 4 时，逻辑相邻性在卡诺图上的表示变得复杂，不易于求解，而且容易忽略一些逻辑相邻关系从而没有得到最简的结果。这道题目我们以公式法（结合卡诺图法）和卡诺图法分别进行求解，希望读者可以比较二者的使用，并产生思考。

法一：使用公式法化简往往是难度较大的，因为不易于直接找到合适的公式进行化简，对于这种多个变量的情形难度往往更大。这时我们有一个思路，就是希望通过把多个变量的逻辑函数式转化为变量个数较少的逻辑函数式，进而可以方便求解，而且当变量数不超过 4 的时候可以接着使用卡诺图求解。按照这个思路，我们分析这道题目。首先记

$$Z = AB'C'D + AC'DE + B'DE' + AC'D'E$$

进行化简可得

$$Z = AC'(B'D + E) + B'DE'$$

此时可以发现，逻辑函数式中 AC' , $B'D$ 都是以整体形式出现，则可以令 $F = AC'$, $G = B'D$ ，进而可得

$$Z = EF + E'G + FG$$

所以得

$$Y = (EF + E'G + FG)' = EF' + E'G' + F'G'$$

此时只有 3 个变量，可以使用卡诺图法化简得到

$$Y = EF' + EG$$

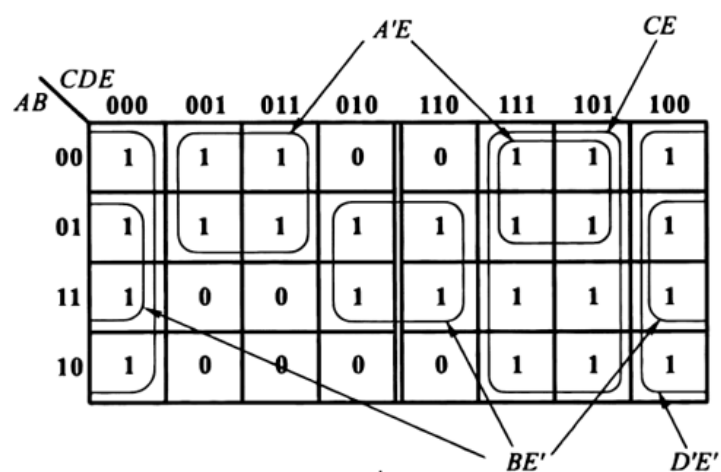
所以得到化简结果

$$Y = A'E + BE' + CE + D'E'$$

法二：使用卡诺图法进行化简。对于多个变量的情形，我们如果仍然使用卡诺图法进行化简，要注意其逻辑相邻性在卡诺图上的表达形式。由题意知

$$\begin{aligned} Y(A, B, C, D, E) &= (AB'C'D + AC'DE + B'DE' + AC'D'E)' \\ &= (m_2 + m_6 + m_{17} + m_{18} + m_{19} + m_{22} + m_{25} + m_{27})' \end{aligned}$$

进而可画出卡诺图



注意其中沿中轴线对称的两侧仍为逻辑相邻，化简得到结果

$$Y = A'E + CE + BE' + D'E'$$

建议读者阅读法一中的思路，并比较两种方法，或者考虑其他思路。可以选择自己觉得合适的方法以应对可能出现的多个变量的逻辑函数式化简问题。

第三章 门电路

5.1 主要内容

- 半导体二极管开关特性
- 半导体二极管门电路 (主要是与门、或门)
- MOS 管的开关特性
- MOS 管基本开关电路以及开关等效电路
- CMOS 反相器的构成
- CMOS 反相器的传输特性、输入输出特性、噪声容限、传输延迟时间
- CMOS 反相器功耗、扇出系数等参数的计算
- 用 CMOS 反相器构成各种 CMOS 门电路
- OD 门的基本概念以及相关计算
- 传输门的基本概念以及用传输门构成其他门电路 (以及触发器——第五章会讲到, 在这里注意观察传输门的结构及其工作原理)
- 三态门的基本概念以及高阻态的理解

5.2 学习目标

- 了解开关电路基本概念、正负逻辑基本概念, 理解逻辑门的本质是高低电平表而不是真值表
- 熟练掌握二极管的开关特性、开关等效电路以及二极管门电路的组成结构与工作原理
- 熟练掌握 MOS 管开关特性、开关等效电路

- 熟练掌握 MOS 管反相器的结构和工作原理
- 熟练掌握 CMOS 反相器的传输特性、输入输出特性 (第七章也会用得到)
- 掌握噪声容限、传输延迟时间等概念
- 熟练掌握 CMOS 反相器功耗、扇出系数等的计算
- 了解 CMOS 反相器构成基本 CMOS 门电路的方法
- 熟练掌握读由基本门电路构成的电路图的方法
- 熟练掌握 OD 门相关计算
- 掌握 OD 门的工作原理以及应用场景
- 掌握传输门、三态门的结构、工作原理以及应用场景

5.3 学习方法

- 理解清楚基本开关电路模型
- 理解从基本开关电路到二极管反相器再到 CMOS 反相器的演变过程及原因
- 熟练掌握二极管开关特性及等效电路、MOS 管开关特性及等效电路
- 理解二极管与、或门的工作原理
- 理解 CMOS 反相器的工作原理
- 分析 CMOS 反相器，理解传输特性、输入输出特性
- 分析各种性能参数的概念和意义
- 理解 OD 门相关计算的推导过程
- 分析 OD 门、传输门、三态门结构和工作原理

5.4 思考题

- 为什么在教材图中给出了三种不同形式的二极管等效电路？它们各适用于什么场合？

答：当二极管外电路的电势电压源和等效电阻与二极管的导通压降和导通电阻相比处于不同情况时，分别采用这三种不同形式的二极管等效电路

(1) 当外电路的等效电源 V_{CC} 和等效电阻都很小时，二极管的正向导通压降和正

向电阻都不能忽略, 此时用教材图的折线模型来近似地描述二极管的特性.

(2) 当二极管的正向导通压降与外电路的电源电压相比不能忽略, 而外电路的电阻与二极管的正向电阻相比可以忽略时, 采用原教材图中的直线模型近似地描述二极管的特性.

(3) 当二极管的正向导通压降和正向电阻与外电路的电压和电阻相比均可忽略时, 可将二极管视为理想开关, 用教材图中的开关模型近似地描述二极管的特性.

- 为什么不宜将多个二极管电路串联起来使用?

答: 二极管存在导通压降, 多级串联时压降累积带来巨大的电平偏移, 影响电路正常工作.

- 在什么条件下才可以将教材图中的 MOS 管近似地看作一个理想开关?

答: (1) 当 $V_I = V_{GS} < V_{GS(th)}$ 时, 只要负载电阻 R_D 远远小于 MOS 管的截止电阻 R_{OFF} , MOS 管的 D-S 之间可以看成是一个断开的开关.

(2) $V_I = V_{GS} > V_{GS(th)}$ 且 V_{GS} 较大时, MOS 管导通电阻 R_{ON} 变得很小, 当 $R_{ON} \ll R_D$ 时, MOS 管的 D-S 之间可以看成是一个闭合的开关.

- N 沟道增强型 MOS 管和 P 沟道增强型 MOS 管在导通状态下 V_{GS} 和 V_{DS} 的极性有何不同?

答: N 沟道增强型 MOS 管导通时, V_{GS} 为正, V_{DS} 为正.

P 沟道增强型 MOS 管导通时, V_{GS} 为负, V_{DS} 为负.

- 什么是开启电压 $V_{GS(th)}$? 什么是夹断电压 $V_{GS(off)}$?

答: 对于增强型 MOS 管, 当输入电压超过开启电压时, D—S 之间开始形成导电沟道. 对于耗尽型 MOS 管, 当输入电压小于夹断电压时, 导电沟道消失.

- 若将教材中图 3.3.16(a) 所示反相器的输入端经过 $100\text{ k}\Omega$ 电阻接地, 这时输入电压 v_I 等于多少?

答: $v_I = 0\text{V}$

- 若将教材中图 3.3.16(a) 所示反相器的输入端悬空, 这时输入电压 v_I 等于多少?

答: $v_I = \frac{1}{2}V_{DD}$

- CMOS 电路的动态功耗和哪些电路参数有关?

答: CMOS 电路的动态功耗分为负载电容的充、放电功耗 P_C 和 MOS 管 T_1, T_2 同时导通功耗 P_T 两部分. 总的来说, CMOS 电路的功耗与负载电容的容量、信号频率、电源电压以及电路内部参数有关.

- 你能说明 CMOS 电路功耗电容的物理意义吗?

答：对于 T_1, T_2 支路, 其功耗为

$$P_T = \left(\frac{V^2}{R_D} \right) / T = \frac{V^2}{R_D} f = \frac{V_{DD}^2}{R_D} f$$

其中 R_D 为 T_1, T_2 支路的等效导通电阻.

由

$$P_T = C_{PD} f V_{DD}$$

可知

$$C_{PD} f V_{DD} = \frac{V_{DD}^2}{R_D} f$$

则有

$$C_{PD} = \frac{1}{R_D}$$

所以, C_{PD} 可以看作是 T_1, T_2 支路的电导.

- 能否将两个互补输出结构的 CMOS 门电路的输出端并联, 接成线与结构?

答：不能. 如果输出级 CMOS 反相器分别 T_1, T_2 导通, 则形成低阻导通回路, 近似短路, 会产生巨大电流, 损坏管子.

5.5 经典例题

- 试分析正逻辑的与门对应于负逻辑的哪种门电路, 说明理由, 并分析原因.

解：首先我们要明确, 对于逻辑门器件来说, 其本质是高低电平表, 而不是正负逻辑的真值表. 为了分析这一问题, 需要写出其高低电平表. 由正逻辑与门知, 其真值表为

A	B	Y
0	0	0
0	1	0
1	0	0
1	1	1

进而可以写出其高低电平表

A	B	Y
L	L	L
L	H	L
H	L	L
H	H	H

对应地，写出负逻辑下的真值表

A	B	Y
1	1	1
1	0	1
0	1	1
0	0	0

所以可知，正逻辑的与门对应于负逻辑的或门。一般地，门电路的正逻辑和负逻辑所表达的逻辑关系互为对偶。这一点其实从反演公式中也可以推断得到。

特别说明，正负逻辑只是作为基本概念提出，而且在这门课程中，没有特殊说明我们都采用负逻辑。这里提出这一例题主要想说明一个事实，即对于逻辑门电路来说，其本质是高低电平表，而不是正逻辑或负逻辑下的真值表。

第四章 组合逻辑电路

6.1 主要内容

- 组合逻辑电路的基本概念、逻辑功能描述方法
- 组合逻辑电路的分析方法
- 组合逻辑电路的设计流程
- 常用的组合逻辑电路模块功能分析和设计思路分析
- 常用组合逻辑电路模块的功能扩展
- 利用常用组合逻辑电路模块进行电路设计
- 竞争——冒险现象

6.2 学习目标

- 掌握组合逻辑电路的基本概念以及时序逻辑电路的区别
- 熟练掌握组合逻辑电路的分析方法
- 熟练掌握组合逻辑电路设计方法
- 熟练掌握常用组合逻辑电路模块功能，并能够实现功能扩展以及利用常用组合逻辑电路模块进行电路设计
- 掌握竞争——冒险的基本概念基本概念、形成原因、危害、消除方法

6.3 学习方法

- 理解组合逻辑电路的概念，以及和时序逻辑电路的区别，思考在电路设计时这样的区别会给电路设计带来哪些影响

- 理解组合逻辑电路分析本质就是逻辑函数的表示形式的转换, 从逻辑图转换为真值表. 并且和第二章学习的内容相结合, 理解逻辑函数的不同表示形式的区别并思考其在电路设计中的应用
- 将组合逻辑电路分析看成逻辑图-> 真值表-> 自然语言描述的转换, 理解真值表是最直观的, 因此作为逻辑函数其他表示形式和自然语言描述之间的桥梁
- 将组合逻辑电路设计看成分析的逆过程, 从自然语言描述出发, 需要转换到逻辑电路图, 首先需要实现到逻辑函数式的过渡, 所以第一步是要建立逻辑抽象, 对事件进行编码后将自然语言描述转换为真值表
- 熟练掌握逻辑函数的各种表示形式之间的转换
- 注意逻辑电路设计中工程性的体现, 在获得逻辑函数式之后不要急着化简, 要注意我们的电路设计和器件选择密切相关, 只有选定了器件类型后才能考虑作适当的变换、化简
- 将常用组合逻辑电路模块当作设计题目来思考, 自己尝试进行设计
- 理解每种常用组合逻辑电路模块的工作原理, 思考扩展方法
- 结合第二章学习的逻辑函数的标准形式——最小项之和, 理解最小项译码器可以用来设计任何逻辑函数 (变量数不超过译码器输入数量)
- 比较数据选择器和译码器在生成逻辑函数时的异同
- 分析加法器在生成逻辑函数时的应用, 思考用加法器实现乘法运算的方法
- 理解竞争——冒险现象的基本概念、形成原因、危害, 比较各种消除方法的优缺点, 并针对修改逻辑设计——增加冗余项方法展开思考, 逻辑函数式的化简是否是永恒的追求, 并由此理解这门课程的工程性特点, 思考学习方法

6.4 思考题

- 什么是“逻辑抽象”, 它包含哪些内容?
答: 所谓“逻辑抽象”是指将具体问题的自然语言描述转化为逻辑函数的过程. 具体包含:
 - (1) 分析事件的因果关系, 确定输入和输出变量.
 - (2) 对输入变量和输出变量进行二进制编码, 其编码的规则和含义由设计者根据事件选定
 - (3) 对给定的因果关系列出真值表

- 对于一个实际的逻辑问题, 两个同学经过逻辑抽象得到的逻辑函数不完全相同, 这是为什么?

答: 两个同学在逻辑变量选取、二进制编码等操作可能有所不同, 所以导致得到的逻辑函数式不完全相同.

- 在需要使用普通编码器的场合能否用优先编码器取代普通编码器? 在赛要使用优先编码器的场合能否用普通编码器取代优先编码器?

答: 前者可以, 后者不可以.

- 用二——十进制译码器附加门电路能否得到任何形式的四变量逻辑函数, 为什么?

答: 不可以. 因为二——十进制译码器不是全译码器, 在其输出端不能得到四变量的全部最小项 (16 个), 而只能是 10 个.

- 用 4 线——16 线译码器 (输入为 A_3, A_2, A_1, A_0 , 输出为 $Y'_0 \sim Y'_{15}$) 能否取代 3 线——8 线译码器? 如果可以取代, 那么电路应如何连接?

答: 可以. 将 A, B, C 分别接输入 A_2, A_1, A_0 , A_3 接低电平. 4 线——16 线译码器的高八位输出端不用, 低八位输出 $Y'_0 \sim Y'_7$.

- 数据选择器输入数据的位数和输入地址的位数之间应满足怎样的定量关系?

答: 若输入数据的位数为 M , 输入地址的位数为 N , 则二者的关系为 $M = 2^N$.

- 如果用同样的一个 4 选 1 数据选择器产生同样的三变量逻辑函数, 电路接法是否是唯一的?

答: 不唯一, 存在多种变量对应关系.

- 串行进位加法器和超前进位加法器有何区别? 它们各有何优缺点?

答: (1) 串行进位加法器中每位的进位输入信号是从低位逐级产生并传送而来的, 每一位的运算结果必须等到各低位的运算都完成后, 才能确定. 优点是结构简单, 缺点是运算速度慢.

(2) 超前进位加法器中每位的进位输入信号都是同时确定的, 每一位的运算是同时独立进行的. 优点是运算速度快, 缺点是电路结构复杂.

- 如果用 4 位数值比较器比较两个 3 位的二进制数, 可以有多少种接法?

答: 如果单纯看题目没有其他限制, 可以认为有 $C_4^3 = 4$ 种接法, 即两个二进制数分别接比较器的两个输入端对应位, 各自余下的一位同时接低电平或高电平即可. 但按照习惯, 往往会选择高 3 位或低 3 位.

- 你能用最简单的语言说明什么是竞争——冒险现象, 以及它的产生原因吗?

答: 竞争: 门电路的两个输入信号同时向相反电平跳变. 竞争——冒险: 由于竞争而在输出端可能产生尖峰脉冲的现象. 成因: 两个输入信号向相反状态跳变时, 时间不能保证精确一致.

- 有哪些方法可以消除竞争——冒险现象, 这些方法各有何优缺点?

答: 共有三种方法.

- (1) 引入滤波电容: 优点是电路结构简单; 缺点是使正常信号边沿质量变坏.
- (2) 引入选通脉冲: 优点在于门电路输出端不会出现尖峰脉冲; 缺点是正常输出信号会变成脉冲信号, 且必须设法使选通信号与输入信号同步.
- (3) 修改逻辑设计: 如果运用得当, 可以从根本上消除竞争——冒险现象, 不必增加额外的电路, 又不给输出信号带来不利影响; 缺点是能解决的问题是有限的.

6.5 经典例题

- 利用加法器实现乘法运算

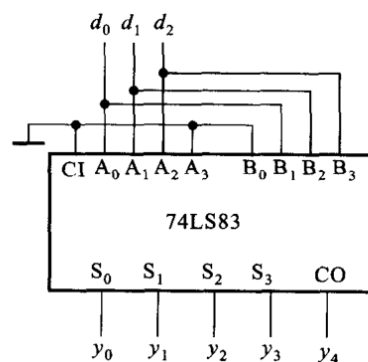
请用 4 位加法器 74LS83 实现一个三位二进制数的 3 倍乘法运算.

解: 首先分析题目要求, 利用中规模器件实现组合逻辑电路设计. 这类题目在处理的时候要注意, 对于译码器和数据选择器这类可以实现任意 (前提是变量数符合要求) 逻辑函数的中规模器件, 往往题目可以有多种可能. 而对于其他中规模逻辑器件, 往往是实现功能扩展, 或者要实现的功能和其本身能够实现的功能有着紧密的联系. 所以在解题的时候要做的就是分析提供的逻辑器件所能够实现的功能, 以及要求实现的功能, 找到二者之间的联系.

考虑提供的中规模器件——加法器, 我们知道可以利用加法器实现组合逻辑电路设计, 往往是实现逻辑变量相加或者变量和常量相加运算, 而题目要求实现乘法运算, 所以需要考虑将其转化为加法运算. 我们要思考的就是如何将乘法转化为加法.

在第一章讨论数制的时候我们学习了数制的基本概念, 并且可以发现, 对于二进制数来说, 左移移位低位补 0 相当于乘 2 运算. 而题目要求的乘 3 运算恰好可以拆分成乘 2 运算结果和原数相加.

所以, 我们得到了设计思路, 即将原数作为一个输入, 将其左移一位作为另一个输入, 空余位输入低电平. 即可实现乘 3 运算.



第五章 半导体存储电路

7.1 主要内容

- 半导体存储电路的结构、存储单元分类
- SR 锁存器的电路结构、工作原理
- 三种不同触发方式的触发器的典型电路结构、工作原理、动作特点
- 触发器的逻辑功能分类, 特性方程、特性表
- 触发器的动态特性
- 寄存器、存储器的基本概念
- ROM 的结构、工作原理、数据表书写
- 存储器容量扩展
- 用存储器实现逻辑函数

7.2 学习目标

- 掌握半导体存储电路的基本概念, 了解静态存储单元和动态存储单元之间的区别
- 熟练掌握 SR 锁存器的电路结构、工作原理
- 熟练掌握三种触发方式的电路动作特点, 分析电路结构, 理解其工作原理
- 熟练掌握触发器的功能分类, 能够书写各种触发器的特性方程、特性表 (这是时序逻辑电路设计的重要基础)
- 熟练掌握不同逻辑功能的触发器之间的转换
- 掌握表征触发器动态特性的参数的物理意义, 并能够分析教材上的例子
- 了解寄存器、存储器的相关基本概念

- 掌握 ROM 的结构、工作原理，并能够熟练书写 ROM 的数据表
- 熟练掌握存储器容量扩展的两种方式
- 熟练掌握用存储器实现逻辑函数的方法

7.3 学习方法

- 以树形结构展开半导体存储电路存储单元相关概念，并注意比较静态存储单元和动态存储单元之间的区别，并分析原因，思考这种差异对于电路设计的影响
- 分析 SR 锁存器的电路结构，理解工作原理，并注意其中特别的“不定”状态的真实含义
- 分析不同触发方式的触发器电路的工作过程，注意其动作特点，在画波形图时要先确定触发方式，进而确定动作发生的位置
- 理解每种逻辑功能触发器的特性表，并按照真值表到逻辑函数式的转换方法，能够熟练写出特性方程
- 比较特性方程之间的差异，结合其特性本质，分析不同逻辑功能的触发器之间的转换方法
- 注意分析每种动态特性所描述的本质特征，理解其计算方法
- 观察 ROM 的数据表的结构，掌握书写方法
- 理解存储器扩展的目的、方法，并思考当出现字和位都需要扩展时应该怎样操作
- 理解存储器实现逻辑函数的本质

7.4 思考题

- 为什么 SR 锁存器的输入信号需要遵守 $SR = 0$ 的约束条件？
答：若 $SR \neq 0$ ，则 $SR = 1$ ，这意味着 $S = R = 1$ 。在这种情况下，若 S 和 R 上的触发信号同时消失，次态将无法确定。
- 为什么电平触发 SR 触发器也应当遵守 $SR = 0$ 的约束条件？在什么情况下会发生触发器的次态无法确知的问题？
答：对于电平触发的 SR 触发器，在时钟信号 CLK 有效电平期间，就是一个 SR 锁存器，所以也应遵守 $SR = 0$ 的约束条件。在时钟信号 CLK 有效电平期间，若开始时出现 $S = R = 1$ ，然后输入信号 S 和 R 同时跳变为低电平，或者时钟信号 CLK 跳变为无效电平，此时会出现触发器次态不确定的情况。

- 脉冲触发方式有照些动作特点? 它和电平触发方式有何不同?

答: 脉冲触发的触发器, 在时钟信号 CLK 有效电平期间, 主触发器先置为对应的状态, 在时钟信号 CLK 动作沿发生时刻, 从触发器按照主触发器状态发生变化. 与电平触发方式的不同之处在于分两步改变状态, 首先在时钟信号有效期间, 只有主触发器按照输入翻转, 而输出状态的改变仅发生在动作沿.

- 主从 JK 触发器和主从 SR 触发器在逻辑功能上有什么区别, 用 JK 触发器代替 SR 触发器在逻辑功能上能否满足要求?

答: 两种触发器逻辑功能的主要区别在于, 主从 SR 触发器必须遵守 $SR = 0$ 的约束条件, 而主从 JK 触发器则无此限制. 当 $J = K = 1$ 时, $Q^* = (Q)'$. 其余情况下, 二者的功能完全一样. 因此, 可以用 JK 触发器代替 SR 触发器.

- 为什么说主从 SR 触发器的主触发器在 CLK 为有效电平期间可能多次改变状态, 而主从 JK 触发器的主触发器在 CLK 为有效电平期间只可能翻转一次?

答: 主从 SR 触发器和主从 JK 触发器在 CLK 为有效电平期间, 其主触发器都工作在 SR 锁存器方式下. 但 SR 触发器的输入信号只有 S 和 R , 所以当 S 和 R 改变时, 主触发器就随之而改变. 但 JK 触发器的主触发器在 CLK 为有效电平期间的输入信号为 J 和 K 以及 Q 和 Q' (取自从触发器的输出), 它们之间分别相与后得到 JQ' 和 KQ 送给 SR 锁存器作为输入. 而 Q 和 Q' 的状态在整个 CLK 为有效电平期间不变, 且互为相反. 所以主从 JK 触发器的主触发器在 CLK 为有效电平期间只可能翻转一次. 详情请仔细分析 JK 触发器电路结构.

- 比较一下边沿触发方式、脉冲触发方式和电平触发方式在动作特点上有何不同?

答: (1) 边沿触发方式的触发器的动作特点是触发器的次态仅取决于时钟信号上升沿或下降沿到达时刻输入信号的状态, 而与此前此后输入信号的变化无任何关系.

(2) 脉冲触发方式的触发器的动作特点是分步动作, 在时钟信号为有效电平期间主触发器随着输入信号发生动作, 在时钟信号动作沿到来时, 从触发器按照主触发器的状态进行翻转.

(3) 电平触发方式的触发器的动作特点是在时钟信号为有效电平期间触发器按照输入信号发生翻转.

- 为什么从满足逻辑功能的要求上可以用 JK 触发器代替 SR 触发器, 而不能用 SR 触发器代替 JK 触发器?

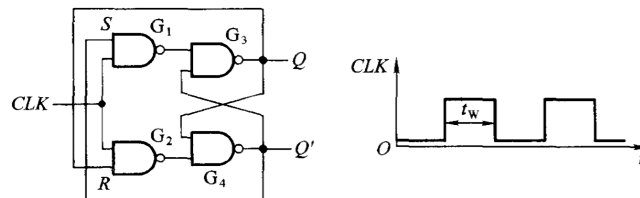
答: 由于 JK 触发器的逻辑功能包含了 SR 触发器的所有功能, 而 SR 触发器对输入信号有限制, 即 $SR = 0$, 不允许出现 $S = R = 1$ 的情况, 这样不能实现 JK 触发器在 $J = K = 1$ 的功能, 所以不能用 SR 触发器代替 JK 触发器.

- 当 JK 触发器用作 SR 触发器和 T 触发器时, 输入信号应该如何连接?

答: JK 触发器用作 SR 触发器时, 输入端 J 连接输入信号 S , K 连接 R . JK 触发器用作 T 触发器时, 将输入端 J 和 K 连接在一起, 连接输入信号 T .

7.5 经典例题

- 若将电平触发 SR 触发器的 Q 与 R 、 Q' 与 S 相连, 如图所示.



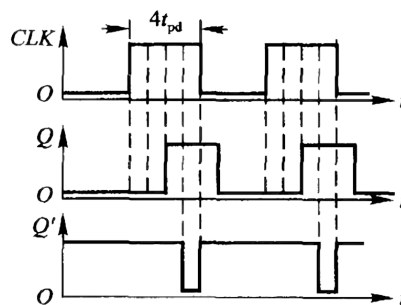
试画出在 CLK 信号作用下 Q 和 Q' 端的电压波形. 已知 CLK 信号的宽度 $t_w = 4t_{pd}$. 其中 t_{pd} 为门电路的平均传输延迟时间, 假定 $t_{pd} \approx t_{PHL} \approx t_{PLH}$. 设触发器的初始状态为 $Q = 0$.

解:

由于与非门 $G_1 \sim G_4$ 都存在传输延迟时间 t_{pd} , 所以当 CLK 上升沿到达后, 加在 S 端的高电平置 1 信号经过 G_1 和 G_3 两级门电路的延迟时间后, 使 Q 端变为高电平. Q 端的高电平反馈到 G_4 的输入, 经过 G_4 的传输延迟时间后使 Q' 端变为低电平.

而在 Q 端变为高电平的同时, 又使 R 端输入也变为高电平了, 再经过门电路 G_2 和 G_4 的延迟时间后, 将 Q' 置成高电平, 并反馈到 G_3 的输入端, 经过 G_3 的延迟时间后将 Q 端置成低电平. 由于这时 CLK 已回到低电平, 所以此后电路的状态不再改变, 直到下一个 CLK 的高电平到来为止.

因此可得



第六章 时序逻辑电路

8.1 主要内容

- 时序逻辑电路的基本概念、分类
- 时序逻辑电路的电路结构和逻辑功能的特点
- 时序逻辑电路的分析方法
- 时序逻辑电路的各种描述方法及其转换
- 常用时序逻辑电路模块的电路结构、工作原理
- 各种计数器的工作原理，以及任意进制计数器的构成方法
- 顺序脉冲发生器的电路结构、工作原理、设计方法
- 序列信号发生器的两种设计方法及对应的工作原理
- 时序逻辑电路的设计方法
- 时序逻辑电路的自启动概念和设计
- 时序逻辑电路中的竞争——冒险现象

8.2 学习目标

- 掌握时序逻辑电路的基本概念，和组合逻辑电路对比了解其不同，并了解其分类
- 熟练掌握时序逻辑电路的分析方法
- 熟练掌握时序逻辑电路的各种描述方法及其转换
- 熟练掌握常用时序逻辑电路模块的电路的分析方法、工作原理
- 熟练掌握计数器电路工作原理以及任意进制计数器构成方法

- 掌握顺序脉冲发生器工作原理
- 熟练掌握序列信号发生器的设计方法
- 熟练掌握同步时序逻辑电路的设计方法
- 掌握自启动的概念，并能够修改电路设计使得电路能够自启动
- 了解时序逻辑电路中的竞争——冒险现象

8.3 学习方法

- 对比组合逻辑电路，理解时序逻辑电路的结构特点和功能特点
- 分析时序逻辑电路的结构框图，理解使用三个方程组描述时序逻辑电路功能特点的方法本质
- 理解时序逻辑电路的分析实际上是寻找电路状态和输出在输入信号和时钟信号作用下的变化规律，分析过程的本质是基于时序逻辑电路图、结合触发器特性方程，列写描述时序逻辑电路功能特点的三个方程组——驱动方程、状态方程、输出方程
- 在分析时序逻辑电路中需要用自然语言描述时序逻辑电路功能时，我们需要将状态方程和输出方程转换为“距离”自然语言最近的、最直观表示形式——状态转换表，通过观察状态转换表，即可分析出其电路状态和输出在输入信号和时钟信号作用下的变化规律，进而可以用自然语言描述其功能
- 比较状态转换表和真值表，和第二章逻辑函数的不同表示形式及其转换作对比，理解时序逻辑电路的各种描述方法及其转换
- 熟练掌握阅读芯片功能表的方法，注意同步和异步的表示方法
- 分析常用时序逻辑电路模块的工作原理，并思考其设计思路
- 比较同步时序逻辑电路和异步时序逻辑电路的区别，分析同步计数器和异步计数器
- 将组合逻辑电路的设计和时序逻辑电路的设计作比较，相同点在于都可以用设计是分析的逆过程的思路来思考设计的方法，同时要注意分析不同点
- 由于组合逻辑电路的输出只和当前输入有关，不存在“状态”和“状态转换”的概念，所以只需要对当前输入编码即可；而时序逻辑电路的核心在于“状态”和“状态转换”，所以这里的逻辑抽象需要对状态进行编码，设计过程中在第三步才

对状态编码的原因是考虑到设计时不一定能够立即确定最简的状态数, 所以先对确定的状态进行化简, 从而减少变量数和状态数, 以减少后续设计中的开销

- 组合逻辑电路是在已经确定了逻辑函数式, 即已经实现了从自然语言描述到真值表再到逻辑函数式的转换后开始考虑需要使用的电路元件是基本的门电路 (小规模) 还是常用组合逻辑电路模块 (中规模) 或是大规模; 而时序逻辑电路的设计需要先考虑使用的元件, 对于小规模设计, 就是需要考虑触发器的类型, 这是因为不同触发器的功能特性不同, 所以按照相同的设计目标 (状态转换图), 得到的驱动方程不同
- 对于时序逻辑电路, 还需要考虑的问题是自启动问题
- 结合任意进制计数器的设计、序列信号发生器的设计, 思考利用常用时序逻辑电路模块设计电路的方法
- 理解自启动问题的本质, 结合时序逻辑电路的本质, 理解修改电路设计使得可以自启动这一目标的实现方法本质上是修改无效状态的次态, 使得其能够进入有效循环

8.4 思考题

- 组合逻辑电路和时序逻辑电路在逻辑功能与电路结构上有何区别?
答: (1) 逻辑功能上的区别: 组合逻辑电路任何时刻输出仅与该时刻的输入有关, 与电路原来状态无关. 而时序逻辑电路的输出不仅与该时刻的输入有关, 还与电路原来的状态有关.
(2) 电路结构上的区别: 组合逻辑电路中没有存储元件, 而时序逻辑电路中包含存储元件.
- 同步时序电路和异步时序电路有何不同?
答: 同步时序电路中各触发器是在同一个时钟信号作用下, 同时发生状态改变的. 而异步时序电路中各触发器没有公共的时钟, 状态改变不是同时发生的.
- 时序电路逻辑功能的描述方式有哪几种? 你能将其中任何一种描述方法转换为其他各种描述方式吗?
答: 时序电路逻辑功能的描述方法包括方程组 (驱动方程, 状态方程, 输出方程)、状态转换表、状态转换图、状态机流程图、时序图. 在已知任一种描述方式的情况下, 可以将其转换为其他形式. 具体方法详见教材.
- 用电平触发的触发器、脉冲触发的触发器是否也能组成移位寄存器?
答: 电平触发的触发器不可以构成移位寄存器, 脉冲触发的触发器可以构成移位寄存器.

- 在教材中图 6.3.6 所示的加法运算电路中, 为了保证得出正确的运算结果, 对 M 和 N 的数值应作何限制?

答: 略.

- 计数器的同步置零方式和异步置零方式有什么不同? 同步预置数方式和异步预置数方式有何不同?

答: 对于同步置零和同步预置数, 必须在同步时钟信号作用下才能完成, 并且同步置零或同步预置数控制信号必须有效. 对于异步置零和异步预置数, 不受同步时钟信号的控制, 只要异步置零信号或异步预置数控制信号有效即可. 这一点在计数器设计中是需要注意的问题.

- 若将教材图 6.3.31 中异步置零的十进制计数器改用同步置零的十进制计数器, 电路应做何修改?

答: 将置零输入端的输入改为 $(Q_3'Q_2Q_1'Q_1)'$, 即当电路状态为 0101 时产生同步置零信号, 在下一个时钟信号动作沿到来时进行置零.

这道题目是一个比较有代表性的题目, 在计数器设计的时候, 同步和异步的置零和置数对于设计有着一定的影响, 需要设计者注意这一问题.

- 在用十六进制计数器 74LS161 接成小于十六进制的计数器时, 什么情况下可以用 74LS161 上原有的进位输出端产生进位输出信号, 什么情况下则不行?

答: 当设计的计数器的有效循环中包含状态 1111, 即可使用原有的进位输出端作为进位信号. 如果有效循环中不包含状态 1111, 则不能使用.

- 在教材中例 6.4.2 取两位触发器组成存储电路的情况下, 有多少种可能的状态编码方案?

答: 共有 $A_4^3 = 24$ 种编码方案. 这道题目提示, 对于时序逻辑电路设计的编码阶段, 可能存在很多种编码方案, 不同的编码方案对于后续的课程设计的复杂程度是不同的, 所以需要设计者总结经验, 充分思考.

- 什么是时序电路的等价状态?

答: 若电路的两个状态在相同的输入下有相同的输出, 并且转换到相同的次态中去, 则这两个状态为等价状态.

- 在教材中例 6.4.2 中, 若电路转入新状态后输入不能同时也转换为下一个输入状态, 这时可能发生什么问题?

答: 电路误动作.

- “自顶向下”和“自底向上”的设计方法有什么区别?

答: “自顶向下”的设计方法中各个功能模块需要从头设计, 这可以保证获得最佳电路性能; 而“自底向上”设计充分考虑使用已有的集成电路和成熟的电路模块, 可减小设计工作量, 但不能保证电路性能最佳.

经典例题

• 序列信号发生器电路设计

设计一个灯光控制逻辑电路. 要求红、绿、黄三种颜色的灯在时钟信号作用下按表中规定的顺序转换状态 (其中 CLK 顺序 8 表示循环回到状态 0). 表中的 **1** 表示“亮”, **0** 表示“灭”. 要求电路能自启动, 并尽可能采用中规模集成电路芯片.

CLK 顺序	红	黄	绿
0	0	0	0
1	1	0	0
2	0	1	0
3	0	0	1
4	1	1	1
5	0	0	1
6	0	1	0
7	1	0	0
8	0	0	0

解: 由题意知, 需要设计序列信号发生器电路. 我们知道, 序列信号发生器电路的设计方法包括: 计数器加数据选择器、带反馈逻辑电路的移位寄存器 (触发器加门电路). 考虑到题目要求尽可能采用中规模集成电路芯片, 所以选择方案一: 计数器加数据选择器.

由于输出有 8 个状态, 所以选择 8 进制计数器. 以 R 、 Y 、 G 分别表示红、黄、绿三个输出, 则可得计数器输出状态 Q_2 、 Q_1 、 Q_0 与 R 、 Y 、 G 关系的真值表.

Q_2	Q_1	Q_0	R	Y	G
0	0	0	0	0	0
0	0	1	1	0	0
0	1	0	0	1	0
0	1	1	0	0	1
1	0	0	1	1	1
1	0	1	0	0	1
1	1	0	0	1	0
1	1	1	1	0	0

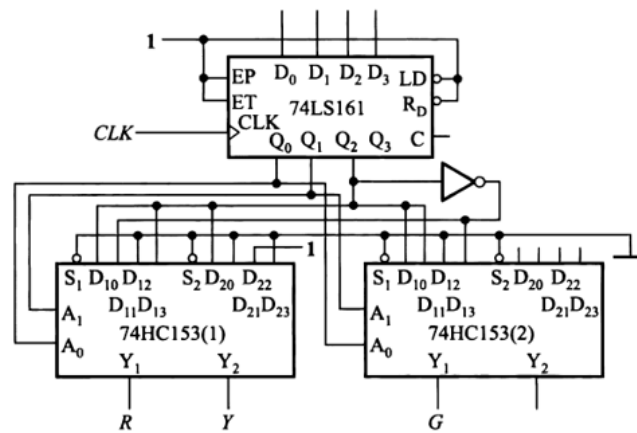
选用 2 片双四选一数据选择器 74HC153, 利用顺序信号产生输出信号. 根据真值

表可以写出逻辑函数式

$$R = Q_2 (Q_1' Q_0') + Q_2' (Q_1' Q_0) + 0 \cdot (Q_1 Q_0') + Q_2 (Q_1 Q_0)$$

$$Y = Q_2 (Q_1' Q_0') + 0 \cdot (Q_1' Q_0) + 1 \cdot (Q_1 Q_0') + 0 \cdot (Q_1 Q_0)$$

$$G = Q_2 (Q_1' Q_0') + Q_2' (Q_1' Q_0) + 0 \cdot (Q_1 Q_0') + Q_2' (Q_1 Q_0)$$



第七章 脉冲波形的产生和整形电路

9.1 主要内容

- 施密特触发电路的电路结构、工作原理
- 用 CMOS 反相器组成施密特触发电路
- 施密特触发电路的应用
- 单稳态电路基本概念，微分型单稳态电路结构、工作原理
- 集成单稳态电路结构、功能特性
- 多谐振荡电路的电路结构、工作原理
- 用施密特触发电路构成多谐振荡电路的方法
- 555 定时器的电路结构
- 555 定时器构成施密特触发电路、单稳态电路、多谐振荡电路的方法

9.2 学习目标

- 熟练掌握施密特触发电路的功能特性
- 熟练掌握施密特触发电路中重要参数的计算以及施密特触发电路的电压波形图绘制
- 熟练掌握施密特触发电路的应用及其原理
- 熟练掌握单稳态电路中重要参数的计算以及施密特触发电路的电压波形图绘制
- 了解集成单稳态电路的结构、工作原理
- 掌握可重复触发概念

- 熟练掌握集成单稳态电路中重要参数的计算以及施密特触发电路的电压波形图绘制
- 了解多谐振荡电路的结构、工作原理
- 熟练掌握多谐振荡电路中重要参数的计算以及施密特触发电路的电压波形图绘制
- 熟练掌握施密特触发电路构成多谐振荡电路的方法
- 掌握石英晶体多谐振荡电路稳定振荡频率的原理
- 熟练掌握 555 定时器构成施密特触发电路、单稳态电路、多谐振荡电路的接法 (识图), 以及重要参数计算

9.3 学习方法

- 理解获得矩形脉冲的方法及描述矩形脉冲特性的重要参数
- 分析 CMOS 反相器构成的施密特触发电路, 理解其工作原理, 并能够画出电压波形图以及计算重要参数
- 注意施密特触发电路的两种输出形式, 在构成多谐振荡电路中需要使用反向输出模式
- 分析微分型单稳态电路 (或者直接记忆关键点), 理解其工作原理, 并能够画出电压波形图以及计算重要参数
- 记住集成单稳态电路重要参数计算公式, 理解功能表, 并类比微分型单稳态电路理解其工作原理
- 根据分析过程描述结合电压波形, 理解多谐振荡电路的工作原理, 并能够画出电压波形图以及计算重要参数
- 分析 555 定时器电路, 理解其工作原理, 并掌握其构成施密特触发电路的方法, 结合施密特触发电路构成多谐振荡电路的方法, 理解 555 定时器构成多谐振荡电路的方法, 并单独记忆 555 定时器构成单稳态电路的方法, 做到能够区分三种电路接法
- 结合对于三类电路的理解, 能够计算 555 定时器构成的三类电路的重要参数

9.4 思考题

- 能否用施密特触发电路存储一位二值代码, 为什么?

答: 不能. 在最初施密特触发电路被叫做施密特触发器, 和我们第五章学习的触发器名字有着相似之处, 所以会有类似的问题产生, 但是二者本质上是不同的. 第五章里讲的各种触发器都具有两个可以自行保持的稳定状态, 并且可以根据需要置成 0 或 1 状态. 而施密特触发电路的输出状态始终都是由当时的输入状态决定的, 没有记忆功能. 因此, 不能存储一位二值代码.

- 在图 7.2.5 所示的施密特触发电路中, 为什么要求 $R_1 < R_2$?

答: 如果 $R_1 \geq R_2$, 则 $V_{T+} \geq 2V_{TH}$, $V_{T-} \leq 0$, 对于大多数电路, 无论输入信号是正跳变还是负跳变, 均无法达到其阈值, 从而使电路自锁 (状态不变), 不能正常工作.

- 反相输出的施密特触发电路的电压传输特性和普通反相器的电压传输特性有什么不同?

答: (1) 普通反相器的电压传输特性分为四个工作区, 即截止区、线性区、转折区、饱和区, 而施密特触发电路是没有线性区的.

(2) 普通反相器输入信号无论是正跳变还是负跳变, 对应的阈值电压是一个 V_T , 即转折区的中点电压; 而施密特触发电路的阈值电压有两个: V_{T+} 和 V_{T-} , 呈现出滞回特性.

(3) 普通反相器的转折区曲线不如施密特触发器的转折区曲线陡峭.

- 单稳态触发器输出脉冲的宽度 (即暂稳态持续时间) 由哪些因素决定? 与触发脉冲的宽度和幅度有无关系?

答: 单稳态触发器输出脉冲的宽度只与电路自身的参数有关. 与触发脉冲的宽度和幅度无关.

注: 这个概念非常重要, 尤其是在画电压波形图的时候容易忽略这一概念.

- 在线性电子线路课程中我们学习了反馈这一重要概念, 并认识到反馈对于电子电路稳定性的重要意义. 在线性电子线路课程中我们也学习到了一个重要的思想, 即有一利就有一弊, 在讨论一个电子电路某方面性能改进的时候同时要思考, 是否有其他方面的性能受到了影响. 对于反馈放大电路来说, 除了直观上增益受到影响以外, 我们还学习了一个重要的概念——自激振荡. 当反馈深度达到一定程度的时候, 电路会由负反馈转向为正反馈, 产生振荡现象. 在那时我们说, 自激振荡的产生是由于负反馈变成了正反馈, 从而产生了自激振荡. 那么为什么现在又说带有延迟负反馈的放大器也能构成振荡电路?

答: 对于环形振荡器来说, 每个反相器都具有延迟时间, 所以 v_{o3} 的负跳变与 v_{I1} 的正跳变之间存在延迟时间, v_{o3} 的负跳变反馈到 G_1 的输入端时已经起不到削弱

v_{I1} 正跳变的作用了, 它又成了加在 G_1 的输入端的新的负跳变信号. 而且, 在开始振荡的阶段信号很小, 反相器工作在电压传输特性的转折区, 有很强的放大作用, v_{o3} 的负跳变幅度大于 v_{I1} 的正跳变幅度. 这一反馈信号经过延迟后变成幅度更大的正跳变信号反馈到 G_1 的输入端. 如此反复, 电路便工作在自激振荡状态了.

- 本章所介绍的振荡器电路当中哪几种是利用正反馈作用产生振荡的? 哪几种是利用延迟负反馈产生振荡的?

答: 利用正反馈作用产生振荡的有对称式多谐振荡电路和非对称式多谐振荡电路. 利用延迟负反馈作用产生振荡的有环型振荡电路和用施密特触发电路构成的多谐振荡电路.

注: 可以思考, 用施密特触发电路构成多谐振荡电路时, 使用的是哪种施密特触发电路, 是否必须.

- 为什么石英晶体能稳定振荡器的振荡频率?

答: 因为石英晶体具有很好的选频特性, 即对于某一频率的信号, 石英晶体的电抗很低, 而对于其他频率的信号, 石英晶体的电抗很高, 使这些频率的信号不易通过, 从而无法形成反馈, 就使其他频率的振荡无法产生, 只产生固定频率的振荡.

- 用 555 定时器接成的施密特触发器电路中, 用什么方法能调节回差电压大小?

答: 参考电压由外接电压 V_{CO} 供给, 则 $V_{T+} = V_{CO}$, $V_T = \frac{1}{2}V_{CO}$, $\Delta V_T = \frac{1}{2}V_{CO}$. 所以通过改变 V_{CO} 的值就可以调节回差电压的大小了.

- 用 555 定时器接成的单稳态触发电路中, 若触发脉冲宽度大于单稳态持续时间, 电路能否正常工作? 如果不能, 则电路应做何修改?

答: 不能正常工作. 有以下两种修改措施:

(1) 先用一个微分电路取出触发信号的下降沿, 再输入给由 555 定时器构成的单稳态触发电路.

(2) 增大 R 和 C 值, 使输出脉冲宽度大于触发信号的宽度.

- 用 555 定时器接成的单稳态电路中, 对触发脉冲的幅度有什么要求?

答: 触发信号为高电平时, 必须高于 $\frac{2}{3}V_{cc}$; 低电平时, 必须低于 $\frac{1}{3}V_{cc}$.

- 用 555 定时器接成的多谐振荡电路中, 如果用 v_O 端代替 v_{OD} 端接到 R_2C 电路输入端, 去掉 R_1 , 电路能否正常工作?

答: 此时 R_2C 电路的充电电流将由 G_4 提供, 放电电流将注入到 G_4 门的输出级. 由于充、放电电流比较大; G_4 无法提供, 会损坏 G_4 输出级的管子. 因此无法正常工作.

经典例题

- 为什么方波振荡电路也称多谐振荡电路又称为无稳态触发电路?

答: 由于方波振荡器是一种自激振荡电路, 在接通电源后, 无需外界触发信号, 就会自动产生方波. 由于方波中含有丰富的高次谐波分量, 因此又叫做多谐振荡电路. 方波振荡器中电路的两个状态都不是稳态, 不能长时间保持在某一个稳态上, 因此和具有两个稳态的施密特触发电路和一个稳态一个暂稳态的单稳态触发电路对应, 又叫做无稳态触发电路.

第八章 数——模和模——数转换

10.1 主要内容

- D/A 和 A/D 转换的基本概念以及转换器的分类
- 权电阻、倒 T 形、权电流 D/A 转换器的电路结构、工作原理、相关计算
- 具有双极性输出的 D/A 转换器的工作原理、设计思想
- D/A 转换器的重要性能参数——转换精度和转换速度基本概念及相关计算
- A/D 转换的相关基本概念、基本原理
- 并联比较、逐次逼近、双积分型 A/D 转换器的电路结构、工作原理、相关计算
- A/D 转换器的重要性能参数——转换精度和转换速度基本概念及相关计算

10.2 学习目标

- 掌握 D/A 和 A/D 转换的基本概念以及转换器的分类
- 熟练掌握几种 D/A 转换器的工作原理、相关计算以及优缺点
- 掌握双极性输出的概念以及具有双极性输出的 D/A 转换器的设计思路
- 掌握 D/A 转换器的重要性能参数 (评价指标) 的基本概念以及相关计算
- 掌握采样定理, 了解划分量化电平的方法
- 熟练掌握几种 A/D 转换器的工作原理、相关计算以及优缺点
- 掌握 A/D 转换器的重要性能参数 (评价指标) 的基本概念以及相关计算

10.3 学习方法

- 理解 D/A 和 A/D 转换的意义
- 理解转换精度和转换速度作为衡量 D/A 转换器和 A/D 转换器性能优劣的主要指标的原因
- 基于 D/A 转换器和 A/D 转换器的分类理解几类重要 D/A 转换器和 A/D 转换器的工作原理
- 总结含有集成运放电路的分析方法
- 根据几类 D/A 转换器的演进过程中的出发点, 思考每种 D/A 转换器的性能特点, 辅助理解其工作原理
- 基于双极性输出的概念, 思考相应电路设计方法
- 根据几类 A/D 转换器的演进过程中的出发点, 思考每种 A/D 转换器的性能特点, 辅助理解其工作原理
- 理解转换精度和转换速度的基本概念, 结合对 D/A 转换器和 A/D 转换器工作原理的理解, 分析重要参数

10.4 思考题

- D/A 转换器的类型有哪些, 它们各自有何优缺点?

答:

类型	优点	缺点
权电阻网络	结构简单, 电阻元件少	各电阻之间阻值差异大
倒T形电阻网络	电路中只有两种阻值的电阻	模拟开关导通电阻、压降引起转换误差
权电流型	各支路电流稳定且工作速度高	静态功耗较大

- 倒T形电阻网络 D/A 转换器中, 用哪些方法能调节输出电压 v_o 的最大幅度?

答: 有三种方法能调节 v_o 的最大幅度.

- (1) 改变参考电压 V_{REF} 的值.
- (2) 改变放大器的反馈电阻值.
- (3) 改变电阻网络的电阻值.

- D/A 转换器转换误差和建立时间是怎样定义的?

答: 转换误差指的是实际 D/A 转换特性和理想转换特性之间的最大偏差. 建立时间指的是从输入的数字量发生突变开始到输入进入与稳态值相差 $\frac{1}{2}LSB$ 范围内所经历的时间.

- 影响 D/A 转换器转换精度的主要因素有哪些?

答: 参考电压 V_{REF} 的波动、运算放大器的零点漂移、模拟开关的导通内阻和导通压降、电阻网络中电阻阻值的偏差以及三极管特性的不一致等.

- 什么是量化误差? 有哪些可以减小量化误差的方法?

答: 在将模拟量化为对应的数字量时所引起的误差称为量化误差. 量化误差是由于模拟量不能被量化单位整除所引起的. 增加量化级别, 从而减小量化单位是减小量化误差的方法.

- A/D 转换器的类型有哪些, 它们各自有何优缺点?

答:

类型	优点	缺点
并联比较型	转换速度快	需要使用大量电压比较器和代码转换电路
逐次逼近型	电路规模小, 速度较快	转换速度和并联比较型比略慢
双积分型	工作性能稳定, 抗干扰能力强	转换速度慢

- A/D 转换器的转换速度取决于哪些因素?

答: 主要取决于转换电路的类型.

- 在要求 A/D 转换器的转换时间小于 $1\mu s$ 、小于 $100\mu s$ 、小于 $0.1s$ 三种情况下, 各应选择哪种类型的 A/D 转换器?

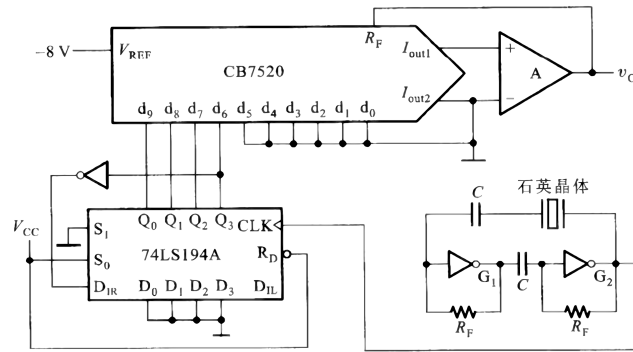
答: (1) 小于 $1\mu s$: 只能选择并联比较型.

(2) 小于 $100\mu s$: 可以选择并联比较型或逐次逼近型.

(3) 小于 $0.1s$: 三种类型都可以选择.

10.5 经典例题

- 试画出波形发生电路的输出电正波形. CB7520 是 10 位输入的倒 T 形电阻网络 D/A 转换器, 参考电压 $V_{REF} = -8V$. 74LS194A 是 4 位双向移位寄存器. 假定它的初始状态为 $Q_0Q_1Q_2Q_3 = 0000$. D_{IR} 和 D_{IL} 分别为右移数据输入端和左移数据输入端. $R_T = 1k\Omega$, $C = 0.01\mu F$, 石英晶体的谐振频率为 $1MHz$.



R'_D	S_1	S_0	工作状态
0	×	×	置零
1	0	0	保持
1	0	1	右移
1	1	0	左移
1	1	1	并行输入

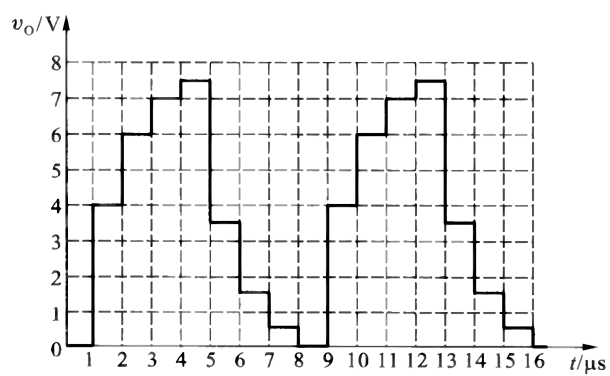
解：由题意知，以移位寄存器里的数据作为 D/A 转换器的输入，所以首先需要找出移位寄存器中数据变化的规律。由于 74LS194A 接成了右移工作状态，并且以 Q' 作为 D_{IR} 的输入，因而构成了一个扭环形计数器。在 CLK 信号的连续作用下，可得 $Q_0Q_1Q_2Q_3$ 的变化情况。由倒 T 形电阻网络 D/A 转换器计算公式得

$$v_o = -\frac{V_{REF}}{2^n} \cdot D = \left(\frac{8}{2^{10}} \cdot D \right) V$$

进而可得

CLK 顺序	Q_0	Q_1	Q_2	Q_3	v_o/V
0	0	0	0	0	0
1	1	0	0	0	4
2	1	1	0	1	6
3	1	1	1	0	7
4	1	1	1	1	7.5
5	0	1	1	1	3.5
6	0	0	1	1	1.5
7	0	0	0	1	0.5
8	0	0	0	0	0

又由于石英晶体特性可知， CLK 的周期为 $1\mu s$ 。综上所述，可得电压波形



2020 秋数字逻辑电路 06 班

第一章至第四章经典问题综合整理

11.1 无关项的概念及其在化简逻辑函数中的应用

11.1.1 无关项的概念

在处理一些逻辑问题时,会遇到一些特殊情况.具体表现为,在逻辑式中存在一些最小项,是否将其写入逻辑函数式,从逻辑功能上讲无关紧要,即可以写入也可以删除.我们称之为无关项.

在化简逻辑函数式的时候,适当使用一些最小项可能可以辅助化简,从而得到更简结果.所以我们有必要对其进行研究.

无关项按照其对应的逻辑问题类型可以分为两类:

- 约束项
- 任意项

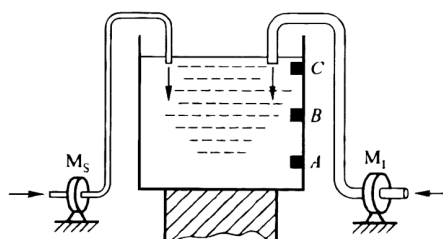
下面我们分别进行介绍.

11.1.2 约束项

约束项是指取值恒等于 0 的最小项.

约束项的产生是由于逻辑问题的实际物理意义带来的限制.在实际问题中,一些最小项对应的状态不会出现,所以其取值恒等于 0.下面以一个例子说明这一问题.

如图所示,水箱由大小两台水泵 M_L 和 M_S 供水.水箱中设置了 3 个水位检测元件 A 、 B 、 C .水位低于检测元件时,检测元件给出低电平;水位高于检测元件时,检测元件给出高电平.



考虑两个水泵的控制信号由水位情况决定, 即由 A 、 B 、 C 的取值决定. 所以在抽象得到的逻辑问题中, 用来表示两个水泵的控制信号 Y_L 和 Y_S 是输入变量 A 、 B 、 C 的逻辑函数.

从实际问题出发, 我们可以认识到, 由于逻辑变量 A 、 B 、 C 对应的物理意义, 其取值关系存在一些约束. 例如, 由于水位高于 C 的时候, 一定也高于 A 、 B , 所以当逻辑变量 C 取值为 **1** 的时候, 逻辑变量 A 、 B 的取值也一定为 **1**, 即不会出现 A 、 B 、 C 取值 001、011、101 的情况, 相应的最小项取值一定为 **0**.

当逻辑函数式中加入一个恒为 **0** 的项作或运算, 对于逻辑函数取值没有任何影响. 所以在化简的时候可以直接使用这些项.

11.1.3 任意项

任意项是指取值为 **0** 或为 **1** 皆可的最小项.

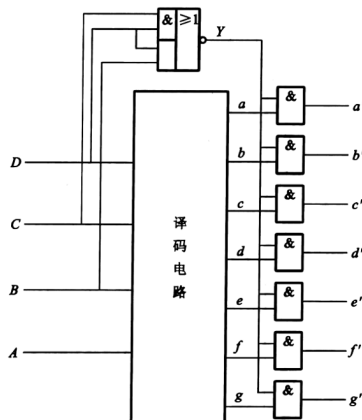
约束项的产生是由于逻辑设计时候一些逻辑函数的屏蔽作用, 此时无论这些最小项怎样取值, 不会影响最终结果, 也就不会影响电路功能. 但是要注意的一点是, 其虽然不影响最终结果, 但是对于逻辑函数式本身的取值是可能有影响的, 只不过当前的逻辑函数式在作为后面电路的输入的时候被屏蔽了所以不产生影响. 这一点是约束项和任意项的重要区别, 即约束项取值恒为 **0**, 加入约束项不影响逻辑函数式的取值, 而任意项若取值为 **1** 时, 加入任意项会影响逻辑函数式的取值.

下面以一个例子说明这一问题.

考虑设计一个拒绝伪码的七段显示译码器. 所谓拒绝伪码, 指在输入为 1010 ~ 1111 时输出无任何字形显示, 即 $a \sim g$ 输出全部为 **0**.

可以列出真值表 (见下页).

在一种设计方案中, 引入了输出缓冲器, 其控制信号为 $Y = (DC + DB)'$. 此时, 当 $DCBA = 1010 \sim 1111$ 时, 无论 $a \sim g$ 是 **1** 还是 **0**, $\tilde{a} \sim \tilde{g}$ 恒为 **0**, 即符合设计要求. 所以此时, $DCBA = 1010 \sim 1111$ 对应的最小项是否出现并不影响最终结果, 即为任意项. 当然我们也可以看到, 是否加入这些最小项对于逻辑函数式 $a \sim g$ 是有影响的, 只不过并不影响最终电路输出 $\tilde{a} \sim \tilde{g}$.



真值表

数字	D	C	B	A	a	b	c	d	e	f	g
0	0	0	0	0	1	1	1	1	1	1	0
1	0	0	0	1	0	1	1	0	0	0	0
2	0	0	1	0	1	1	0	1	1	0	1
3	0	0	1	1	1	1	1	1	0	0	1
4	0	1	0	0	0	1	1	0	0	1	1
5	0	1	0	1	1	0	1	1	0	1	1
6	0	1	1	0	0	0	1	1	1	1	1
7	0	1	1	1	1	1	1	0	0	0	0
8	1	0	0	0	1	1	1	1	1	1	1
9	1	0	0	1	1	1	1	0	0	1	1
10	1	0	1	0	0	0	0	0	0	0	0
11	1	0	1	1	0	0	0	0	0	0	0
12	1	1	0	0	0	0	0	0	0	0	0
13	1	1	0	1	0	0	0	0	0	0	0
14	1	1	1	0	0	0	0	0	0	0	0
15	1	1	1	1	0	0	0	0	0	0	0

11.1.4 无关项在化简中的应用

在我们的课程学习中，逻辑函数式化简的常用方法包括

- 公式法
- 卡诺图法

二者各有适用条件. 一般对于变量数不超过 4 的复杂 (如果可以直接使用公式的简单问题可以选择公式法) 逻辑函数式化简, 往往首选卡诺图法. 对于这类含有无关项的逻辑函数式化简, 我们也是首选卡诺图法.

卡诺图法化简的原理是, 利用几何相邻性反映逻辑相邻性, 通过合并最小项实现化简. 当存在无关项的时候, 我们可以适当选择无关项加入逻辑函数式, 使得可以更好地利用逻辑相邻性实现化简.

在卡诺图中, 我们把无关项记为 \times , 表示其既可以作为 **0**(不加入逻辑函数式), 也可以作为 **1**(加入逻辑函数式). 是否加入, 则需要根据实际情况, 看怎样能够实现最简.

特别要注意的就是, 无关项并不是一定要作为 **1**(加入逻辑函数式). 有时候把所有无关项都加入逻辑函数式得到的不一定是最好结果.

11.2 逻辑函数不同表达形式之间的转换

11.2.1 真值表转换为逻辑函数式

在组合逻辑电路设计中,往往是首先根据自然语言描述的设计问题,转化为和自然语言最接近的表达形式——真值表,然后将真值表转换为逻辑函数式.具体操作过程为

- 首先从真值表中找出所有使函数值等于 1 的那些输入变量取值组合
- 每一组使输出为 1 的输入变量取值下,必然有一个最小项的值等于 1. 取值为 1 的变量在这个最小项中写为原变量,取值为 0 的变量在这个最小项中写为反变量
- 将所有的这些最小项相加,就得到了所求的逻辑函数式

11.2.2 逻辑函数式转换为真值表

在组合逻辑电路分析中,往往是首先根据逻辑电路图得到逻辑函数式.一般情况下,仅仅从逻辑函数式出发并不能很直观地观察出其要实现的功能,所以我们常常要把逻辑函数式转换为真值表,进而可以观察到,在不同输入的情况下输出的取值情况,能够帮助我们分析其实现的功能.具体操作过程为

- 按照一定顺序列出输入的所有可能取值(习惯上按照顺序来列表,一种方法是,将变量依次取值构成的二进制串看成二进制数,按照数值从最小到最大的顺序来列表)
- 将所有的输入变量取值组合逐一代入逻辑式,算出输出的函数值,填入相应的位置即可

11.2.3 逻辑函数式转换为卡诺图

在逻辑函数化简时,往往会需要转换为卡诺图.具体操作过程为

- 将逻辑函数式展开为最小项之和的形式
- 出最小项的卡诺图,在函数式中包含的最小项对应的位置上填入 1,其余位置上填入 0
- 如果函数式中包含无关项,则在相应位置上填入“×”表示填入 0 或 1 均可

11.2.4 波形图转换为真值表

在实际测试电路时, 往往得到的是电压波形图. 而为了方便分析电路, 往往需要转换为真值表. 具体操作过程为

- 在周期性重复的波形图中, 将每个时间段内输入变量和输出变量的取值对应列表, 即可得到函数的真值表
- 若波形图中有些输入变量状态组合始终没有出现, 则这些输入变量组合下等于 1 的最小项为函数的约束项

11.3 逻辑函数式常见形式变换

在讨论组合逻辑电路设计的时候, 我们了解到, 在得到了逻辑函数式后, 要根据实际实现电路的器件使用情况来对逻辑函数作适当的变换, 包括化简和逻辑函数形式变换.

在逻辑函数形式的变换过程中, 最重要的是要保证等价性. 根据我们在逻辑代数基础部分所学, 可以想到的等价变换方法包括

- 两次求反 (还原律)
- 反演定理 (对于有取反运算的可以直接应用反演定理, 如果没有直接的取反运算可以两次求反)

11.3.1 与或式 \Rightarrow 与非与非式

具体方法是

- 对原始与或形式的逻辑函数式作两次求反的等价变换
- 保留最外层取反, 内层取反运算使用反演定理

11.3.2 与或式 \Rightarrow 与或非式

有两种方法

- 与或式两次求反并对内层取反使用反演定理 (内层的运算比转换为与非与非式更彻底, 直接得到与或形式)
- 对于逻辑函数式中不包含的最小项求和再取反 (对应卡诺图上圈 0 取反)

11.3.3 与或式 \Rightarrow 或与式

有两种方法

- 与或式转换为与或非式，然后对最外层的取反运算使用反演定理进行运算
- 反复使用公式 $A + BC = (A + B)(A + C)$

11.3.4 与或式 \Rightarrow 或非或非式

具体方法是

- 与或式转换为或与式
- 两次求反，使用反演定理

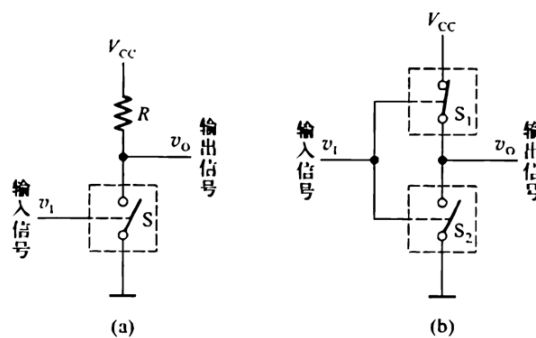
11.4 怎样学习第三章

第三章主要研究门电路的结构及其工作原理，并基于此来讨论一些功能和性能方面的问题。第三章的学习难度较大，在学习第三章的时候，建议按照理解基本电路模型及其演进过程来学习。

11.4.1 基本电路——互补开关电路

要思考的问题包括

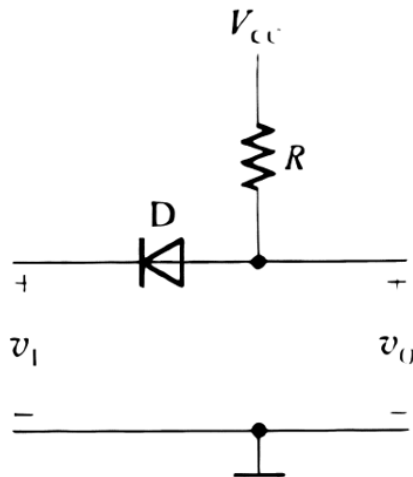
- 模型电路工作原理
- 怎样实现
- 存在哪些问题，怎样改进



11.4.2 一种实现方法——二极管开关电路

要思考的问题包括

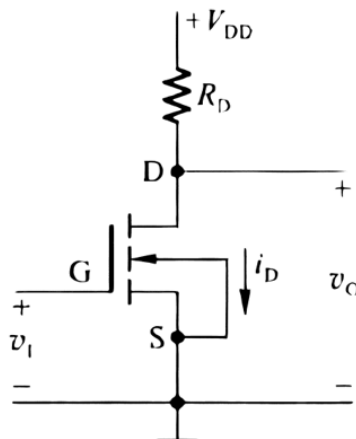
- 工作原理
- 存在哪些问题，怎样改进



11.4.3 一种实现方法——MOS 管基本开关电路

要思考的问题包括

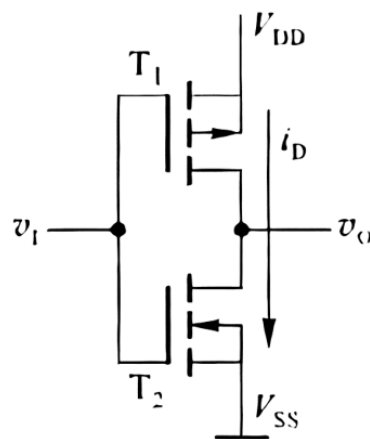
- 工作原理
- 相对于二极管开关电路，在哪些方面做出了改进
- 还存在哪些问题，怎样继续改进 (现在的改进思路是否可以继续应用，如果不可以，是否有其他改进思路)



11.4.4 一种实现方法——CMOS 反相器

要思考的问题包括

- 相对于 MOS 管基本开关电路，在哪些方面做出了改进
- 在演进过程中，哪些基本的东西没有改变，怎样基于互补开关模型电路、二极管开关电路、MOS 管基本开关电路，来理解 CMOS 反相器的工作原理



11.5 关于高阻态

11.5.1 概念

指的是电路的一种输出状态，既不是高电平也不是低电平，如果高阻态再输入下一级电路的话，对下级电路无任何影响。其电位可能是高电平也可能是低电平，由后一级电路决定。

11.5.2 表示方法

- 在逻辑函数式中表示方法是 Z
- 在卡诺图中表示方法是 \times

11.5.3 注意事项

常见的易错点有：在分析含三态门的电路的时候，写出输出逻辑函数式，忘记高阻态

11.6 可用来实现逻辑函数的常用组合逻辑电路模块

11.6.1 译码器

由于 n 位输入的译码器, 可以产生所有 n 变量的最小项. 所以, n 位译码器可以用来生成多输出的变量数不超过 n 的任意逻辑函数.

其中重点注意

- 可以生成的逻辑函数变量数不超过译码器输入
- 能够产生多输出逻辑函数

11.6.2 数据选择器

由数据选择器工作原理, n 位地址输入端产生地址选择信号, 本质上是 n 变量的最小项. 所以, n 位地址输入的数据选择器可以产生变量数不超过 $(n + 1)$ 的任意逻辑函数.

其中重点注意

- 可以生成的逻辑函数变量数不超过 $(n + 1)$
- 只能产生单输出逻辑函数

11.6.3 加法器

和以上两种组合逻辑电路模块不同, 加法器用来实现逻辑函数时比较有限, 一般只能用来产生特定形式的逻辑函数. 具体地讲, 就是能够表示为若干逻辑变量或常量相加的形式的逻辑函数.

其中重点注意, 这里所说的能够表示为包括能够转化为. 常见的可转化的包括

- 减法——利用补码运算
- 乘法——表示为移位相加

11.7 组合逻辑电路分析

11.7.1 本质

组合逻辑电路分析的本质是逻辑图到自然语言描述的转换. 实际上, 可以进一步描述为, 是逻辑函数不同表达形式之间的转换.

11.7.2 方法

组合逻辑电路分析的方法实际上就是逻辑函数不同表达形式之间的转换的方法. 具体来讲, 其转换过程为

- 逻辑图
- 逻辑函数式
- 真值表

11.7.3 想法分析

组合逻辑电路分析, 实际上就是根据组合逻辑电路图, 用自然语言描述其功能, 也就是前述从逻辑图到自然语言描述的转换. 由于逻辑图是逻辑函数的一种表达形式, 我们也可以将组合逻辑电路分析看作, 逻辑函数到自然语言描述的转换.

为了实现这一目标, 基于我们对逻辑函数及其表达形式的理解, 我们想到, 应该选择其中最接近自然语言的表达形式来完成这一转换任务. 我们知道, 逻辑函数表达形式中, 真值表是最直观的. 所以, 我们的想法就是, 先将逻辑图转换为真值表, 进而可以转换为自然语言描述. 其中, 借助了逻辑函数式来实现.

11.8 组合逻辑电路设计

11.8.1 本质

组合逻辑电路分析的设计, 本质上是从自然语言描述到逻辑图之间的转换. 实际上, 也可也看作是逻辑函数不同表达形式之间的转换.

11.8.2 方法

从自然语言到逻辑函数的转换, 首先要确定如何描述逻辑函数. 我们首先要做的是引入逻辑变量并赋予其意义. 然后根据意义得到逻辑函数式, 再将其转换为合适的形式. 具体操作为

- 首先确定逻辑变量个数和意义
- 选取逻辑函数表达形式其中和自然语言最接近的, 也就是“最直观”的——真值表
- 将自然语言表达的问题转换为真值表
- 进一步将真值表转换为逻辑函数式、逻辑电路图

11.8.3 注意

在组合逻辑电路设计过程中, 完成从自然语言到真值表、从真值表到逻辑函数式、从逻辑函数式到逻辑图的转换过程. 其中, 从逻辑函数式到逻辑图的转换中, 要注意, 实际操作中要根据器件供应情况, 可能需要对逻辑函数形式做一些适当的变换 (包括化简、逻辑函数式常见形式之间的转换等).

11.9 逻辑抽象问题

逻辑抽象是组合逻辑电路设计中的第一步, 也是关键步骤之一. 我们分析过, 组合逻辑电路设计从本质上讲可以看成从自然语言描述的逻辑问题到逻辑函数的表达形式之一——逻辑图的转换.

为了实现这一转换, 我们首先思考, 逻辑函数有多种不同表达形式, 特点各不相同, 而且可以等价地完成两两之间的直接互相转换. 所以, 我们挑选了其中的真值表作为转换的桥梁, 即首先完成自然语言描述问题到真值表的转换, 进一步再实现真值表到逻辑图的转换. 这一思路也是基于真值表的特点——直观.

对于逻辑抽象问题, 就是完成自然语言描述问题到真值表的转换. 具体来讲, 就是首先确定为了精确描述逻辑问题, 需要的输入输出变量个数. 对于每种输入变量组合, 根据逻辑问题的逻辑意义, 分析对应的输出, 进而即可列写出真值表.

对于组合逻辑电路设计来说, 逻辑抽象部分的难点主要在于, 如何选取合适的变量. 这一问题, 其实可以这样思考. 为了实现每一个能够影响结果 (输出) 的因素都能正常工作 (对输出产生影响), 那么这些因素都要作为输入. 例如水位检测问题, 那么每个水位检测器都需要一个逻辑变量来表示水位高度和检测器高度的关系.

11.10 译码器、数据选择器的应用及其比较

11.10.1 译码器

由于 n 位输入的译码器, 可以产生所有 n 变量的最小项. 所以, n 位译码器可以用来生成多输出的变量数不超过 n 的任意逻辑函数.

其中重点注意

- 可以生成的逻辑函数变量数不超过译码器输入
- 能够产生多输出逻辑函数

11.10.2 数据选择器

由数据选择器工作原理, n 位地址输入端产生地址选择信号, 本质上是 n 变量的最小项. 所以, n 位地址输入的数据选择器可以产生变量数不超过 $(n + 1)$ 的任意逻辑函数.

其中重点注意

- 可以生成的逻辑函数变量数不超过 $(n + 1)$
- 只能产生单输出逻辑函数

11.10.3 应用

基于以上分析, 由于译码器和数据选择器都可以用来实现任意逻辑函数, 所以, 常常被用来实现

- 基于中规模逻辑器件的组合逻辑电路设计
- 以其他逻辑器件为核心的电路设计问题中的辅助器件 (例如, 在组合逻辑模块功能扩展中, 实际输出从本质上讲就是基本模块输出的逻辑函数, 所以有时题目会要求利用译码器或者数据选择器来实现这里的逻辑函数, 可以参考作业题目 4.15 题)

对于第一个问题, 基于中规模逻辑器件的组合逻辑电路设计, 其实和一般的组合逻辑电路设计题目是类似的, 只是需要在第四步, 逻辑函数式形式变换, 对逻辑函数形式做相应变换 (本质上就是写成最小项之和的形式).

对于第二个问题, 其实实际上就是用译码器或者数据选择器来实现逻辑函数, 这类问题也是比较常见的, 只需要了解上面所述两类器件实现逻辑函数的原理即可.

11.11 功能扩展专题

11.11.1 本质

常用组合逻辑电路模块的功能扩展本质上, 是基于常用组合逻辑电路模块的组合逻辑电路设计. 即其本质仍然是组合逻辑电路设计, 只不过在器件选取时, 选择使用常用组合逻辑电路模块, 而不是选择基本门电路.

11.11.2 “黑盒子”模型——解题方法

关于这一问题, 在第一次习题课中有重点分析过. 不过考虑到这一问题是一部分中的主要难点, 也是大家反馈问题中常出现的问题. 所以这里通过一个“黑盒子”模型来分享如何解决这类问题.

所谓“黑盒子”模型是指,在不考虑电路内部实现的时候,电路设计要求可以看成是一个黑盒子.这个黑盒子有一定数目的输入,一定数目的输出,并且输入输出之间存在一些关系,可以用逻辑函数来表达,或者更具体地讲,可以用真值表(或功能表)来表达.

对于所有的组合逻辑电路设计问题,本质上都是根据输入输出关系,用电路元件来代替这一黑盒子.

对于一般的组合逻辑电路设计,我们思考其过程

- 逻辑抽象——从自然语言描述的问题得到“黑盒子”描述
- 写出逻辑函数式——确定“黑盒子”模型的输入输出关系
- 器件选型——确定用什么器件来实现“黑盒子”的内部功能电路
- 逻辑函数变换——确定实际输入和“黑盒子”内部选定的器件本身的输入之间的关系,并完成对应连接
- 根据变换后的逻辑函数式得到逻辑图——确定“黑盒子”内部器件的整体工作情况(不同模块的关系,每一块的工作情况,进而确定整体工作情况——确定工作情况后即可知道输出是什么),并完成实际输出(也就是根据内部模块电路的输出得到实际输出)

以上的分析其实是适用于任何组合逻辑电路设计的.

对于功能扩展问题,也可以用这样的思路来思考并解决.功能扩展问题不需要逻辑抽象步骤,可以直接从第二步开始进行.利用“黑盒子”模型来实现功能扩展问题的方法

- 首先确定黑盒子的输入输出
- 确定黑盒子内部的模块个数
- 确定实际输入和“黑盒子”内部选定的器件本身的输入之间的关系,并完成对应连接(这一步是重点,也是难点.功能扩展问题的目标是实现和原模块相同的功能,我们在利用原模块的时候不应该“破坏”,而是要利用其功能.具体来讲就是,我们要根据其本身的功能,来确定模块之间的关系以及如何分配输入.例如,优先编码器的功能扩展,基于对优先编码器功能的理解,我们对于模块之间的关系是按照优先级关系来组合——一片工作时候另一片不工作,同时对于输入是按照优先级顺序依次连接)
- 根据内部模块工作情况确定输出,进而确定如何实现实际输出——如何实现以实际输出为因变量、模块输出为自变量的逻辑函数

通过“黑盒子”模型的引入以及分析,我们可以认识到,其实功能扩展问题本质上也是组合逻辑电路设计问题,而且方法也是相同的.通过使用“黑盒子”模型,可以有效地完成这类题目.

11.11.3 以一道作业题目为例

这里我们以作业题目 4.15 题为例,说明“黑盒子”模型在功能扩展问题中的应用.

题目:利用两片双四选一数据选择器和一片三线——八线译码器构成十六选一数据选择器.

解析:首先我们要理解数据选择器的结构和工作原理.这里以一种程式化的方式来呈现这一部分的思考.对于双四选一数据选择器中的半片——四选一数据选择器,其功能表为

S'_1	A_1	A_0	Y_1
1	X	X	0
0	0	0	D_{10}
0	0	1	D_{11}
0	1	0	D_{12}
0	1	1	D_{13}

我们进行程式化分析

- 输入:两个地址输入(同时控制两个半片——四选一数据选择器),两个选通控制输入(分别独立控制两个半片——数据选择器的工作情况),八个数据输入(分别是两个半片——四选一数据选择器的输入)
- 输出:两个输出(分别是两个半片——四选一数据选择器的输出)
- 功能:首先选通控制输入端输入控制信号,分别独立控制两个半片——四选一数据选择器是否工作.对于被选中工作的四选一数据选择器,按照地址输入产生的地址信号选中四个输入地址中的一个(可以看成,地址输入作为一个被编码的信号,输入进来后被译码产生译码信号,对应四个最小项中的一个.此时对应编号的数据输入端被选中),然后其上的数据输入就被送到输出端产生输出信号.

对于其他组合逻辑电路模块,也可以按照这种程式化的方法来分析.并且有助于组合逻辑电路设计(特别地,功能扩展类问题).

十六选一数据选择器的工作原理和双四选一的半片——四选一数据选择器的工作原理相似,这里不做赘述.

另外,在这里看到了译码器,要认识到,这一问题的主角是数据选择器,译码器是用来辅助生成逻辑函数的(如前所述).

下面我们用“黑盒子”模型来分析这一问题.

- 黑盒子的输入输出

黑盒子的输入输出也就是十六选一数据选择器的输入输出. 有四个地址输入, 十六个数据输入, 一个数据输出.

- 黑盒子内模块个数

为了实现十六选一数据选择器, 需要能够支持十六个数据输入, 所以需要两片双四选一数据选择器.

- 确定实际输入和“黑盒子”内器件输入之间的关系

根据我们前面对于数据选择器工作原理的分析, 四个地址输入译码产生十六个最小项中的一个, 对应选中数据的编码, 并将对应数据输出. 所以, 对于十六个实际输入来讲, 它们的编号是和地址输入对应的. 而内部两片双四选一数据选择器的每个四选一数据选择器的四个数据输入, 和对应地址输入是同样的关系. 所以为了利用基本模块的功能, 我们就要按照编码关系来分配输入.

我们可以意识到, 对于十六个数据输入, 对其编号 0-15 应该按照顺序依次分配, 并且考虑到每片四选一数据选择器有四个满足编号顺序的数据输入, 所以输入分配方法是: 按照编号从 0 到 15, 每 4 个分为一组, 按照编号大小顺序依次接到四片四选一数据选择器上.

此时我们发现, 为了实现十六选一, 我们要做的操作是: 先从两片双四选一——实际上可以看成四片四选一数据选择器中选择一片四选一数据选择器, 然后从其四个数据输入中选择一个作为输出.

所以地址输入的分配是: 两个低位地址同时对应接到每片的地址输入, 用来从四个中选择一个. 而两个高位地址要能够产生数据选择信号选中四片中的一片, 所以要通过译码器产生相应的最小项, 对于三线——八线译码器, 只需要借低位两个输入, 高位输入置零即可. 然后从低四位译码输出中对应接入四片的选通控制端即可 (细节部分需要关注一下, 是否需要接反相器)

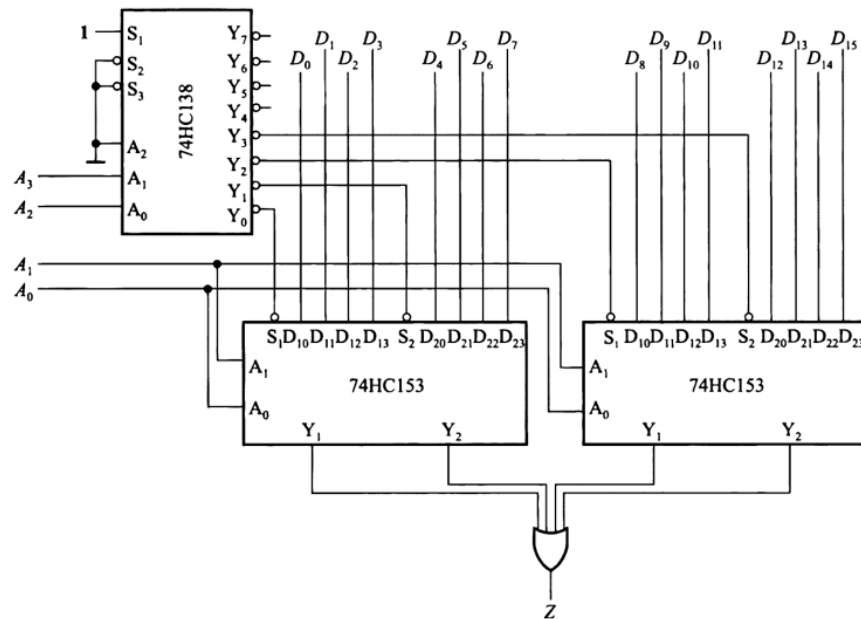
此时, 我们以及完成了输入部分的连接, 并确定了两片关系, 即已经确定了内部电路的工作情况.

- 根据内部电路工作情况确定如何得到输出

按照前面分析, 对于地址输入, 我们对高位译码选中四片四选一中的一片 (另外三片不工作), 而低位地址译码选择被选中这一片的四个数据输入中的一个送到输出. 所以, 四片四选一数据选择器的输出情况为: 有一片的输出是我们需要的数据输出, 另外三片的输出为不工作情况下的输出——低电平 (观察功能表我们发现, 不工作输出低电平), 所以我们只需要对四个输出端进行或运算即可.

这样, 我们就完成了这一功能扩展问题.

设计电路图



11.12 数制和码制例题补充

11.12.1 十进制码和格雷码的转换

$(876)_{10}$ 对应的格雷码为 () 格雷。

答案: 1011011010.

解析: 要将十进制数转换为对应的格雷码, 要借助二进制码. 进一步利用二进制转换为格雷码的算法, 即可得到答案.

按照十进制码转换为二进制码的方法进行转换可以得到

$$(876)_{10} = (1101101100)_2$$

二进制码转换为格雷码的方法是: 二进制码的最高位即为格雷码的最高位; 从二进制码的最高位起, 两两位做异或运算, 就得到了对应的格雷码.

11.12.2 二进制码和 BCD 码的转换

$(101101011.101)_2$ 对应的 BCD 码是 ()_{8421BCD}.

答案: $(0011011000011.011000100101)_{8421BCD}$.

解析: 要将二进制码转换为对应的 BCD 码, 需要借助十进制码. 进一步利用十进制码转换为 BCD 码的算法, 即可得到答案.

按照二进制码转换为十进制码的方法进行转换可以得到

$$(101101011.101)_2 = (363.625)_{10}$$

十进制码转换为 BCD 码的方法是：对于十进制数的每一位，按照十进制码和 BCD 码的对应关系进行转换，进而可得对应的 BCD 码。

11.13 逻辑代数基础例题补充

11.13.1 异或运算和同或运算

99 个 1 异或运算的结果记作 F_1 , 99 个 0 同或运算的结果记作 F_2 . 则 $F_1 \oplus F_2 =$ ().

答案：1.

解析：对于异或运算，奇数个 1 异或的结果是 1，偶数个 1 异或结果为 0；对于同或运算，奇数个 0 同或结果为 0，偶数个 0 同或结果为 1。

11.13.2 利用公共项实现最简逻辑函数式

试使用最少数目的与非门实现逻辑函数 $Y = A \oplus B$ (只用原变量).

答案： $Y = ((A \cdot (AB)') \cdot ((AB)' \cdot B)')'$. 逻辑图略.

解析：按照我们掌握的与或式转换与非与非式的方法，二次取反利用逻辑代数公式即可实现. 而题目要求使用最少的逻辑门，就是要求得到在相应逻辑函数形式下的最简逻辑函数. 我们熟悉与或形式的化简方法，公式法、卡诺图法等. 其他逻辑函数形式的化简并不作为重点要求，但如果遇到相应的题目，也要有一定的解题思路. 其中，利用公共项是一种重要的思路.(这道例题仅作为一种思路的启发，课程要求重点掌握与或式的化简即可)

11.13.3 无关项在化简中的应用

将逻辑函数 $B'CD' + AB'C + C'D' + BC'$ 化简为 $B'D' + B \oplus C$ 时使用了无关项 ().

答案： $A'B'CD$.

解析：无关项在逻辑函数化简中有着重要的应用. 在使用无关项进行逻辑函数化简时，一般会使用卡诺图法. 对于这一问题，逆向考察. 画出化简前逻辑函数对应的卡诺图，根据化简结果确定“画圈”的方式，即可确定使用的无关项.

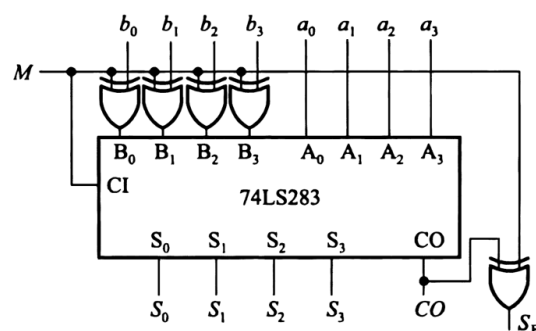
11.14 加法器的应用

11.14.1 加法器实现加减运算

试用 4 位并行加法器 74LS283 设计一个加/减运算电路. 当控制信号 $M = 0$ 时它将两个输入的 4 位二进制数相加, 而 $M = 1$ 时它将两个输入的 4 位二进制数相减. 两数相加的绝对值不大于 15. 允许附加必要的门电路.

解析: 加法器的功能是实现两个输入数据的加法运算. 为了实现减法运算, 需要将其转换为加法运算. 这里就要用到我们在学习二进制数运算时候学习的补码运算的知识. 由于减去一个数和加上其补码是一致的, 所以对于本题, 我们只需要实现: $M = 0$ 时两个原码相加, $M = 1$ 时一个原码和一个补码相加. 而补码可以通过按位取反加一得到, 所以问题转化为, 需要实现: $M = 0$ 时两个输入之间加在加法器输入端, $M = 1$ 时一个仍然是直接输入, 另外一个对输入按位取反后加入, 并在进位输入端加输入信号.

设计电路图

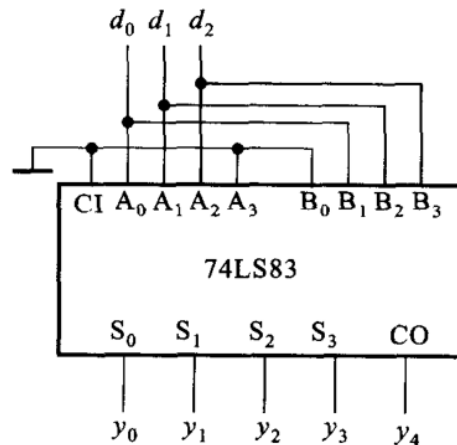


11.14.2 加法器实现乘法运算

用 4 位加法器 74LS83 实现一个三位二进制数的 3 倍乘法运算.

解析: 和上面的题目类似, 仍然需要考虑如何将乘法转化为加法——移位相加.

设计电路图



11.15 有限制的功能扩展问题

对于一般的功能扩展问题，由于其难度较大，我们在前面花费较大篇幅来解析这一问题。我们提出，利用“黑盒子”模型可以有效地解决这类问题。

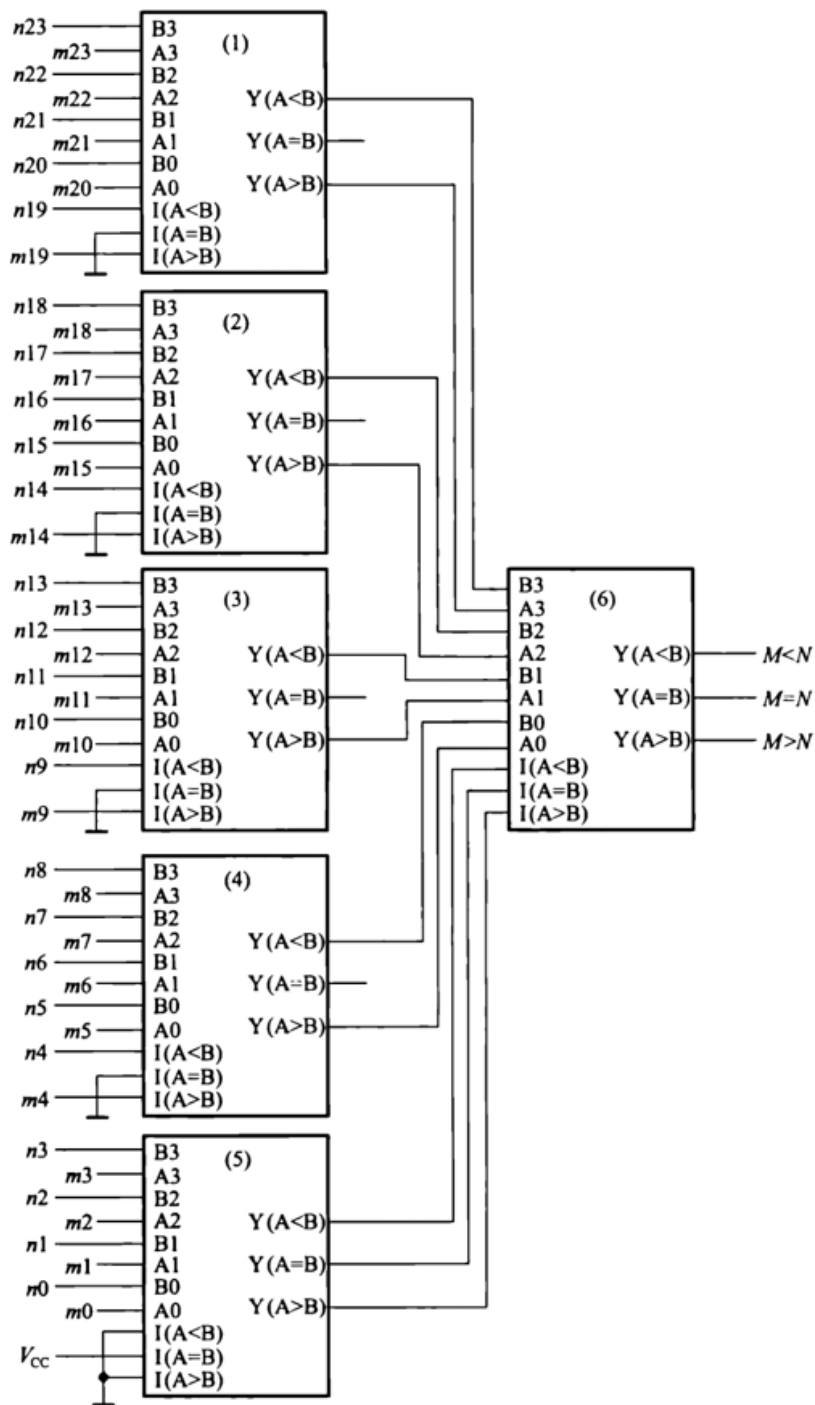
这里整理了一道特别的功能扩展题目，其特别之处在于，对于功能扩展中各个基本模块电路的连接方式提出了要求，也就是对于我们“黑盒子”模型法中的第三步中，提出了限制。

题目：已知 4 位数值比较器 74LS85 的传输延迟时间 (从加上两个输入比较数到产生输出比较结果所需时间) 45ns。要求用六片 74LS85 接成一个 24 位数值比较器电路，传输延迟时间不得大于 90ns。

解析：这里其实和一般问题类似，我们仍然可以用“黑盒子”模型解决。只不过在第三步，确定内部模块连接关系的时候，按照题目对于延迟时间的要求，我们只能进行两级串联。这时候我们要特别解决的就是，如何将六片分配到这两级。

我们可以清晰认识到，输出级只有一片用于输出最终结果，所以剩下五片作为第一级。这样，每片要实现五位二进制数的大小比较任务。由于正常只有四位比较输入，所以我们需要考虑利用来自低位比较结果对应的输入端。结合对功能表的分析，可以得到设计结果。

设计电路图



第五章至第八章经典问题综合整理

12.1 SR 锁存器的约束条件与“不定”状态的理解

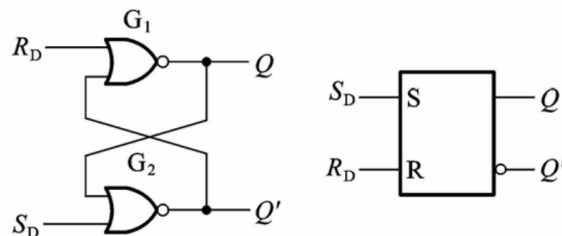
12.1.1 简述

在学习 SR 锁存器以及画 SR 触发器波形图的时候, 约束条件和“不定”状态是经常困扰同学们的一个问题. 在批改作业的时候会发现一些有偏差的理解, 例如认为当输入为约束输入的时候锁存器和触发器的状态就是“不定”状态.

这一小节专门针对这一问题进行解析.

12.1.2 SR 锁存器电路结构与特性表

SR 锁存器有两种常见的电路结构, 分别是用或非门和与非门实现. 或非门组成的 SR 锁存器电路结构如图

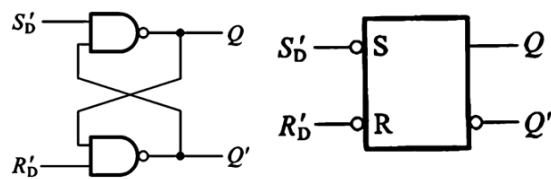


对应的特性表

S_D	R_D	Q	Q^*
0	0	0	0
0	0	1	1
1	0	0	1
1	0	1	1
0	1	0	0
0	1	1	0
1	1	0	0
1	1	1	0

其中加粗表示的为受约束的输入。

或非门组成的 SR 锁存器电路结构如图



对应的特性表

S_D'	R_D'	Q	Q^*
1	1	0	0
1	1	1	1
0	1	0	1
0	1	1	1
1	0	0	0
1	0	1	0
0	0	0	1
0	0	1	1

其中加粗表示的为受约束的输入。

12.1.3 SR 锁存器约束条件与“不定”状态的解读

要理解约束条件与“不定”状态，需要从 SR 锁存器的电路结构入手分析。

以或非门结构的 SR 锁存器为例。当输入 S_D 和 R_D 为 1 的时候，由或非门真值表可知，此时 $Q = Q' = 0$ 。此时我们可以发现，这样的状态是和我们的设计想法违背的（如果正常工作情况下， Q 和 Q' 的状态应该是相反的），这一情况也应该引起我们的注意。此时我们分析，当输入撤去的时候（输入为高电平有效，撤去输入即是指，有效电平消失， $S = R = 0$ ），无法判断锁存器次态是 $Q = 1, Q' = 0$ 还是 $Q = 0, Q' = 1$ ，即此时锁存器的状态是不确定的，也就是我们所说的“不定”状态，也是我们不希望出现的状态（作为电路设计者，我们希望电路能够按照我们的设计进行工作，即每一个状态转变都应该是按照既定路线行进的，而不应该出现一个设计者无法预期的状态），此时对应的输入就是约束输入，也就是 SR 锁存器的约束条件。

此时我们再分析，当约束输入出现后，紧接着的输入是有效置位信号，比如输入置 1 信号（ $S = 1, R = 0$ ），此时可以发现，次态仍然是确定的，按照置位信号， $Q = 1, Q' = 0$ 。

在上面的分析过程中我们发现，当输入为约束输入的时候，锁存器的状态是确定的，只不过不是正常工作状态（因为 $Q = Q'$ ）。而如果当约束输入出现后，紧接着有效输入全部撤去，当且仅当这种情况，才会出现我们说的“不定”状态。而如果约束输入

以后, 并没有把有效输入全部撤去, 比如输入置 1 信号 ($S = 1, R = 0$), 则次态仍然是确定的.

以上分析也适用于 SR 触发器.

12.2 触发器的逻辑功能和触发方式

12.2.1 简介

触发器是时序逻辑电路中的重要组成模块. 在考试中也会有有一定比例对触发器的考察. 一般情况下对于触发器的考察可能包括

- 根据触发器电路和给定的输入画出状态波形图
- 时序逻辑电路分析, 根据触发器电路图得到驱动方程, 进而由特性表得到状态方程 (以及输出方程)
- 时序逻辑电路设计, 根据器件选取情况, 由状态方程结合特性表, 得到驱动方程
- 用一种逻辑功能的触发器实现另一种逻辑功能的触发器

为了能够顺利解决以上问题, 关于触发器部分主要要求掌握的, 就是描述触发器的两种重要特征——逻辑功能和触发方式.

在此, 我们简单举例说明. 以画波形图题目为例. 这类问题是经常会出现的题目, 解决这类问题可以采用三步走战略.

- 识图——根据触发器电路图, 确定触发器的种类 (逻辑功能和触发方式)
- 确定动作位置——根据触发方式, 确定触发器状态可能发生变化的位置
- 确定动作方向——根据逻辑功能的描述方法之一, 即特性表, 结合触发器的原状态, 确定触发器的次态

从以上分析中不难发现, 解决波形图这类问题核心在于掌握触发器的逻辑功能和触发方式. 除此以外, 还需要特别注意的是, 要掌握每类触发器的图形符号 (其实主要是要掌握三类不同触发方式的触发器的图形符号区别).

12.2.2 逻辑功能和触发方式的关系

这一问题可能会是困扰初学者的一个常见问题. 关于这一问题的答案是, 触发器的逻辑功能和触发方式是独立的, 二者没有相关关系.

触发器的触发方式主要取决于触发器电路结构. 逻辑功能则是描述次态和现态与输入之间的逻辑关系, 本质上就是次态的以输入和现态为变量的逻辑函数, 可以形象地理解为怎样把输入和现态组合后作为输入.

所以,在分析触发器的时候,要分别确定逻辑功能和触发方式,这样才能进一步正确分析触发器问题.在理解了这一问题后,也会有助于理解波形图问题的三步走战略.

12.2.3 关于逻辑功能

逻辑功能的常用描述方式包括特性表、特性方程等.特性表本质上也是一种真值表,也就是说,逻辑功能相关问题实际上是逻辑函数问题.

以第一小节中描述的对于触发器常见的考察形式中的一种——用一种逻辑功能的触发器实现另一种逻辑功能的触发器为例.这类问题,本质上是逻辑函数变换问题,即借助特性表,将一种触发器的输入看成另一种触发器输入和触发器现态的逻辑函数.所以,一种常用的解决方法是,画出特性表.

12.3 触发器的异步置位问题

12.3.1 简介

为了方便地实现对触发器电路的控制,有时会在触发器中设计异步输入端.关于异步输入的理解,存在一些常见问题,具体包括

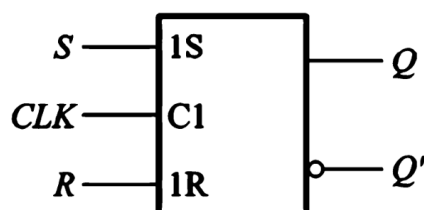
- 怎么识别是同步输入还是异步输入
- 有的触发器只有一个 S_D 或者 R_D , 并且没有给出功能表, 应该怎么理解它的作用
- 对于主从结构的触发器, 异步输入对主从触发器如何影响

在这一小节会针对这些问题做出解答.

12.3.2 怎么识别是同步输入还是异步输入

由于我们一般遇到的都是触发器的图形符号表达,所以主要说明如何在图形符号中识别同步输入和异步输入.在末尾部分我们会简要说明如何在触发器的电路结构图中识同步输入和异步输入.

在触发器的图形符号中,为了表达同步输入和对应的时钟信号的关系,会在时钟信号输入处做编号,而在对应同步输入处使用同一编号.如图所示,在这个电平触发的SR 触发器的图形符号中,C1 表示这个时钟信号编号为 1,1S 和 1R 表示两个输入 S、R 是受到编号为 1 的时钟信号 C1 控制.



对于异步输入, 由于其不受时钟信号控制, 所以在其输入处没有编号. 观察是否有编号即可区分同步输入和异步输入, 并确定同步输入和时钟信号的对应关系.

12.3.3 只有一个 S_D 或者 R_D

首先说明, 对于这类触发器中, S_D 是异步置位输入, R_D 是异步置零输入.

异步置位输入 S_D 的特性表

S_D	Q	Q^*
0	0	0
0	1	1
1	0	1
1	1	1

异步置零输入 R_D 的特性表

R_D	Q	Q^*
0	0	0
0	1	1
1	0	0
1	1	0

从原则上讲, 分析触发器电路的方法是对照触发器特性表来完成. 但有时候题目并没有给出这种异步置位输入和异步置零输入的特性表, 所以需要我们掌握.

一种逻辑分析的思路是, 如果同时出现 S_D 和 R_D , 我们就知道可以当作 SR 锁存器来处理 (这里简述一种理解异步输入的观点, 就是异步输入 S_D 和 R_D 作用下的触发器可以看作 SR 锁存器, 因为其不受时钟信号控制, 即随时可以作用, 而且作用方式——特性表, 和 SR 锁存器的特性表是一致的). 但如果只出现一个, 一种想法是, 我们试图确定那个没有出现的输入的取值.

以一种情况为例, 比如我们考虑只有异步置零输入 R_D 的情形. 这时, 我们考察对应的 S_D 应该是什么值. 对于单一变量有两种可能, 并且由于没有作为输入出现, 那么我们“虚拟”出的 S_D 应该始终保持两种取值中的一种. 考虑到

- SR 锁存器存在输入约束 ($SR=0$)
- 异步置零输入 R_D 可能为 0, 也可能为 1

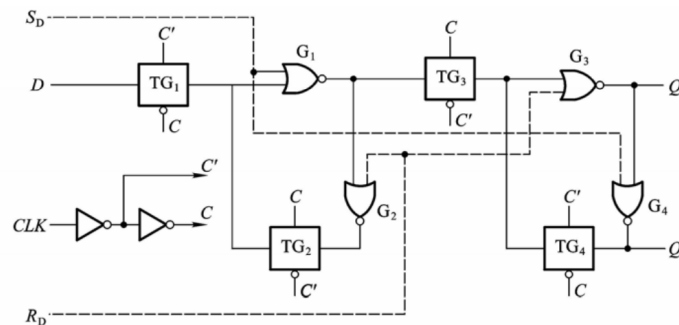
所以我认为, 我们“虚拟”出的 S_D 应该始终保持 0 才能满足要求. 这时, 我们再分析这一电路的时候, 就可以按照同时出现 S_D 和 R_D ——即 SR 锁存器分析 (并且 $S_D = 0$).

如果我们观察触发器电路图, 我们会发现, 异步输入的特征是直接加在输出级门电路上 (这也就是在电路结构图中区分同步输入和异步输入的方法), 这也符合我们之前

的分析——异步输入具有最高优先级，而对于触发器电路来说，输入的优先级体现在和输出之间的“距离”。(这个分析只是一种理解方式，希望能够帮助读者理解相关问题)。

12.3.4 异步输入对主从触发器如何影响

为了解决这一问题，最好的方法是分析电路结构图。



关于电路结构图的分析在课堂上老师已经讲授过，在这里就不做详细分析(简言之，从电路结构图中不难发现，异步置位输入和异步置零输入同时加在主从触发器上)。这里要分享给读者的是这一问题的答案以及一种对于这一问题的逻辑分析方法。

这一问题的答案是：**异步输入会同时影响主从触发器，按照特性表中的描述对主从触发器同时进行动作。**

分析电路结构图是最根本也是最严谨的方法，这里分享一种相对简便、易于实现的理解方法。我们在讨论这一问题之前，首先要明确的是：**异步输入的目标和结果是什么。**我们认为，异步输入的目标就是要让整个触发器按照其特性表描述的那样进行动作，并且不受时钟信号控制。换句话说，无论有效时钟信号是否出现，出现多少次，都不会影响这一结果。那么，我们可以理解，异步输入一定是对主从触发器同时动作(不然，我们很容易想象到，如果只有从触发器动作，主触发器没有受到影响，那么在下一个有效时钟输入出现的时候，主触发器影响从触发器，很可能改变从触发器的状态，即改变了异步输入带来的影响结果，也就是违背了异步输入的目标，这是我们不希望出现的)。所以从设计角度触发，我们可以认识到，异步输入的设计一定是同时影响主从触发器的。

这种分析方法也许没有直接分析电路结构图严谨，但这种换位思考的逻辑在解决电路问题中还是有效果的，所以这里详细展示了思维过程，供读者参考。

12.4 触发器的动态特性

12.4.1 简介

触发器的动态特性是指对输入信号、时钟信号以及二者互相配合关系的要求，目的是为了保证触发器电路可靠地工作。对于触发器的逻辑功能和触发方式分析主要是从电路功能角度出发，而动态特性则是针对性能提出的一些时序要求。

在介绍这一部分的考察要求之前, 需要说明的是, **学习和研究动态特性有着重要的意义**. 对于电路设计者来说, 客户的设计要求可能既包括功能方面的要求, 也包括性能方面的要求. 例如, 对于实时性要求较高的场合需要电路有高可靠、低时延的特性, 对于能源供应有限的场合 (例如可穿戴设备) 则可能要求电路有低功耗的特性. 这些性能要求和电路实现的功能并没有必然联系, 但仍然是需要设计者关注的重要问题之一.

对于电路设计来说, 没有最好. 如果说有最好, 那么符合客户设计要求的电路设计才是最好的设计.

12.4.2 考察要求和如何学习

这一部分不会作为重点考察内容, 在考核中也很少会出现, 考察要求主要是在理解层面, 即能够理解课堂上老师的分析即可.

为了理解这一部分内容, 建议首先思考, 为什么提出这一要求, 是从哪方面出发来考虑稳定性的. 想清楚了这些问题后, 理解动态参数中的数量分析就会相对容易一些.

12.5 时序逻辑电路分析

12.5.1 简介

时序逻辑电路分析问题, 本质上是逻辑函数问题. 在第四章我们学习了组合逻辑电路分析, 通过逻辑函数不同表达形式的转换, 过渡到真值表进而转换为自然语言描述. 而时序逻辑电路分析过程是类似的, 只不过往往我们的要求是, 写出三大方程——驱动方程、状态方程、输出方程. 而为了向自然语言描述转换, 一般需要借助状态转换图来实现.

和组合逻辑电路分析相比, 时序逻辑电路分析的特别之处在于, 由于存在存储元件——触发器, 所以需要根据触发器的特性进行相关逻辑函数分析. 而我们之前也有陈述, 触发器的特性方程, 本质上也是逻辑函数问题, 根据输入——驱动方程, 结合特性方程, 即可完成触发器状态和输出的分析, 而对于其他组合逻辑电路模块的分析方法我们已经熟悉了.

12.5.2 分析方法

一般的时序逻辑电路分析问题的要求是书写出三大方程. 书写三大方程的方法

- 分析触发器每个输入端——输入和现态的逻辑函数, 得到驱动方程
- 根据驱动方程, 结合特性方程, 代入得到状态方程
- 分析触发器的输出端——输入和现态逻辑函数, 得到输出方程

如果需要用自然语言描述, 和组合逻辑电路分析的思路类似, 我们需要找到一个最直观、最接近自然语言描述的表达式作为过渡, 来实现转换. 对于时序逻辑电路分析, 这一过渡往往选择状态转换图.

12.6 常用时序逻辑电路模块

12.6.1 简介

和组合逻辑电路部分提到的模块化设计思想类似, 在时序逻辑电路设计中, 常常会用到一些时序逻辑电路模块以简化设计过程.

在复习时序逻辑电路模块的时候, 建议将其作为一个时序逻辑电路设计问题, 自己完成相关必要分析工作, 并与相应的时序逻辑电路模块比较, 一方面会有助于理解时序逻辑电路模块本身, 另一方面也会有一些关于时序逻辑电路设计的思考与收获.

12.6.2 同步置零、置位和异步置零、置位

这—问题是计数器部分的常见易错问题. 关于异步的概念也是经常被问到的. 异步是指, 不受时钟信号控制 (退化为组合逻辑电路问题), 可以看成具有 “最高优先级”. 当异步信号有效的时候, 触发器会立即做出动作. 而同步信号则需要等待时钟信号, 只有出现有效时钟信号 (例如, 对于上升沿触发的触发器, 有效信号就是时钟上升沿) 才会发生动作. 所以, 异步置零、置位时, 产生置位信号的状态是不会出现在状态转换图中的; 而同步置零、置位则不同, 在产生置位信号的状态之后的下一个有效时钟才会发生置位动作, 即这一状态仍然会出现在状态转换图中.

12.6.3 关于计数器进位输出信号

基于常用计数器模块构造任意进制计数器的过程中, 常见的—个问题是, 如何有效选取进位输出信号. 在讨论这个问题之前, 首先要明确的—个非常重要的问题是: 进位输出信号的作用是什么.

在构造任意进制计数器过程中, 有时候会需要多片计数器共同实现. 这—问题和组合逻辑电路中的功能扩展问题是相似的. 在多片电路共同工作的时候, 要考虑的—个重要问题是, 这些模块之间的关系是什么. 关于组合逻辑电路功能扩展问题, 在组合逻辑电路专题辅导中有详细阐述, 这里的重点还是计数器问题. 对于计数器问题, 当使用多片组合的时候, 两片之间是—种数制的进制关系, 即 “高位片” 的数位基数是 “低位片” 的数位基数的倍数, 当 “低位片” 完成了—个计数周期后, 驱动 “高位片” 加 “—” (通过提供有效时钟信号实现).

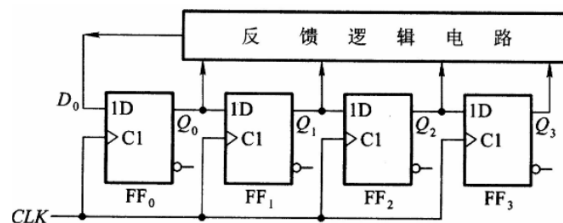
根据以上分析不难发现, 对于计数器问题, 进位输出的作用是用来产生驱动 “高位片” 动作的有效时钟信号. 那么, 选取合适的进位输出信号问题就变成了分析 “高位

片”驱动时钟信号产生时间的问题. 这一问题主要取决于计数器 (触发器) 的动作特点. 例如, 对于上升沿触发的计数器, 合适的进位信号就是能够在需要“高位片”动作的时候产生一个上升沿, 而不是单纯地认为在当前片计数周期的最后一个状态输出高电平.

12.6.4 以移位寄存器为例分析自启动问题

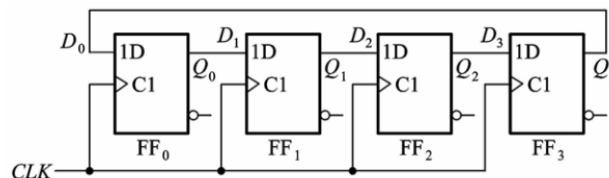
自启动设计是时序逻辑电路设计中的重要问题之一. 在学习常用时序逻辑电路模块部分, 需要重点掌握移位寄存器的自启动设计.

在讨论这一问题之前, 我们首先要明确的问题是: 自启动设计有何要求. 不难理解, 我们希望时序逻辑电路能够自启动是从可靠性 (性能) 角度出发, 但一个重要前提是, 不能修改原始电路的逻辑功能. 对于移位寄存器来说, 其自启动设计的前提就是, 不能修改其移位寄存结构. 所以, 为了实现自启动设计, 我们只能考虑通过反馈逻辑电路.

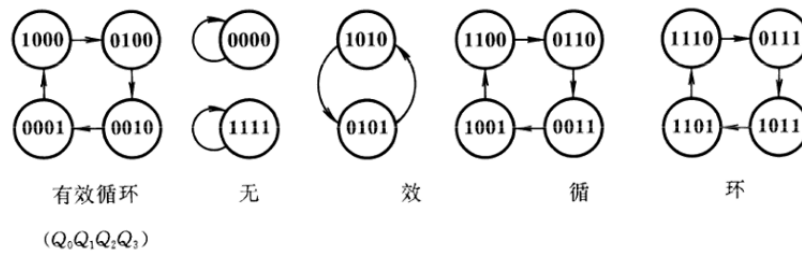


进一步我们分析, 自启动问题的本质. 实际上, 我们为了实现自启动, 就是要修改状态转换图, 打破原有的无效循环, 将无效循环中的状态的次态指定为某一有效状态, 或者经过若干时钟周期后能够到达有效状态.(这里要说明的是, 不一定非要把所有无效状态的次态都直接指定为有效状态, 只要修改后不存在无效循环即可, 一方面是考虑到尽量简化设计, 另一方面我们会发现有时候也无法把某些无效循环中的状态次态指定为有效状态.)

有了以上的分析, 我们可以讨论移位寄存器自启动设计方法. 对于所有有效状态, 不需要修改其次态, 保持即可. 对于无效循环中的状态, 修改其次态并使得其在若干时钟周期后进入有效循环. 由于移位寄存器的功能特点, 所有的次态修改只能修改 D_0 位. 以经典的环形移位寄存器为例说明这一方法的具体应用.



可以分析得到其状态转换图, 发现其中存在无效循环. 所以可以讨论其自启动设计问题.



首先讨论无效循环 0000 和 1111. 由于其构成自循环, 所以必须修改其次态. 根据以上讨论

- 0000 的次态只能指定为 1000
- 1111 的次态只能指定为 0111(在这里也不难发现, 有时候我们没有办法将无效循环中状态的次态指定为有效状态)

接着讨论 1010 和 0101.

- 对于 0101, 我们可以指定其次态为 0010 进而直接进入有效循环
- 对于 1010 其次态为 0101, 如果我们修改其次态, 那只能是 1101, 而二者都不是有效循环中的状态, 那么我们是否要修改这一状态的次态呢
- 在这里要说明一种修改次态的经验, 即我们要根据有效循环中状态特征来确定, 具体来讲就是, 如果有效循环中的状态比特中 0 比较多, 那么我们修改无效状态时候尽量向着 0 的个数增加的方向; 如果有效循环中的状态比特中 1 比较多, 那么我们修改无效状态时候尽量向着 1 的个数增加的方向
- 所以, 这里我们不修改 1010 的次态, 即仍然让其次态为 0101

接着讨论 1110、0110、0011、1001 构成的无效循环. 在这里, 我们仍然遵循上述原则来进行.

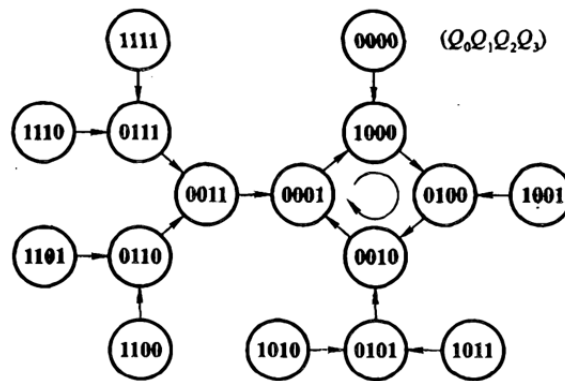
- 1100 的次态 0110 只能修改为 1110, 而这样 1 的个数增加, 所以不修改
- 0110 的次态 0011 只能修改为 1011, 而这样 1 的个数增加, 所以不修改
- 0011 的次态是 1001, 可以修改为 0001, 进而直接进入有效循环
- 1001 的次态是 1100, 可以修改为 0100, 进而直接进入有效循环

最后讨论 1110、0111、1011、1101 构成的无效循环. 在这里, 我们仍然遵循上述原则来进行.

- 1110 的次态 0111 只能修改为 1111, 而这样 1 的个数增加, 所以不修改

- 0111 的次态是 1011，可以修改为 0011，这样 1 的个数减少有利于进入有效循环 (从上面我们的分析过程可以发现，我们已经将 0011 的次态指定为 0001，直接进入有效循环)
- 1011 的次态是 1101，可以修改为 0101，这样 1 的个数减少有利于进入有效循环 (从上面我们的分析过程可以发现，我们已经将 0101 的次态指定为 0010，直接进入有效循环)
- 1101 的次态是 1110，可以修改为 0110，这样 1 的个数减少有利于进入有效循环 (从上面我们的分析过程可以发现，0110 的次态是 0011，0011 的次态被修改为 0001，直接进入有效循环)

这样修改后，不再存在无效循环，即完成了自启动设计的状态转换图修改工作。按照以上分析，得到如图所示的状态转换图。



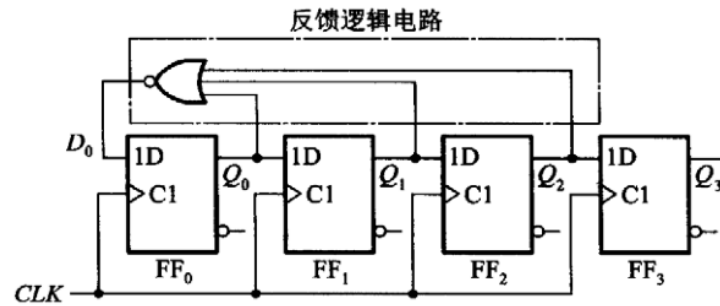
从以上分析过程我们可以得到一个经验性的方法

- 对于自己构成无效循环的状态，必须修改其次态
- 遍历其余所有无效状态，观察其次态，如果修改状态能够使得其次态中 0、1 的个数特征 (0 多或者 1 多) 和有效循环中的一致，就可以考虑修改其次态 (当然这一特征有些时候并不明显，比如扭环形移位寄存器，实际上本质还是向着离有效循环更近的方向修改次态)

根据以上的分析，我们列出状态转换表，进而得到状态方程 (同时也得到了驱动方程)

$$\begin{cases} Q_0^* = D_0 = (Q_0 + Q_1 + Q_2)' \\ Q_1^* = D_1 = Q_0 \\ Q_2^* = D_2 = Q_1 \\ Q_3^* = D_3 = Q_2 \end{cases}$$

这样我们就得到了修改后能够自启动的移位寄存器的电路图



以上的分析方法适用于各种移位寄存器电路的自启动设计。

12.7 同步时序逻辑电路设计

12.7.1 简介

同步时序逻辑电路设计是第六章的重点，也是这门课程的重点之一。从考察角度，这一部分的题目难度往往会大一些。所以这一部分的内容要给予足够的重视。

时序逻辑电路设计，从本质上讲，和组合逻辑电路设计是相似的。时序逻辑电路设计过程同样是一个时序逻辑函数不同表示形式的转换过程。经过了从状态转换图到状态转换表，进而到状态方程的转换，结合触发器的特性方程即可得到驱动方程。这样就得到了最终设计的电路图。如果必要的话再检查一下自启动情况（并不是一定要求设计能够自启动，因为我们发现，自启动设计虽然提高了稳定性，但是也带来了电路复杂性增加，成本提高，如果能够保证初始状态一定能够进入有效循环，并且工作环境稳定的话，有时候可以接受不能够自启动的设计）。

和组合逻辑电路设计一样，时序逻辑电路设计的难点也在于逻辑抽象过程。对于时序逻辑电路来说，选取合适的输入输出变量、电路状态数以及电路状态分配，至关重要。

12.7.2 设计方法

如前所述，同步时序逻辑电路设计和组合逻辑电路设计的思想是类似的，本质上都是逻辑函数转换。

- 组合逻辑电路设计主要是组合逻辑函数转换，从真值表到逻辑函数式再到电路图
- 时序逻辑电路设计主要是时序逻辑函数转换，从状态转换图到状态转换表到状态方程，再结合特性方程得到驱动方程，最后得到电路图

本小节对同步时序逻辑电路设计步骤进行解析，以帮助读者更好地理解同步时序逻辑电路设计方法。

- 逻辑抽象

从本质上讲,就是把自然语言描述的逻辑问题转换为时序逻辑函数,在这里我们选取其中最直观的——状态转换图。

在这一步,重点在于选取合适的输入输出变量,并确定电路状态数。

输入输出变量的确定方法和组合逻辑电路设计中的输入输出变量确定方法是类似的。我们根据自然语言描述的逻辑问题,把能够影响电路状态变化的外界因素,把我们从电路工作过程中获取的信息作为输出。以串行数据检测问题为例,我们选取输入为待检测的输入数据,选取输出为检测的结果。

电路状态数确定则是难点和重点,也是同步时序逻辑电路设计和组合逻辑电路设计的不同之处。在设计电路状态数的时候,就是要考虑未输入的初始状态和我们预期产生输出的状态之间的转换路径。针对这一问题,我们首先要根据问题本身确定在没有输入情况下初始状态应该如何描述,然后考虑为了实现逻辑功能我们需要的输出所对应的状态应该怎样描述,进而可以确定二者之间的距离,从而确定电路状态数。以串行数据检测问题为例,我们的目标是检测连续 3 个或 3 个以上的 1。那么初始状态的含义应该是没有 1 输入,而产生输出的目标状态应该是连续 3 个或 3 个以上的 1。接着我们再考虑二者之间的距离。从没有 1 输入到连续 3 个或 3 个以上的 1,对于串行数据来说,应该经历了 1 个 1 输入、连续 2 个 1 输入这样两个状态。这样我们就确定了这一问题的电路状态数(个人觉得能够掌握到这样的程度已经达到要求了,并不需要在这阶段就一定能够确定最少的状态数)。

确定电路状态数的过程其实也确定了每种状态的含义,对其顺序编号后即可得到电路状态转换图。至此,我们已经完成了同步时序逻辑电路设计中最重要也是最难的一步。

- 状态化简

状态数目直接关系着触发器的个数,从电路简化角度(电路模块数少可以减少成本,电路模块和连线数少可以减小故障几率、提高可靠性等)我们希望触发器的数目尽可能少一些。所以,我们往往会对状态数进行化简。

在这一部分,要注意理解等价状态的概念——两个电路状态在相同输入的情况下有相同的输出、并且转换到相同的次态。要注意,只有等价状态才可以合并,进而实现状态化简。

- 状态分配

状态分配主要任务是确定触发器的数目和状态编码。触发器的数目由状态数直接决定。状态编码是一种排列组合问题,合适的编码方案会使得电路设计简单很多(一种常用的编码方案是顺序编码)。此时,我们就获得了“真正的”状态转换表。

- 触发器选型、确定三大方程

和组合逻辑电路设计类似,时序逻辑电路设计中一个重要的影响因素是器件

选型. 不同的触发器有着不同的特性方程, 根据选定的触发器的特性方程可以和状态方程共同得到驱动方程.

- 画出逻辑图
- 检查自启动

检查自启动就是要检查状态转换图中是否存在无效循环. 在前面部分我们以移位寄存器为例分析了自启动设计方法, 并且我们也要认识到, 并不是一定需要自启动设计. 前面从工程角度做了简要分析, 这里针对考试解题做出说明.

解题时候要关注题目的要求. 如果题目并没有要求提出一种自启动的设计, 如

- 题目并没有做任何说明
- 题目要求检查是否能够自启动

则不需要考虑自启动问题. 如果题目要求设计能够自启动, 一般的方法是

- 首先按照前述流程正常地进行设计
- 检查自启动. 如果能够自启动则已经满足了设计要求
- 如果不能够自启动, 则需要按照前面以移位寄存器为例分析自启动设计部分提出的方法进行状态转换图调整, 进行自启动设计

12.7.3 关于学习同步时序逻辑电路设计的一些小建议

同步时序逻辑电路设计是这门课程的重点和难点, 在前面部分做出了相关问题简要介绍, 并对设计流程进行了详细解读. 在这一部分, 结合学习经验, 向读者分享一些小建议.

- 思考同步时序逻辑电路设计问题的本质
- 和组合逻辑电路设计进行比较学习
- 熟练掌握时序逻辑函数不同表达形式及其转换方法
- 熟练掌握触发器特性方程
- 熟练掌握自启动判断以及自启动设计
- 注重逻辑抽象部分的训练、思考与理解
- 注意做不同类型的时序逻辑电路设计题目 (功能扩展、实际逻辑问题等)

12.8 门电路、脉冲产生与整形电路、数模转换电路

12.8.1 简介

在这门课程的第三章、第七章、第八章，我们要学习门电路、脉冲产生与整形电路、数模转换电路。这些部分在初学的时候可能是理解上的难点，同学们在学习过程中也常常会有反馈，关于这些部分如何学习、考试如何考察等等。

总的来讲，这些部分所讲述的内容对于数字电子电路有着重要的地位。从这门课程的角度来说，重点主要在于组合逻辑电路和时序逻辑电路的分析与设计，而对于这些部分的要求主要在于理解基本模型电路并掌握一些重要参数的公式计算。

这一小节主要内容是，针对这些部分的一些常见问题做出解答（其中门电路部分学习方法在第一次习题课讲义中有介绍）。

12.8.2 TTL 电路和 CMOS 电路输入悬空问题

在学习组合逻辑电路的时候，我们有提到一个概念：**TTL 门电路输入悬空相当于高电平输入，CMOS 门电路输入不允许悬空**。这里针对这一结论相关的一些问题做出说明。

TTL 门电路输入端具有输入负载效应（这一概念有大概了解即可），当输入开路时相当于无穷大的输入负载电阻，此时输入会呈现高电平。CMOS 电路输入端由于 MOS 管的绝缘栅氧化层结构，如果开路的话输入会因为静电感应而呈现不定状态，并且有可能会损坏管子，所以禁止开路。

以上说明部分仅作了解要求。在这里主要是从考试解题角度分析，TTL 和 CMOS 的输入悬空问题在哪些方面存在影响。

- 在使用电路模块时，需要使用的输入少于其输入端口数量，对于不用的输入一定不能忽略，要配置合适的电平（这是一个常见的易错问题）
- 当遇到 TTL 电路某个输入端悬空时要理解其相当于高电平输入

12.8.3 性能参数

在学习门电路部分，我们学习了一些关于门电路的性能参数。在触发器电路部分，我们也学习了触发器电路的一些性能参数。在学习这些部分的时候，理解上可能会遇到一些困难。从考试角度来讲，**主要需要掌握课堂上老师讲述的重要公式，能够完成基于重要公式的部分参数计算即可**。在这一小节，希望以一个常见问题为例，说明这些性能参数背后的的重要性。

在分析一些电路图的时候可能会遇到两个反相器级联的情况。根据反演定理我们知道两次取反结果仍然为原变量，也就是说从逻辑功能角度来讲，这样的电路结构好像

没有任何意义. 遇到类似的问题时候, 我们要记得, 除了逻辑功能以外, 性能也是电路的重要特性之一. 这种情形的设计初衷往往是从性能角度出发的. 一种常见的可能原因是, 利用反相器的时延特性, 为相应的支路提供时延, 从而在时序上配合其他支路, 可以达到解决竞争冒险问题.

专门用一个小节说明这一问题, 一方面是解决大家学习中遇到的困惑——这一部分内容会怎样考核, 另一方面希望以一个常见的例子来说明研究这一部分问题的重要意义.

12.8.4 学习上的建议

前面已经有陈述, 这一部分在考察上并不作重点要求, 只需要理解课堂上老师讲述的模型电路的原理、掌握部分公式计算即可. 这里结合学习时的理解和经验, 给读者提出一些小的建议.

- 理解重要性能参数的基本概念
- 熟练掌握重要公式
- 掌握 555 电路构成不同功能电路的连接方法 (避免出现: 题目没有说出 555 电路构成的电路是哪种类型功能电路就不会做了)
- 掌握不同数模转换电路的优缺点, 并能够根据设计要求选择合适的电路

期末模拟试卷

一、简答题

1.(4 分) 用二进制补码列算式计算

1)20+17 2)20-17 3)-20+17 4)-20-17

2.(4 分) 用公式法将

$$Y = AC + B'C + BD' + CD' + A(B + C') + A'BCD' + AB'DE$$

化简为最简与或式.

3.(4 分) 将具有约束条件 $AB + AC = 0$ 的逻辑函数

$$Y = A'B'D + A'BC + B'C'D$$

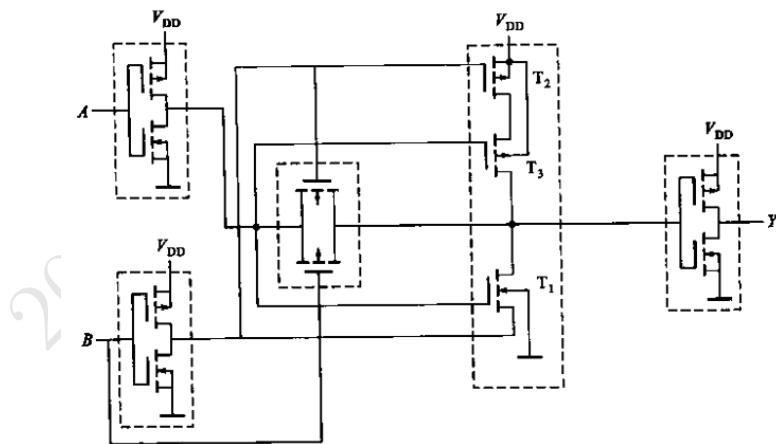
化简为最简与或式.

4.(4 分) 将下列逻辑函数转换为指定形式, 并画出全部由相应门电路构成的电路图.

1)(与非——与非式) $Y = A(BC)' + ((AB')' + A'B' + BC)'$

2)(或非——或非式) $Y = ((CD)'(BC)'(ABC)'D')'$

5.(6 分) CMOS 电路如图所示. 试分析其功能, 并用逻辑图表示.

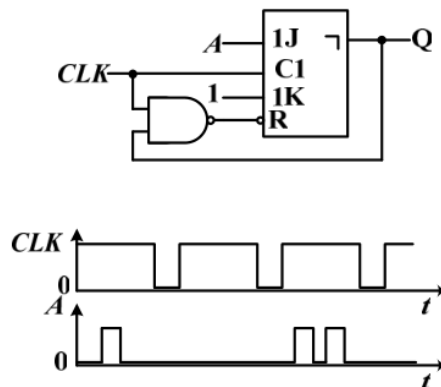


6.(8 分) 用 ROM 设计组合逻辑电路, 产生下列一组逻辑函数

$$\begin{cases} Y_1 = A'B'C'D' + A'BC'D + AB'CD' + ABCD \\ Y_2 = A'B'CD' + A'BCD + AB'C'D' + ABC'D \\ Y_3 = A'BD + B'CD' \\ Y_4 = BD + B'D' \end{cases}$$

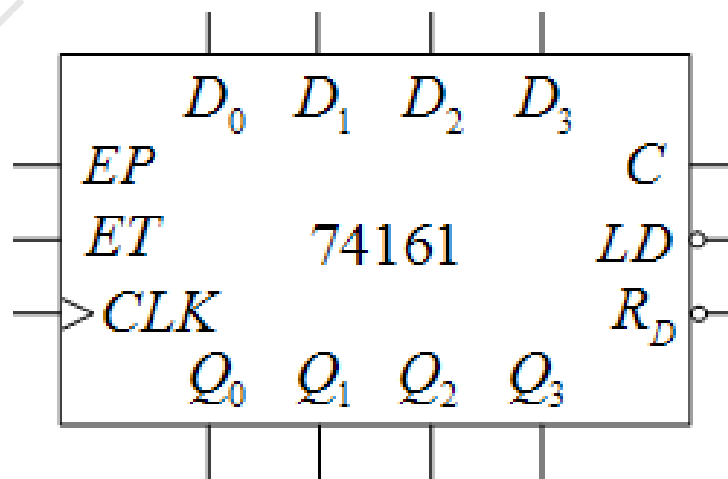
将所有逻辑函数写成最小项之和形式. 列出 ROM 数据表, 并画出存储矩阵的点阵图.

6.(7 分) 如图所示的主从结构 JK 触发器电路中, 已知 CLK 和 A 的电压波形如图所示. 试画出 Q 端的波形.



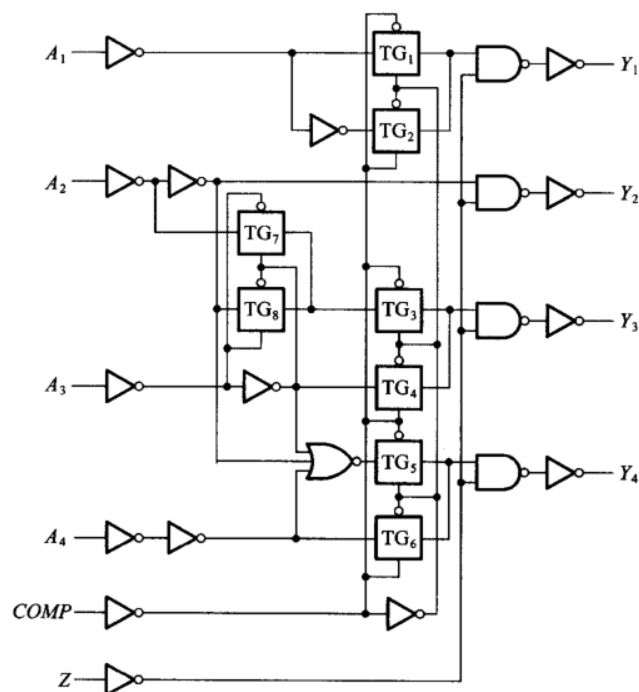
7.(8 分) 请使用 74LS160 设计一个可控进制计数器. 当输入控制变量 $M = 0$ 时工作在五进制, 当 $M = 1$ 时工作在十五进制. 标出进位输出端. 功能表如下.

CLK	R'_D	LD'	EP	ET	工作状态
\times	0	\times	\times	\times	置零
\uparrow	1	0	\times	\times	预置数
\times	1	1	0	1	保持
\times	1	1	\times	0	保持 (但 $C = 0$)
\uparrow	1	1	1	1	计数

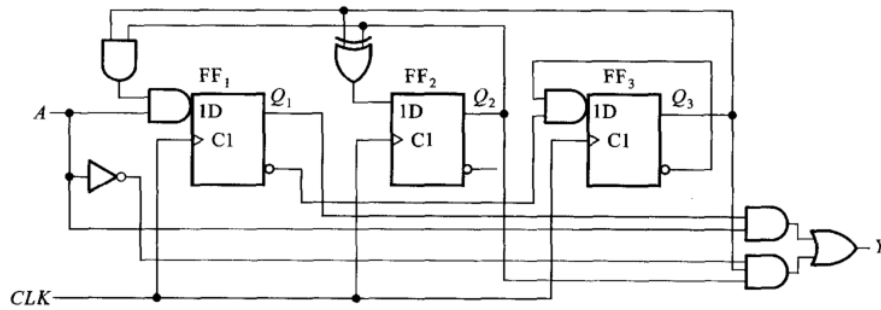


二、分析题

1.(15 分) 如图所示为一种算术运算电路, 请说明控制端 Z 的作用, 并分析 $Z = 0$ 时, 如图所示电路实现的逻辑功能.

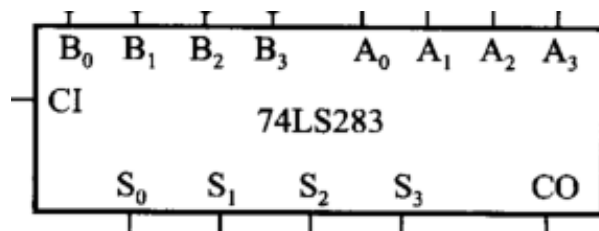


2.(15 分) 分析如图所示时序逻辑电路. 判断这一时序逻辑电路是 Mealy 型电路还是 Moore 型电路并说明理由. 写出电路的驱动方程和状态方程, 列出状态转换表, 画出状态转换图, 检查电路能否自启动, 说明电路的功能.



三、设计题

1.(10 分) 试用 4 位并行加法器 74LS283 设计一个加/减运算电路. 当控制信号 $M = 0$ 时它将两个输入的 4 位二进制数相加, 而 $M = 1$ 时它将两个输入的 4 位二进制数相减. 两数相加的绝对值不大于 15. 允许附加必要的门电路.



2.(15 分) 三相六拍步进电动机. 绕组 A 、 B 、 C 导通用 **1** 表示, 截止用 **0** 表示. 方向控制信号 $M = 1$ 时电机正转, $M = 0$ 时, 电机反转. 正转的时候三相绕组导通顺序为: $A \rightarrow AB \rightarrow B \rightarrow BC \rightarrow C \rightarrow CA \rightarrow A$. 根据题意, 请列出状态转换表, 并采用 D 触发器设计三相六拍步进电动机控制电路.

2020 秋数字逻辑电路 06 班

致谢

首先要感谢教授我这门课程的胡老师。胡老师在专业知识方面有着深厚的功底，在教学方面注重教学方法，在讲授课程知识的同时适当地结合工程经验帮助我们更清晰地理解学习中的重点和难点。在课堂上，胡老师用清晰、严谨、逻辑性很强的讲述帮助我们建立知识体系结构、理解课程重点难点，让我们能够更加轻松地学习这门课程。在课下，胡老师的耐心答疑能够帮助我们找到理解上的误区并解决学习中遇到的困难。正是得益于胡老师的帮助，我能够顺利完成这门课程的学习，并且收获了很多有意义的思考。

衷心地感谢一路走来遇到的每一位老师。感谢有你们的教授和指导，让我能够用丰富的知识来充实自己，并且能够找到适合自己的学习方法和知识体系建构的方法；感谢有你们的鼓励和支持，让我有勇气和信心去面对学习和生活中遇到的各种困难。

感谢爱我的每一位亲人和朋友给予我爱与被爱的力量，让我有勇气去接受生活，让我能够坚持着努力变得更好。逆境中的鼓励和关心，快乐时的一起分享，平凡生活中的每一份简单的幸福都值得珍藏。祝我深爱的人儿，平安幸福、万事胜意。我愿安静等待，在努力中变得更好，期待春暖花开。

这份感谢要送给亲爱的 2020 春数理方程 08 班大家庭的每个成员。2020 春的相遇是我愿意永远珍藏的美好。认真、踏实、努力、可爱，是你们陪我一起，让我学会怎样做一个合格的助教，学会更好地沟通交流、换位思考，让我有机会和这么多可爱的人一起努力，变得更好。最美好的祝福送给亲爱的你们，愿我们 2020 春数理方程 08 班大家庭的每个成员都能万事胜意，成为最想成为的自己。如果有困难需要帮助，请记得我们一直都在。虽然时光总会远去，但我相信，我们会在某年某月某天再相逢，那时，我们成为了梦里那个闪闪发光的自己，我们也都会有好故事可以说。

我也要感谢 2020 秋数字逻辑电路 06 班的同学们。很开心有机会能够相遇，也愿意认真收藏这份美好。在作业中能够看到你们的认真和努力，在答疑中能感受到你们的思考。感谢在这学期的助教工作中，你们的鼓励和支持。祝愿你们在学习这门课程中能够顺顺利利，取得理想的成绩。

在这本教材的编写过程中，主要参考了胡老师的课件、自己在胡老师数字逻辑电路班级学习时的笔记、阎石老师主编的《数字电子技术基础》、阎石老师和王红老师主编的《数字电子技术基础学习辅导与习题解答》等资料，在此向胡新伟老师、阎石老师、王红老师表示衷心的感谢。

一直以来觉得自己是一个非常幸运的人. 在每一段时光中都能遇到非常非常棒的人, 给我帮助和支持, 陪我一起变得更好. 祝愿所有爱我和我深爱的人们, 万事胜意, 平安幸福. 我相信, 时光不会辜负每一个平静努力的人, 我愿意坚持努力下去, 和亲爱的你们一起, 变得更好.

2020 秋数字逻辑电路 06 班