

Таблицы истинности для лабораторной работы 3

Анализ комбинационных и последовательных схем

19 октября 2025 г.

1 Комбинационные схемы

1.1 Часть 1: Логическая функция $y = c$

Таблица 1: Таблица истинности для части 1

a	b	c	y
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	0
1	1	1	1

1.2 Часть 2: Функция исключающего ИЛИ $y = a \oplus b \oplus c \oplus d$

Таблица 2: Таблица истинности для части 2

a	b	c	d	y
0	0	0	0	0
0	0	0	1	1
0	0	1	0	1
0	0	1	1	0
0	1	0	0	1
0	1	0	1	0
0	1	1	0	0
0	1	1	1	1
1	0	0	0	1
1	0	0	1	0
1	0	1	0	0
1	0	1	1	1
1	1	0	0	0
1	1	0	1	1
1	1	1	0	1
1	1	1	1	0

1.3 Часть 3: Логическая функция $y = (a \cdot b) + (c \cdot d)$

Таблица 3: Таблица истинности для части 3

a	b	c	d	y
0	0	0	0	0
0	0	0	1	0
0	0	1	0	0
0	0	1	1	1
0	1	0	0	0
0	1	0	1	0
0	1	1	0	0
0	1	1	1	1
1	0	0	0	0
1	0	0	1	0
1	0	1	0	0
1	0	1	1	1
1	1	0	0	1
1	1	0	1	1
1	1	1	0	1
1	1	1	1	1

2 Последовательные схемы

2.1 Часть 4: D-триггер

Таблица 4: Таблица истинности для D-триггера

$reset$	d	q_{n+1}	Описание
1	X	0	Асинхронный сброс
0	0	0	Передача 0
0	1	1	Передача 1

2.2 Часть 5: JK-триггер

Таблица 5: Таблица истинности для JK-триггера

$reset$	j	k	q_{n+1}	Описание
1	X	X	0	Асинхронный сброс
0	0	0	q_n	Сохранение состояния
0	0	1	0	Сброс
0	1	0	1	Установка
0	1	1	$\overline{q_n}$	Инверсия

2.3 Часть 6: Последовательная схема с комбинационной логикой

Примечание: $state_{n+1} = a \oplus b$, $y = state \cdot a + b$

Таблица 6: Таблица истинности для части 6

a	b	$state_{n+1}$	$state_n$	y	Описание
0	0	0	0	0	Состояние 0, выход 0
0	0	0	1	0	Состояние 1, выход 0
0	1	1	0	1	Переход в состояние 1
0	1	1	1	1	Остаемся в состоянии 1
1	0	1	0	0	Переход в состояние 1
1	0	1	1	1	Остаемся в состоянии 1
1	1	0	0	1	Переход в состояние 0
1	1	0	1	1	Переход в состояние 0

3 FSM модули

3.1 Счетчик 0-999

Таблица 7: Логика работы счетчика

$reset$	$count$	$count_{n+1}$	Описание
1	X	0	Сброс счетчика
0	0-998	$count + 1$	Инкремент
0	999	0	Переполнение

3.2 Сдвиговый регистр-счетчик

Таблица 8: Логика работы сдвигового регистра

$shift_ena$	$count_ena$	$data_in$	$data_out_{n+1}$	Описание
1	0	X	$\{data_out[2:0], data_in\}$	Сдвиг влево
0	1	X	$data_out - 1$	Обратный счет
0	0	X	$data_out$	Сохранение

3.3 Детектор паттерна 1101

3.4 Продвинутый таймер

Примечание: $target_count = (delay_value + 1) \times 1000$

4 Заключение

Все таблицы истинности соответствуют реализованным модулям и подтверждают корректность их работы. Комбинационные схемы реализуют простые логические функции, а последовательные схемы демонстрируют различные типы триггеров и конечных автоматов.

Таблица 9: Состояния FSM детектора паттерна

Состояние	Вход	Следующее состояние	<i>start_shifting</i>
S0 (IDLE)	0	S0	0
S0 (IDLE)	1	S1	0
S1	0	S0	0
S1	1	S2	0
S2	0	S3	0
S2	1	S2	0
S3	0	S0	0
S3	1	S4	1
S4	0	S0	0
S4	1	S1	0

Таблица 10: Состояния FSM продвинутого таймера

Состояние	Условие перехода	Следующее состояние	<i>counting</i>	<i>done</i>
IDLE	Паттерн 1101 найден	SHIFTING	0	0
SHIFTING	4 бита сдвинуты	COUNTING	0	0
COUNTING	$timer_count \geq target$	DONE_STATE	1	0
DONE_STATE	$ack = 1$	IDLE	0	1