

# **FPGA develop board manual**

ALTERA Cyclone EP1C3T144

ALTERA Cyclone 系列的 fpga 是 altera 公司针对底端用户推出的一个系列的 fpga。具有成本低，使用的方便的优点，规模从 3000 到 20000LE。

这一块实验板用的 EP1C3T144 的芯片，有 3000LE 逻辑资源，另外还有 13 条 M4K RAM（共 6.5Kbyte），另外还有还有一个数字锁相环。这些资源能够足够应付电子设计竞赛和日常教学的需要，也可以作为初学者入门学习 fpga 的工具。

## 1. 开发板介绍

### 1.1. 总体介绍

开发板的电路图，如附录所示，电路图一共可分为 9 个部分：电源部分、按键和 LED、下载配置部分、复位部分、外部时钟、滤波电容、用户扩展接口、5 1 单片机接口、FPGA 芯片。

### 1.2. 具体介绍

#### 1.2.1. 电源部分

板子由外部提供 5V 电源，使用的圆头插座的封装，可以直接用 5V 的电源适配器插上使用，不需要直流稳压电源，FPGA 的 IO 的电源是 3.3V，内核的电压是 1.5V，所以用上两个 LEO，一个将 5V 转到 3.3V，另一个将 3.3V 转到 1.5V，加上一些滤波电容，板上的其他外设的电源均是 3.3V，另外有 3.3V 的电源指示灯，表示电源是否正常，还有防反插二极管，防止电源反插，对器件造成损坏。

#### 1.2.2. 按键和 LED

板上提供 4 个拨码按键和 4 个 led，分别接到 fpga 的 8 个 IO 引脚上，具体的引脚可以参看电路图或者丝印。对于初学者，按键和 led 可以用外当成最简单的外设，用来控制这些外设。对于用该板作开发的用户来说，可以把按键当成键盘控制，而把 led 当成提示来用。

#### 1.2.3. 下载配置部分

大家都知道 fpga 是 sram 型的可编程逻辑器件，不像 rom 型可编程器件 cpld 那样，通过 jtag 就可以直接把代码固化片子里面。Fpga 随便也可以通过 jtag 下载代码到片子里面运行。Fpga 下载到片子里面代码是存放在 ram 里，所以断电后这些代码马上就没有了。

这样，fpga 就需要非易失性存储器用来存放代码，每次上点后把代码从配置芯片读入 fpga 然后运行。我们选用 ALTERA 公司配套的 AS 模式的配置存储器 EPCS1，成本比较低，

并且很容易配置。

我们在调试的时候得流程一般是：修改设计，编译然后通过 jtag 下载到 fpga 内部运行，一直这样进行知道设置成功，最后才把代码固化到配置存储器里面。

这样需要对 jtag 下载和 EPCS 下载，老的方案需要两种下载电路，现在我们根据新的设计方案制了一块 fpga 的下载板，既可以下载 jtag，也可以下载 epcs，另外对 altera 系列的所有的可编程器件都支持。

#### 1.2.4. 复位部分

开发板上有两个复位按键，一个叫做硬件复位，按下此键，所有 fpga 的代码重新从 EPCS1 里面读到 fpga，程序从新开始运行，该引脚接到 fpga 的 nCONFIG 引脚，该引脚为低电平是代码重新开始配置。

另外一个复位按键连接到 fpga 的另外一个全局时钟脚上，用来表示在设计的过程中的 reset 引脚。

#### 1.2.5. 外部时钟

该板上接一个外部晶振，晶振的频率自己可以任选，我们提供的是 10M 的晶振，用来做全局时钟。

当然用户要是想用其他的全局时钟，就必须要把 51 扩展部分的两个全局时钟连接其他的时钟源。

#### 1.2.6. 滤波电容

滤波电容用来对 fpga 电源滤波。

#### 1.2.7. 用户扩展接口

用户扩展接口一共有三组：分别是 20x2、10x2、10x2 的三组，用户根据自己的需要扩展外部电路。

用这块板子作进一步的开发，一定要这些接口。比喻：用该板子作逻辑分析仪或者波形发生器等，像被分析信号，DA 信号等都要从该接口输入或者输出。如果需要和 51 以外的单片机接口或者扩展也要通过这个端口。

#### 1.2.8. 51 单片机接口

51 和 fpga 的借口是通过两排 20 根的单针组成的，主要的信号有：8 根数据线，16 根地址线，2 根片选线，一个中断，两根时钟（51 晶振时钟和 ale 时钟）。读写信号。

这样在操作的时候把 fpga 当成是 51 的存储器映射的外设，通过地址线选址进行一系列的操作。

### 1.2.9. FPGA 芯片

Fpga 一共 144 个引脚就是和以上 8 个部分连接，

## 2. 时钟资源

1c3 一共有 4 个全局时钟，如附录图所示：分别是 fpga 的 16、17、92、93 引脚，16 引脚和单片机的晶振相连，单片机的震荡时钟作为 fpga 的一个全局时钟，17 号引脚和单片机的 ALE 信号相连，可以用来锁存地址等的一些操作。92 号引脚用来做软件复位，即在编写代码的过程中的 reset 引脚。93 号引脚接到外部晶振上，外部晶振提供时钟。

在具体使用的过程中，当单独使用 fpga 时，只能用外部晶振作为全局时钟，把引出来的那些 IO 引用户用来扩展。当配合 51 使用的时候，可以很灵活的使用 51 晶振时钟，ale 时钟或者外部晶振时钟。

## 3. 复位

这块 fpga 开发板可以有三种方式复位：一种是直接硬件复位，代码重新配置；第二种是软件复位，编写复位的程序；第三种是和 51 的板子配合使用，通过 51 的复位来复位 fpga。

硬件复位，硬件复位接到 fpga 的 nconfig 引脚上，按下此键，fpga 的代码重新从 eeprom 中配置。

软件复位，软件复位是用户在编写代码的时候的那个 reset 引脚，只是按照代码来进行复位。

51 的复位，nCONFIG 通过一个二极管和 51 的复位反接，当配合 51 的板子使用时，51 作为主控制器进行全部复位，但是 fpga 作为协处理器的复位不能影响 51。

## 4. 开发使用

软件开发环境：quartus。

其他工具：fpga 下载电缆。

开发流程：编写代码，引脚分配，编译，通过 jtag 下载调试，发现错误重新修改代码编译直到满足设计条件，固化代码。

这块板子既可以单独使用，也可以配合 51 的板子一起使用。

单独使用时，通过用户接口和其他的电路连接，不同电路之间通信等。如果全局时钟不够，需要将预留给 51 的全局时钟资源拿来用。

和 51 配合使用的时候，51 和 fpga 之间是总线的接口，fpga 相当于是 51 的一个存储器

## 附录：电路图

