

一周回顾系列白皮书



电子发烧友
www.elecfans.com

超经典的FPGA开发指南与电路图集

——ElecFans电子发烧友荣誉出品



前言

在工艺不断进步的推动下，FPGA 产品在逻辑密度、性能和功能上有了极大的提高，同时器件成本的大幅下降，也使得电子设计工程师逐渐倾向于在越来越多的设计方案中采用可编程逻辑器件。在经历了低功耗、低成本以及先进工艺的瓶颈后，FPGA 不断以其可编程和灵活性向更多领域渗透，而众多厂商的加入更使得 FPGA 市场日趋白热化。

工业自动化、智能电网、安防监控、以及车载应用等市场领域对 FPGA 器件的要求越来越高，在这些应用中，新的市场环境产生了新的设计开发过程，亦增加了电子设备的复杂度。

为了帮助工程师朋友们更好地设计产品，电子发烧友在此特地制作了《超经典的 FPGA 开发指南与电路图集》白皮书，以供大家进行参考设计。

目录

参考设计

电路图精华

应用新趋势

- 4 FPGA 四大设计要点解析
- 8 Xilinx 针对平板显示器 LED 背光的 FPGA 解决方案
- 10 基于京微雅格低功耗 FPGA 的 8b/10b SERDES 的接口设计
- 13 基于 FPGA 的智能小车设计方案
- 17 基于 SoC FPGA 进行工业设计及电机控制
- 23 利用 FPGA 实现无线分布式采集系统设计
- 28 看技术专家：如何为您解决 SoC FPGA 设计难题
- 28 电子技术解密：简化 FPGA 电源设计方案
- 28 基于 CPLD 的 FPGA 从并快速加载方案
- 28 基于 FPGA+DSP 架构视频处理系统设计
- 28 基于 Xilinx FPGA 的千兆以太网控制器的开发
- 29 解读 FPGA 程控滤波器系统电路
- 32 FPGA 电源定序电路原理分析
- 35 FPGA 数字核脉冲分析器硬件电路
- 39 揭秘 FPGA 电机测速系统经典电路
- 42 FPGA 数字变换器控制电路设计攻略
- 45 勤务信号发送模块实现
- 48 采用 FPGA 频谱分析仪系统电路
- 50 FPGA 开发配置模式电路设计精华集锦
- 52 重串模式的多片 FPGA 通信
- 55 FPGA 芯片最小系统电路设计攻略
- 58 八位拨码开关电路原理图
- 61 基于 FPGA 水磁无刷直流电机控制电路
- 64 市场浪潮下中国 FPGA 机遇何在？
- 66 深亚米时代开启处理器与 FPGA 融合之路
- 68 FPGA 敲开消费电子市场差异化之门
- 70 FPGA 如何在高清图像处理领域大展雄图

FPGA 四大设计要点解析及应用方案集锦

本文叙述概括了 FPGA 应用设计中的要点，包括，时钟树、FSM、latch、逻辑仿真四个部分。

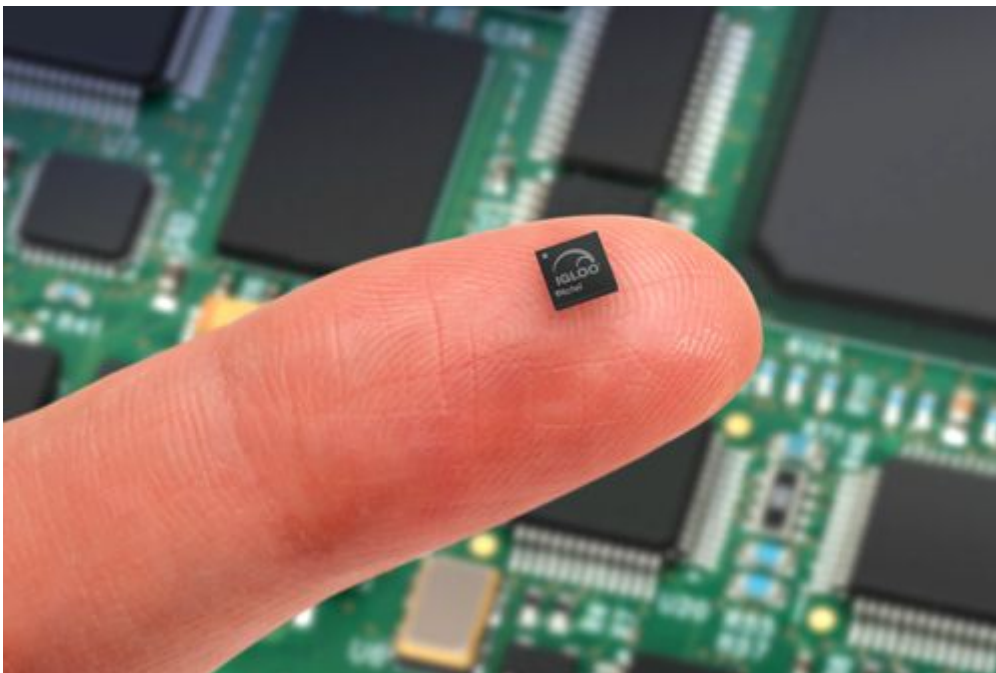
FPGA 的用处比我们平时想象的用处更广泛，原因在于其中集成的模块种类更多，而不仅仅是原来的简单逻辑单元（LE）。早期的 FPGA 相对比较简单，所有的功能单元仅仅由管脚、内部 buffer、LE、RAM 构建而成，LE 由 LUT（查找表）和 D 触发器构成，RAM 也往往容量非常小。现在的 FPGA 不仅包含以前的 LE，RAM 也更大更快更灵活，管教 IOB 也更加的复杂，支持的 IO 类型也更多，而且内部还集成了一些特殊功能单元，包括：

DSP：实际上就是乘加器，FPGA 内部可以集成多个乘加器，而一般的 DSP 芯片往往每个 core 只有一个。换言之，FPGA 可以更容易实现多个 DSP core 功能。在某些需要大量乘加计算的场合，往往多个乘加器并行工作的速度可以远远超过一个高速乘加器。

SERDES：高速串行接口。将来 PCI-E、XAUI、HT、S-ATA 等高速串行接口会越来越多。有了 SERDES 模块，FPGA 可以很容易将这些高速串行接口集成进来，无需再购买专门的接口芯片。

CPU core：分为 2 种，软 core 和硬 core。软 core 是用逻辑代码写的 CPU 模块，可以在任何资源足够的 FPGA 中实现，使用非常灵活。而且在大容量的 FPGA 中还可以集成多个软 core，实现多核并行处理。硬 core 是在特定的 FPGA 内部做好的 CPU core，优点是速度快、性能好，缺点是不够灵活。

不过，FPGA 还是有缺点。对于某些高主频的应用，FPGA 就无能为力了。现在虽然理论上 FPGA 可以支持的 500MHz，但在实际设计中，往往 200MHz 以上工作频率就很难实现了。



FPGA 设计要点之一：时钟树

对于 FPGA 来说，要尽可能避免异步设计，尽可能采用同步设计。同步设计的第一个关键，也是关键中的关键，就是时钟树。一个糟糕的时钟树，对 FPGA 设计来说，是一场无法弥补的灾难，是一个没有打好地基的大楼，崩溃是必然的。

具体一些的设计细则：

- 1) 尽可能采用单一时钟；
- 2) 如果有多个时钟域，一定要仔细划分，千万小心；
- 3) 跨时钟域的信号一定要做同步处理。对于控制信号，可以采用双采样；对于数据信号，可以采用异步 fifo。需要注意的是，异步 fifo 不是万能的，一个异步 fifo 也只能解决一定范围内的频差问题。
- 4) 尽可能将 FPGA 内部的 PLL、DLL 利用起来，这会给你的设计带来大量的好处。
- 5) 对于特殊的 IO 接口，需要仔细计算 T_{su} 、 T_{co} 、 T_h ，并利用 PLL、DLL、DDIO、管脚可设置的 delay 等多种工具来实现。简单对管脚进行 T_{su} 、 T_{co} 、 T_h 的约束往往是不行的。

可能说的不是很确切。这里的时钟树实际上泛指时钟方案，主要是时钟域和 PLL 等的规划，一般情况下不牵扯到走线时延的详细计算（一般都走全局时钟网络和局部时钟网络，时延固定），和 ASIC 中的时钟树不一样。对于 ASIC，就必须对时钟网络的设计、布线、时延计算进行仔细的分析计算才行。

FPGA 设计要点之二：FSM

FSM：有限状态机。这个可以说时逻辑设计的基础。几乎稍微大一点的逻辑设计，几乎都能看得到 FSM。FSM 分为 moore 型和 merly 型，moore 型的状态迁移和变量无关，merly 型则有关。实际使用中大部分都采用 merly 型。

FSM 通常有 2 种写法：单进程、双进程。

初学者往往喜欢单进程写法，格式如下：

```
always @ ( posedge clk or posedge rst )  
  
begin  
  
if ( rst == 1 'b1 )  
  
FSM_status <= .....;  
  
else  
  
case ( FSM_status )  
  
.....;
```

```
endcase
```

```
end
```

简单的说，单进程 FSM 就是把所有的同步、异步处理都放入一个 always 中。

FPGA 设计要点之三：latch

首先回答一下：

1) stateCAD 没有用过，不过我感觉用这个东东在构建大的系统的时候似乎不是很方便。也许用 system C 或者 system Verilog 更好一些。

2) 同步、异步的叫法是我所在公司的习惯叫法，不太对，不过已经习惯了，呵呵。

这次讲一下 latch。latch 的危害已经说过了，这里不再多说，关键讲一下如何避免。

1) 在组合逻辑进程中，if 语句一定要有 else! 并且所有的信号都要在 if 的所有分支中被赋值。

```
always @ ( * ) begin  
  
if ( sig_a == 1 'b1 ) sig_b = sig_c;  
  
end
```

这个是绝对会产生 latch 的。

正确的应该是

```
always @ ( * ) begin  
  
if ( sig_a == 1' b1 ) sig_b = sig_c;  
  
else sig_b = sig_d;  
  
end
```

另外需要注意，下面也会产生 latch。也就是说在组合逻辑进程中不能出现自己赋值给自己或者间接出现自己赋值给自己的情况。

```
always @ ( * ) begin  
  
if ( rst == 1 'b1 ) counter = 32' h00000000;  
  
else counter = counter + 1;  
  
end
```

但如果是时序逻辑进程，则不存在该问题。

2) case 语句的 default 一定不能少!

原因和 if 语句相同，这里不再多说了。

需要提醒的是，在时序逻辑进程中，default 语句也一定要加上，这是一个很好的习惯。

3) 组合逻辑进程敏感变量不能少也不能多。

这个问题倒不是太大，verilog2001 语法中可以直接用 * 搞定了。顺便提一句，latch 有弊就一定有利。在 FPGA 的 LE 中，总存在一个 latch 和一个 D 触发器，在支持 DDR 的 IOE (IOB) 中也存在着一个 latch 来实现 DDIO。不过在我们平时的设计中，对 latch 还是要尽可能的敬而远之。

FPGA 设计要点之四：逻辑仿真

仿真是 FPGA 设计中必不可少的一步。没有仿真，就没有一切。仿真是一个单调而繁琐的工作，很容易让人产生放弃或者偷工减料的念头。这时一定要挺住！仿真分为单元仿真、集成仿真、系统仿真。

单元仿真：针对每一个最小基本模块的仿真。单元仿真要求代码行覆盖率、条件分支覆盖率、表达式覆盖率必须达到 100%！这三种覆盖率都可以通过 MODELSIM 来查看，不过需要在编译该模块时要在 Compile option 中设置好。

集成仿真：将多个大模块合在一起进行仿真。覆盖率要求尽量高。

系统仿真：将整个硬件系统合在一起进行仿真。此时整个仿真平台包含了逻辑周边芯片接口的仿真模型，以及 BFM、Testbench 等。系统仿真需要根据被仿真逻辑的功能、性能需求仔细设计仿真测试例和仿真测试平台。系统仿真是逻辑设计的一个大分支，是一门需要专门学习的学科。

Xilinx 针对平板显示器 LED 背光的 FPGA 解决方案

1. 概述

Kintex-7 FPGA 和 Artix-7 提供的功能使得平板显示器制造商能够提高图像质量、降低功耗和削减成本。

2. 方案特性

为 LED 背光控制器实现了复杂的局部调光和照明补偿算法。

生产具有不同的 LED 区域数量和 LED 布局的直接型照明显示器，同时调整照明以便与不同供应商生产的面板的物理特性相匹配。

为显示器添加 3D 功能。

与利用上一代 FPGA 实现的设计相比，其系统 FPGA 功耗降低了 32%

与利用上一代 FPGA 实现的设计相比，其系统 FPGA 成本削减了 30%

利用 Artix-7 FPGA 实现的设计将 LED 背光控制器的功耗降低 63%

灵活的并行/串行接口技术利用 PCI Express、USB 2.0、DisplayPort 和 V-by-One 技术实现了芯片-芯片和板-板通信

3.75Gbps V-by-One@HS 的 16 或 32 信道 (per Thine's spec)

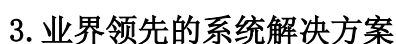
5.4Gbps DisplayPort 1.2 的多端口 (per VESA spec)

1, 866Mbps DDR3 存储器接口实现了基于商用存储器的视频数据缓冲器

1.6Gbps LVDS I/O 降低了并行接口内的迹线数量

芯片级封装实现了基于 4 层 PCB 的低成本生产

方案框图：



1) LED 背光平板显示器和 3DTV

2) LTE 基帶

3) 携帶型超音波装置

4) 多模射频

5) 高端消费类数码单反相机

6) Video-over-IP 网关

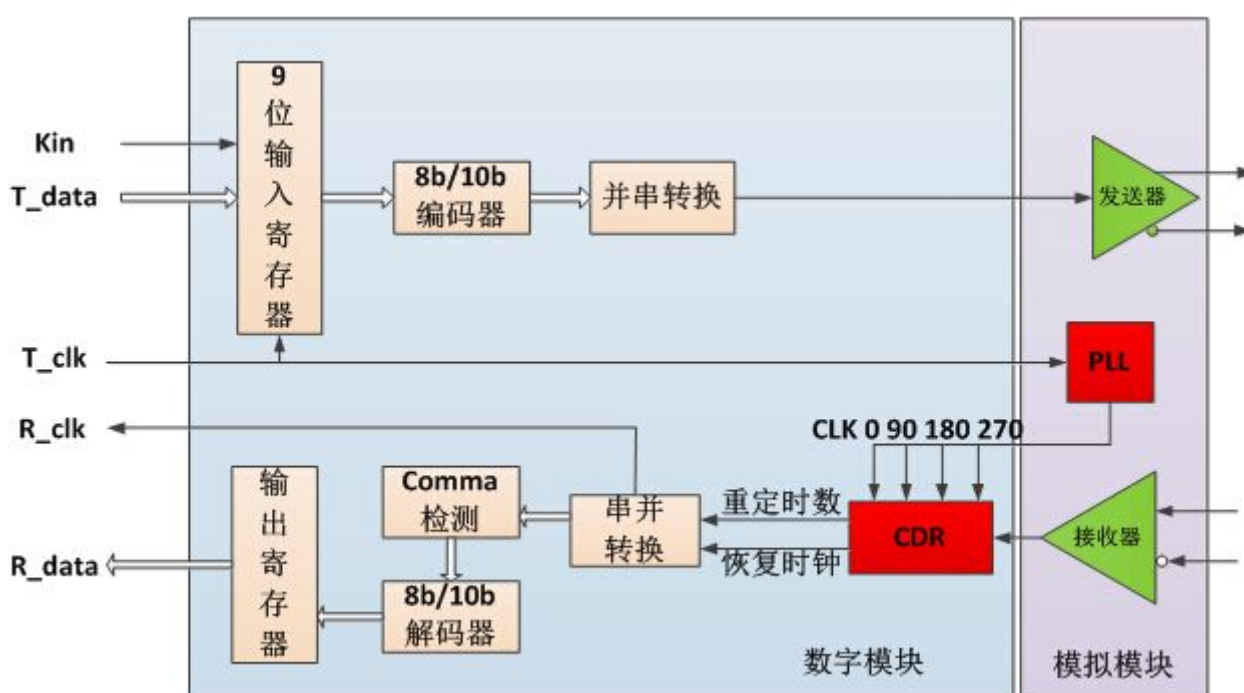
相关芯片介绍: [赛灵思 Kintex-7 FPGA 系列芯片简介](#)

基于京微雅格低功耗 FPGA 的 8b/10b SERDES 的接口设计

串行接口常用于芯片至芯片和电路板至电路板之间的数据传输。随着系统带宽不断增加至多吉比特范围，并行接口已经被高速串行链接，或 SERDES（串化器/解串器）所取代。起初，SERDES 是独立的 ASSP 或 ASIC 器件。在过去几年中已经看到有内置 SERDES 的 FPGA 器件系列，但多见于高端 FPGA 芯片中，而且价格昂贵。

本方案是以 CME 最新的低功耗系列 FPGA 的 HR03 为平台，实现 8/10b 的 SerDes 接口，包括 SERDES 收发单元，通过完全数字化的方法实现 SERDES 的 CDR（Clock Data Recovery，时钟数据恢复），完成 100~200Mhz 的板间 SERDES 单通道通信，该 SERDES 接口方案具有成本低、灵活性高、研发周期短等特点。

1 硬件接口：



硬件的接口如上图所示，主要包括发送与接收模块。

发送模块包括 8b/10b 编码器，并串转换器，锁相环（PLL）频率合成器和发送器，接收模块包括 8b/10b 解码器，Comma 检测器，串并转换器，时钟数据恢复器（CDR）和接收器。

8b/10b 编码器用于将从上层协议芯片发送过来的字节信号映射成直流平衡的 10 位 8b/10b 编码，并串转换用于将 10 位编码结果串行化，并串转换所需的高速、低抖动时钟由锁相环提供，发送器用于将 CMOS 电平的高速串行码流转换成抗噪声能力较强的差分信号，经背板连接或光纤信道发送到接收机。

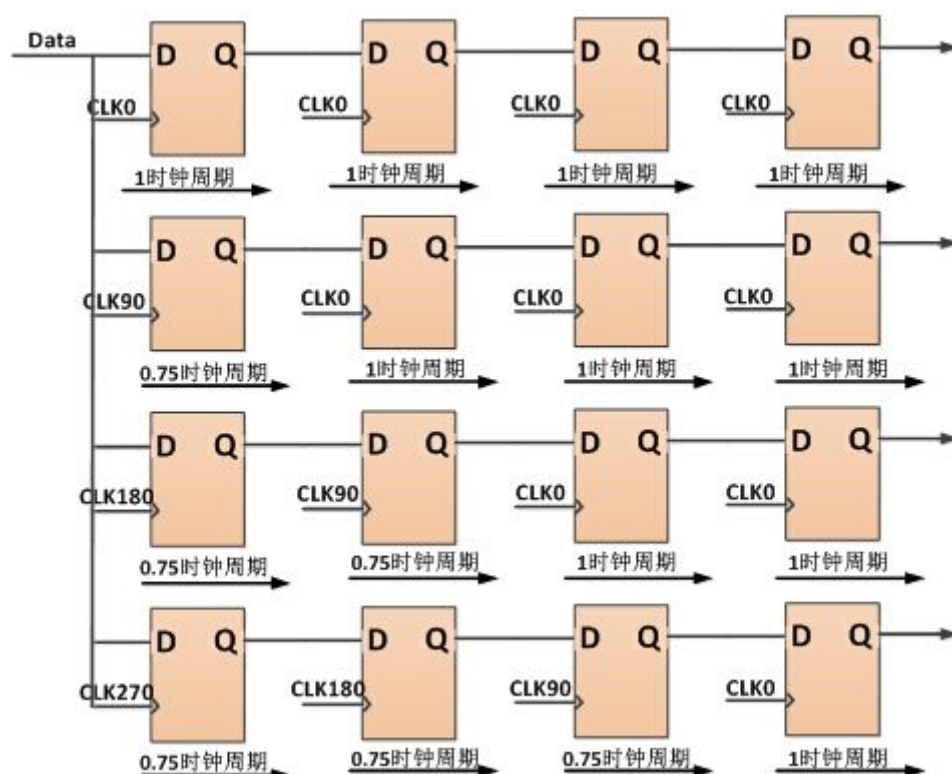
在接收端，接收器将接收到的低摆幅差分信号还原为 CMOS 电平的串行信号，CDR 从串行信号中抽取时钟信息，完成对串行数据的最佳采样，串并转换利用 CDR 恢复的时钟，将串行信号转换成 10 位的并行数据，Comma 检测器检测特殊的 Comma 字符，调整字边界，字边界正确的并行数据经过 8b/10b 解码，还原为字节信号，传送到上层协议芯片，完成整个信息传输过程。

实际的设计中，CDR 部分是由纯逻辑电路完成的，为设计的核心的部分，下面将介绍数字 CDR 在 HR03 的实现方案。

2 数字 CDR:

CDR 模块作用是从数据中恢复嵌入的时钟，然后接收器按照恢复的时钟进行数据位对齐并通过 comma 进行字对齐。最后，将数据进行 8b/10b 解码，供系统使用。

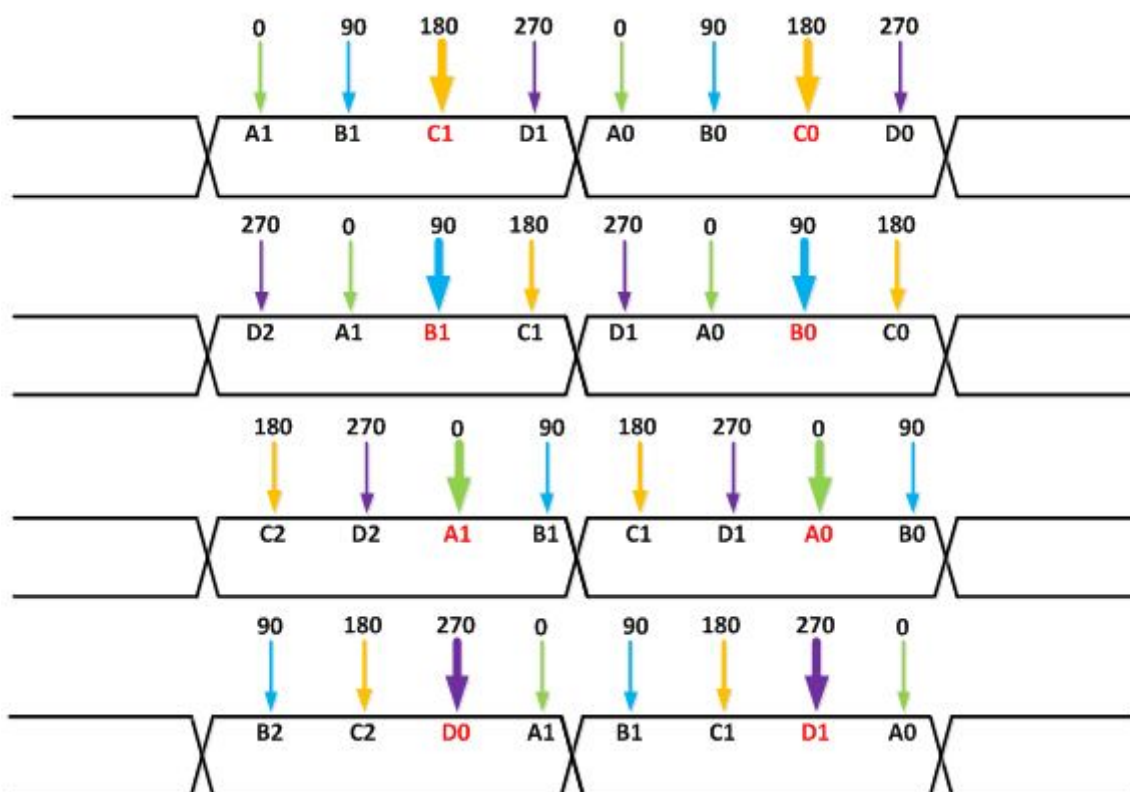
本方案采用同频多相的时钟采样方法，具体实现过程利用 PLL 产生 4 个时钟频率相同，相位相差 90 度的时钟，分别为 clk0、clk90、clk180、clk270，这四个时钟输出完全同步，利用 4 个时钟对数据进行采样，以获得 4 倍过采样的效果，具体的实现过程如下图所示：



在数据时钟恢复时，将到来的数据分别输入到四个触发器，分别用 4 个不同的相位进行采样，要注意保证从输入引脚到四个触发器的延迟基本一致。

第一列触发器的触发分别由时钟 CLK0、CLK90、CLK180、CLK270 的上升沿触发，按照这样的方式来触发就可以得到四个数据采样点。这样就 将原始时钟周期分成了四个单独的 90 度的区域，如果系统时钟为 200MHz，上图所示的电路就相当于产生了 800MHz 的采样速率。

仅通过一阶的触发器，输出的采样数据存在亚稳态的问题，因此需对采样点作进一步的处理。这里可将四个采样点通过进一步的触发，除掉亚稳态的问题，从而使采样点移到下一个相同的时钟域。通常，亚稳态的去除要经过两三级的处理，这就使得在有效数据输出前会有数位无效的数据，在数据采样的第一个阶段，电路检测数据线上数据的传输。当检测到有数据传输时，对传输数据的有效性进行确认。确认数据有效后，输出高电平来指示采样点有数据传输。



因为最终有四个输出，所以需要有一个复用器来选择数据。发送数据与采样时钟的对应关系如上图所示，其对应关系分为 4 种情况，每种情况下对应一个最佳的采样时钟，系统通过对数据边沿位置信息的判断，来确定哪路时钟为最佳采样时钟，并利用复用器从选定的时钟域中选择数据位，例如检测电路确定从时钟域 A 中采样的数据有效，那么将时钟域 A 中采样的数据通过输出端输出。

3 结束语：

通过对纯数字电路的 CDR 电路，在没有硬核的支持下，完成了 FPGA 上 SERDES 的接口设计，并通过实验的传输测试，在 HR03 的 FPGA 上，可完成 100~200Mbps 的数据传输。

基于 FPGA 的智能小车设计方案

智能监控机器人是近年来机器人应用工程中一项前沿性的题目，智能化探测小车是智能行走机器人的一种。智能监控机器人就是针对上述情况，在参考了目前大多数智能机器人的基础上，以降低成本为原则设计的。小车具备温湿度和环境监测、无线通信、躲避障碍物以及无线遥控等功能。此智能监控机器人小车与目前已有的同类设计相比，有性价比高、操作方便、可靠性好、功耗小等优点。

1 系统结构及硬件设计

整个系统由发送端（智能小车部分）和接收端（控制台：控制和显示部分）组成，如图 1 所示。系统由传感器系统、动力及转向系统、CCD 图像传感器模块、LCD 显示、温度和湿度测量电路和供电系统等组成，整个系统的控制核心以 2 片 Altera 公司的 EP2C20F484 为核心，在 Altera 公司的 Quartus II 和 SoPC Builder 开发环境中完成。根据系统硬件结构添加所需要的外围模块并生成 Nios II CPU。

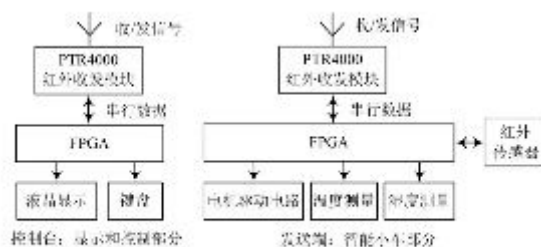


图 1 系统框图

1. 1 供电系统

小车安装了两块充电电池，分别为 FPGA 开发板（FPGA 控制电路）和小车运动提供能量，电池置于车身体底部。

1. 2 传感器系统

系统采用了 6 个红外对射传感器，通过 FPGA 配置的 Nios II CPU 来检测传感器信号实现小车躲避障碍物的功能。漫反射型红外对射传感器也称光电开关，是一种集发射器和接收器于一体的传感器，多用于检测障碍物。原理是由光电开关辐射出来的调制红外光束被检测物体反射回来，红外线经同步选通接收，由电子开关线路驱动回路，从而来检测物体的有或无。当被检测物体的表面光亮或其反光率极高时，漫反射式的光电开关是首选的检测模式。这种电路模块体积小，信号容易转化为标准电平。

1. 3 动力及转向系统

本小车有左右轮两个电机及电机驱动。驱动电路采用了 CT Microelecttronics 公司的大功率直流电机驱动芯片 L298，最高支持 50 V 电压，最大电流为 5 A，满足大功率电动机的要求，外围电路简单，同时，由于该芯片为双路结构，分别控制左右电动机，增加了电路的可靠性，减少了复杂性。电机控制采用 PWM 脉冲宽度调制方式来控制汽车的前进速度。由 Nios II CPU 写入控制字，可得到不同占空比的 PWM 驱动信号，此 PWM 信号送入电机驱动芯片的控制端来调节速度。

1. 4 小车自动避障系统

小车自动避障系统采用 Verilog HDL 语言编写驱动电路。该模块（见图 2 中的 MOTOR）和一个数据选择器（见图 2 中的 select_2）相连来实现自动避障与人工遥控之间的切换。当小车上 Nios II CPU 的 SEL 管脚输出低电平时，数据选择器将把该模块的输出作为电机的控制指令。这样设计的好处在于设计具有响应迅速，不需要 Nios II CPU 参与，提高了 CPU 处理湿度、温度数据并控制无线模块收发数据的效率。该逻辑电路的工作原理是根据红外传感器发回来的数据，经过逻辑判断来控制电机的工作状态。

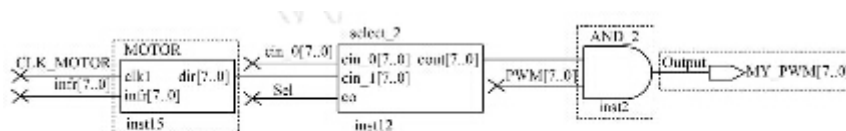


图 2 小车自动避障系统

1. 5 小车的人工控制

小车的人工控制和自动避障之间的转换由一个数据选择器控制，当小车上 Nios II CPU 的 SEL 管脚输出高电平时，数据选择器将把无线模块所发送过来的指令作为电机的控制指令，实现了对小车的无线控制。

1. 6 温度和湿度测量

在温度测量系统中，采用抗干扰能力强的新型数字温度传感器 DS18B20，该系统设计中将 DS18B20 的 1, 3 引脚分别接于 FPGA 板的 GND 和 +3.3 V 管脚，2 引脚接 FPGA 的 I/O 脚，传输控制及数据信号。DS18B20 最高可用 12 位表示温度值，最高 5 位为符号位。

采用 HS1101 湿度传感器，具有响应速度快，工作温区宽（-40~+100℃），测量范围大（0%~100%RH），可靠性高，稳定性好，功耗低，外围电路简单等优点。

工作原理为：用 HS1101 传感器与 TLC555 构成多谐振荡器，HS1101 传感器内部电容会随湿度的变化而变化，从而使输出频率发生变化。编写 VHDL 程序在 FPGA 设计一个频率计可精确的测出频率值，通过输出频率与湿度的关系便可得到湿度值。

1. 7 无线收发系统

系统采用 PTR4000 无线嵌入式模块，工作频率为 2.4 GHz，最高工作速率可达 1 Mb/s，高效 GMSK 调制，且有 CRC 检错功能。具有低功耗，抗干扰能力强，体积小等优点。主要有三种工作模式，分别为：配置模式、ShockBurst 发送模式和 ShockBurst 接收模式。

2 软件设计和调试

采用 Nios II 进行 C 语言编程。Nios II 集成开发环境（IDE）是 Nios II 系列嵌入式处理器的基本软件开发工具。所有软件开发任务都可以在 Nios II IDE 下完成，包括编辑、编译和调试程序。Nios II IDE 是基于开放式的、可扩展 Eclipse IDE project 工程以及 Eclipse C/C++ 开发工具（CDT）工程，Nios II IDE 为 GCC 编译器提供了一个图形化用户界面，可以支持标准 C。Nios II IDE 编译环境自动地生成一个基于用户特定系统配置（SoPC Builder 生成的 SoPC 文件）的 makefile，有利于程序的开发。

Nios II IDE 包含一个强大的、在 GNU 调试器基础之上的软件调试器——GDB。完成软件代码的编写后，可以对代码进行仿真和调试。Nios II IDE 提供了一个方便的闪存编程方法。任何连接到 FPGA 的兼容通用闪

存接口（CFI）的闪存器件都可以通过 Nios II IDE 闪存编程器来烧结。针对本设计及应用，编写了系统控制程序和 LCD 显示程序。流程图如图 3 所示。

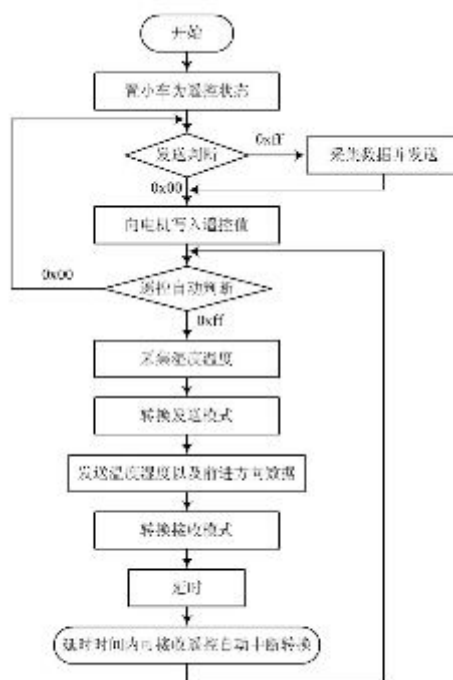


图 3 小车程序设计流程图

3 系统调试

小车系统需要测试能否准确接收控制台发送的指令并控制小车运动或停止，以及向前、后、左、右转向。还要测试主控机能否准确接收小车采集到的温度以及湿度信息，能否正确显示。经过多次测试，发现由于系统程序是采用收发循环转换的模式，为了让两个系统能够收到对方发的信息，对小车的遥控与自动部分进行简单的分化。自动情况下，控制台为主要接收端，小车为主要发送端，一般情况下小车发送数据到控制台，需要自动到遥控的转换时，通过在延时时间内进行中断来实行从自动到遥控的转换；在遥控状态下，控制台为主要发射端，小车为接收端，一般情况下控制台发送小车行进指令到小车，需要采集数据时，通过温度、湿度采集按键来对小车进行收发转换，同时小车发出采集数据指令，之后再次转为接收模式。这样做之后使小车与控制台的软件部分清晰明了，小车的行进以及采集显示数据能够实时的进行。

湿度测量系统需要测试是否能够精准输出频率值。采用芯片 LM555 手册上推荐的电路，由于元件的误差，使输出的频率并不精确，经过与标准的湿度仪进行比对，通过参数调整，用直线做近似，最后得到的频率值误差在几赫兹（频率范围是 6 008~7 314Hz），经过预算得到很准确的湿度值。开始求湿度值时用的是解一元三次方程的方法，由于计算量大，对小车的行进会有很大影响，后来在小车端只是把小车采集到的频率值通过红外天线传输到主控端，并将原先的小车自动避障由 Nios II CPU 控制改为由 Verilog 编写的硬件模块控制，最后在控制台做湿度值的计算。这样的更改既减少了小车 Nios II CPU 的工作量，同时由于小车的自动避障改为由独立的 Verilog 模块控制，运行起来很流畅。

对于无线收发系统，要测试其可靠性以及发送或接收的信息的准确性。测试方法是单独设计了一个软核下载到 SoPC 中，并编写一段程序用于测试是否正确写入配置控制字，是否能够进行 ShockBurst 模式的接收或发送。问题是对天线各模式时序的把握，一开始写的程序总是不能正确写入配置字，反复调试，并用数字

示波器观察写入配置字的瞬间过程以及各延时的时间，最后测试成功，并把发送或接收的状态用 LED 显示出来，每发送或接收到一个数据包就让 LED 闪一下。

4 结语

本设计以 FPGA 嵌入 Nios II 软核处理器为核心，辅以必要的外围电路，构成了高度集成化的片上系统。另外，SoPC 系统的柔性配置，使得可以基于此系统扩展片外存储器和多路输出。设计的小车具有较强的避障能力，且能通过接收端对其进行方便的控制，温度和湿度采集均达到了较高的精度，并且能实现动态显示，无线收发模块的有效范围最远可达 300 m，可应用于较为恶劣的环境，可代替人进行温度和湿度的实地检测。

基于 SoC FPGA 进行工业设计及电机控制

工业市场的近期发展推动了对具有高集成度、高性能、低功耗 FPGA 器件的需求。设计人员更喜欢网络通信而不是点对点通信，这意味着可能需要额外的控制器用于通信，进而间接增加了 BOM 成本、电路板尺寸和相关 NRE（一次性工程费用）成本。

总体拥有成本用于分析和估计购置的寿命周期成本，它是所有与设计相关的直接和间接成本的扩展集，包括工程技术成本、安装和维护成本、材料清单（BOM）成本和 NRE（研发）成本等。通过考虑系统级因素有可能最大限度地减少总体拥有成本，从而带来可持续的长期盈利能力。

美高森美公司（Microsemi）提供具有硬核 ARM Cortex-M3 微控制器和 IP 集成的 SmartFusion2 SoC FPGA 器件，它采用成本优化的封装，具有减少 BOM 和电路板尺寸的特性。这些器件具有低功耗和宽温度范围，能够在没有冷却风扇的极端条件下可靠地运行。SmartFusion2 SoC FPGA 架构将一个硬核 ARM Cortex-M3 IP 与 FPGA 架构相集成，可以实现更大的设计灵活性和更快的上市时间。美高森美为电机控制算法开发提供了具有多个多轴电机控制参考设计和 IP 的生态系统，使由多处理器解决方案转向单一器件解决方案（即 SoC FPGA）更加容易。

影响 TCO 的因素

以下是影响系统 TCO 的一些因素。

（1）长寿命周期。FPGA 可以在现场部署之后进行重新编程，这延长了产品的寿命周期，从而使设计人员能够专注于新产品开发，实现更快的上市时间。

（2）BOM。美高森美基于闪存技术的 FPGA 在上电时无需启动 PROM 或闪存 MCU 来加载 FPGA，它们是零级非易失性/即时启动器件。与基于 SRAM 的 FPGA 器件不同，美高森美基于闪存的 FPGA 无需附加上电监控器，这是因为闪存开关不会随电压而改变。

（3）上市时间。OEM 厂商之间的激烈竞争迫切需要更多的产品差异化和更快的上市时间。经过验证的 IP 模块可大幅缩短设计时间。目前已经可以提供多个构建工业解决方案所需的 IP 模块，同时更多的模块正在开发中。SoC 表现出的另一个独特优势是可以用于调试 FPGA 设计。为了调试 FPGA 设计，可以通过用于调试的高速接口，利用微控制器子系统从 FPGA 中提取信息。

（4）工程工具成本。与 FPGA 开发工具昂贵的概念相反，美高森美提供用于 FPGA 开发的免费 Libero SoC IDE，仅在开发高端器件时才需要付费。

工业驱动系统

工业驱动系统由一个电机控制器件和一个通信器件构成，电机控制器件包含了驱动逆变器的逻辑和保护逻辑，通信器件则使监控控制能够对运行时间参数进行初始化和修改。

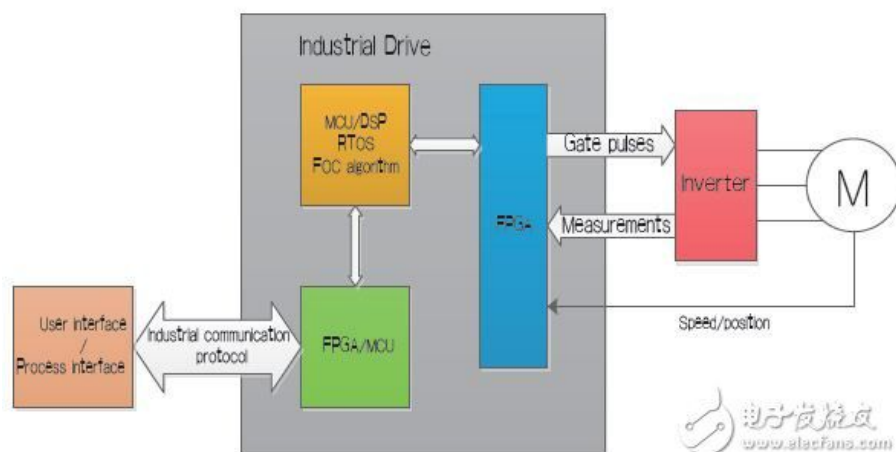


图 1：典型工业驱动系统。

在典型的驱动系统（图 1）中，可能使用多个控制器器件来实现驱动逻辑。一个器件可能执行与电机控制算法相关的计算，第二个器件可能运行与通信相关的任务，第三个器件则可能运行与安全性相关的任务。

多轴电机控制

传统上，工业电机控制应用使用微控制器或 DSP 来运行电机控制所需的复杂算法，在大多数传统的工业驱动中，FPGA 与微控制器或 DSP 一起使用，用于数据采集和快速作用保护。除了数据采集、PWM 生成和保护逻辑，FPGA 传统上并未在实现电机控制算法方面发挥主要作用。

使用微控制器或 DSP 实现电机控制算法的方法并不容易扩展到多个以独立速度运行的电机（多轴电机控制），美高森美 SmartFusion2 SoC FPGA 可以使用单一器件来实现集成且完整的多轴电机驱动控制（图 2）。

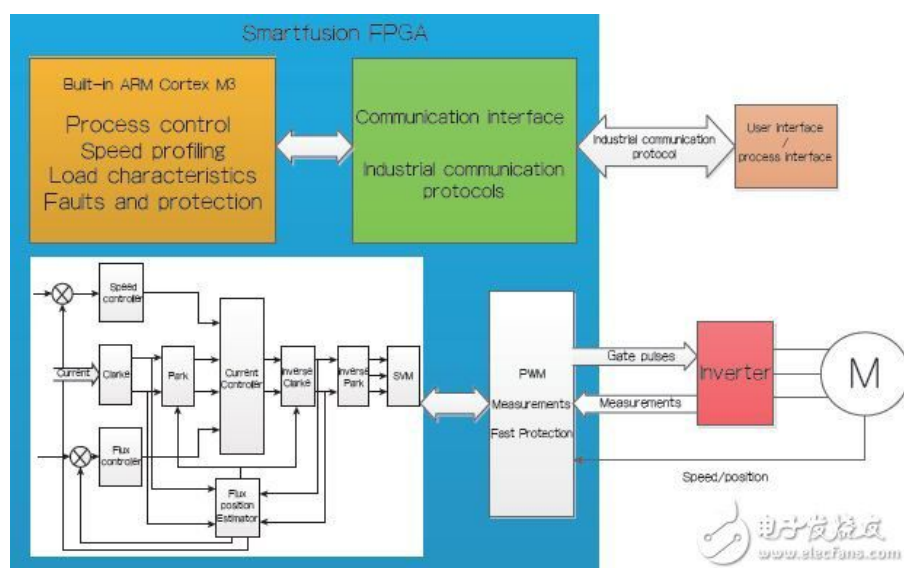


图 2：美高森美 SmartFusion2 SoC FPGA 使用单一器件来实现完整的多轴电机驱动控制。

控制方面可以分为两个部分。一个部分用于运行磁场定向控制（FOC）算法、速度控制、电流控制、速度估计、位置估计和 PWM 生成；另一个部分则包括速度曲线、负载特性、过程控制和保护（故障和报警）。执行 FOC 算法属于时间关键型，需要在极高的采样速率下进行（在微秒范围），特别是针对具有低定子电感的 高速电机。这使得在 FPGA 中实现 FOC 算法变得更优越。过程控制、速度曲线和其他保护无需快速更新，因而能够以较低的采样速率执行（在毫秒范围），并且 能够在内置 Cortex-M3 子系统中进行编程。

晶体管开关周期在驱动中发挥着重要的作用，如果 FOC 回路执行时间比开关周期短得多，硬件模块可以重用于计算第二个电机的电压。这意味着器件可以在相同的成本下提供更高的性能。

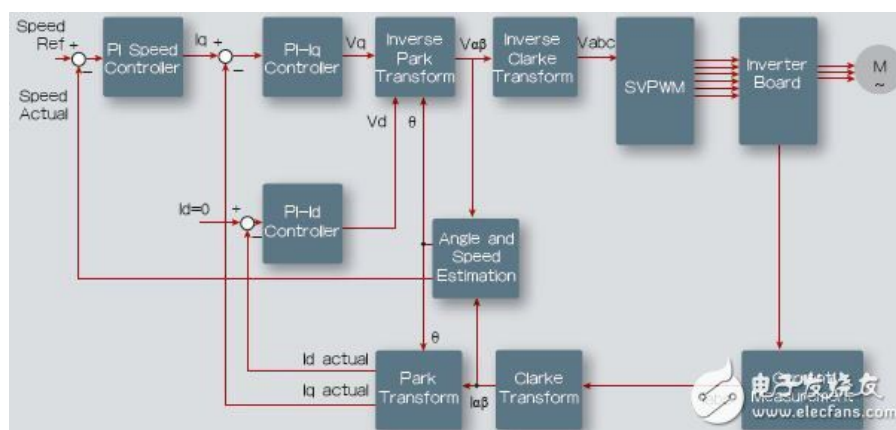


图 3：永磁同步电机的磁场定向控制（FOC）框图。

（1）电机控制 IP 模块。图 3 为无传感器磁场定向控制算法，这一部分将会讨论这些模块，它们作为 IP 核提供。

● PI 控制器。比例积分（PI）控制器是用于控制系统参数的反馈机制，它具有两个用于控制控制器动态响应的可调增益参数-比例和积分增益常数。PI 控制器的 比例分量是比例增益常数和误差输入的乘积，而积分分量是累积误差和积分增益常数的乘积。这两个分量被加在了一起。PI 控制器的积分阶段可能在系统中引起不 稳定，因为数据值不受控制地增加。这种不受控制的数据上升称作积分饱卷，所有的 PI 控制器实现方案都包括一个抗饱卷机制，用于确保控制器输出是有限的。美 高森美的 PI 控制器 IP 模块使用 hold-on-saturation（保持饱和）算法用于抗饱卷。这个模块还提供附加特性以设置最初的输出值。

● 磁场定向控制（FOC）。FOC 是通过独立地确定和控制转矩和磁化电流分量来为电机提供最优电流的算法。在永磁同步电机（PMSM）中，转子已经磁化。因 此，为电机提供的电流只用于转矩。FOC 是计算密集型算法，但是美高森美电机控制参考设计已经针对器件资源的最优使用而构建。FOC 算法包括 Clarke、Park、逆 Clarke 和逆 Park 变换。

● 角度估计。FOC 的一个输入是转子角度。精确确定转子角度对于确保低功耗是必不可少的。增添确定位置和速度的物理传感器会增加系统的成本并降低可靠性。无 传感器算法有助于消除传感器，但是增加了计算复杂性。美高森美针对无传感器控制提供了两个角度计算算法 IP 模块-一个基于 Luenberger 观测器，另 一个基于直接反电动势计算。该公司还提供基于霍尔传感器和编码器的单独参考设计。

● PLL. PLL 用于同步信号，在多个应用中 有用，例如逆变器的角度估计和电网同步。

● 速率限制器。速率限制器模块可以实现系统变量或输入的平滑改变。例如，在电机控制系统中，如果电机所需的速度突然改变，系统可能变得不稳定。为了避免此类情形，速率限制器模块用于从初始速度转变到所需的速度。速率限制器模块可以进行配置以控制改变的速率。

● 空间矢量调制。空间矢量调制模块改善了直流总线利用率，并消除了晶体管开关的短脉冲。因为晶体管开启/关断时间比脉冲持续时间长，短脉冲会导致不正确的开关行为。

● 三相 PWM 生成。在所有计算的最后，可以得到三相电机电压。这些电压用于生成逆变器中晶体管的开关信号。PWM 模块为六个（三个高侧和三个低侧）晶体管产生开关信号，并且具有死区时间和延迟时间插入等先进特性。可编程的死区时间插入特性有助于避免逆变器引脚上的灾难性短路情况。可编程的延迟时间插入特性使 ADC 测量与 PWM 信号生成能够同步。该模块可以配置成与仅由 N-MOSFET 组成的逆变器或同时包括 N-MOSFET 和 P-MOSFET 的逆变器一起工作。

(2) 在 SoC 中调试 FPGA 设计。通常，在微控制器上调试设计比在 FPGA 上进行调试相对简单一些。在 SoC 中，可以利用 FPGA 的高性能，同时保持在微控制器中更快速调试的优势。美高森美 SmartFusion2 SoC FPGA 中的微控制器子系统和 FPGA 架构可以通过 AMBA APB 或 AXI 总线彼此进行通信。这样可以把测试数据注入 FPGA 架构中，或者从 FPGA 架构中记录调试数据，从而帮助实现运行时间的内部数据可视化，用于实时调试。固件代码可以单步运行，在代码中可以设置断点来分析 FPGA 寄存器数据。

基于 SmartFusion2 SoC FPGA 的多轴电机控制解决方案通过 USB 连接至主机 PC，并与图形用户界面 (GUI) 通信，进行启动/停止电机，设置电机速度值和其他系统参数，描绘多达四个系统变量，例如电机速度、电机电流和转子角度（图 4）。

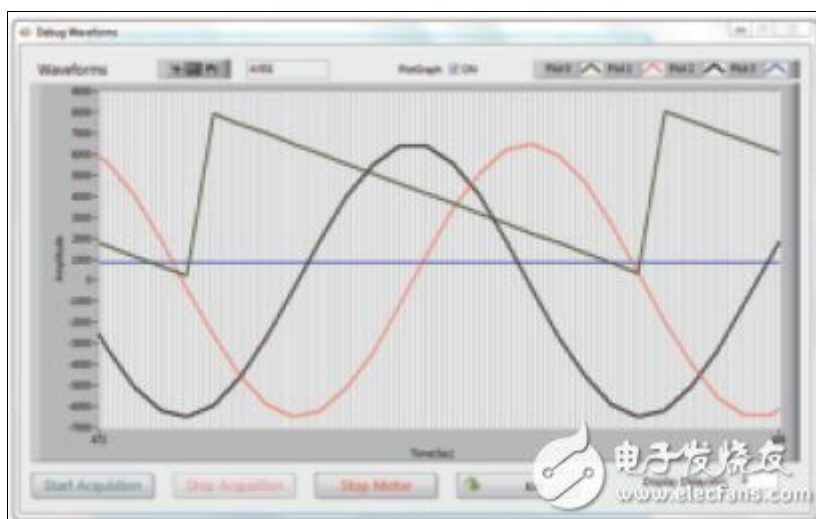


图 4:GUI 的屏幕截图-绘制内部参数：转子角度（绿色）、Valpha（红色）、Vbeta（黑色）、电机速度（蓝色）。

(3) 生态系统。美高森美提供一组丰富的 IP 库，包括前面讨论过的数种电机控制功能。这些模块可以轻易定制，并可以在美高森美器件中移植。使用 Libero SoC 软件的 Smart Design 工具，这些模块可以采用图形方式配置和连接在一起。借助于这些 IP 模块，设计人员能够显著减少在 FPGA 中实现电机控制算法所需的时间。

这些 IP 模块已在以高达 30,000r/min 转速和 200kHz 开关频率运行的电机上进行了测试。

工业通信协议

工业网络的发展趋势是通过使用更快的网络通信替代点至点通信。实现此类高速通信需要支持更高的带宽，这对于同时处理电机控制算法的微控制器或 DSP 来说并不容易。在大多数情况下，会使用一个附加的微控制器或 FPGA 来处理与每个电机控制器的通信。通常使用的基于以太网的协议有 PROFINET、EtherNet/IP 和 EtherCAT 标准，这些标准仍然在演进。其他的协议包括了 CAN 和 Modbus。在这种情况下使用 SoC 的优势，是在单一 FPGA 平台上支持多种工业以太网协议标准。

根据终端系统目标，可以通过重用 IP 和协议栈（用于通信）来优化系统的成本，或者通过仔细地在硬件（FPGA）和软件（ARM Cortex-M3 子系统）中划分功能来优化性能。

美高森美的 SmartFusion2 FPGA 具有内置 CAN、高速 USB 和千兆以太网模块作为微控制器子系统的一部分。高速 SERDES 模块用于实现涉及串行数据传送的协议。

安全性

SmartFusion2 SoC FPGA 器件具有数项设计和数据安全特性。DPA 认证反篡改保护和加密特性等设计安全特性能够帮助保护客户的知识产权。SoC FPGA 器件还包括数据安全特性，例如 ECC 硬件加速器、AES-128/256 和 SHA-256 服务。对于数据安全性，可以使用 EnforcIT IP Suite 和 CodeSEAL 软件安全构件，EnforcIT IP 包括一套可定制内核（作为网表），有效地将安全层移到硬件中。CodeSEAL 将对策注入到固件中，可以独立地使用，或者用作 EnforcIT 的提升。

实现协议的灵活性可让设计人员使用多个安全层来认证从中央监控控制器进入的信息。

可靠性

在多个市场中安全标准的增长推动了高可靠性的需求，SmartFusion2 经设计满足高可用性、安全关键型和任务关键型系统的需求，以下是 SmartFusion2 SoC FPGA 提供的某些可靠性特性。

(1) 单粒子翻转 (SEU) 免疫零 FIT 率配置。高可靠性运作需要 SEU 免疫零 FIT 率 FPGA 配置，SmartFusion2 架构具有不受 α 或中子辐射的免疫能力，因为它使用闪存来配置路由矩阵和逻辑模块中使用的晶体管。基于 SRAM 的 FPGA 在海平面上的 FIT（时间失效）率可能为 $1k \sim 4k$ ，在高于海平面 5,000 英尺的位置会高得多。高可靠性应用可接受的 FIT 率低于 20，这使得 SmartFusion2 最适合这些应用。

(2) EDAC 保护。SmartFusion2 器件具有错误检测与校正 (EDAC) 控制器，可防止在微控制器子系统 (MSS) 存储器中发生的单粒子翻转错误。

(3) 无外部配置器件。在具有大量 FPGA 的复杂系统中，使用外部配置器件会降低可靠性。在上电时，FPGA 需花费时间来进行配置，这在使用多个 FPGA 器件的应用中带来了设计复杂性。SmartFusion2 SoC FPGA 在器件内部包含了配置存储器，它提供了在器件一上电时就开启的附加优势。

(4) 军用温度级器件。SmartFusion2 SoC FPGA 器件针对军用温度条件进行了全面测试。军用级器件具有 10k 和 150k 逻辑单元，并具有允许访问密码加速器的安全特性和数据安全特性。

总结

美高森美 SmartFusion2 SoC FPGA 使用经过高度优化的电机控制 IP 模块和经过验证的参考设计，提供了数种降低工业设计 TCO 的特性。从微控制器迁移的客户将能够重用某些旧代码，而 FPGA 设计人员将能够利用 FPGA 架构和 ARM Cortex-M3 子系统来创建一个高效的架构，允许电机控制模块和通信模块同时驻留在单一器件中。ARM Cortex-M3 微控制器子系统的存在，可以实现灵活的设计和智能分区，而针对性能和成本做优化。微控制器子系统还可以在运行时间中注入和记录数据，加速调试 FPGA 设计。SmartFusion2 平台还提供了实现工业通信协议的广泛选项。它同时提供用于设计和数据安全的多项安全特性，还提供了满足高可靠性需求的特性。SmartFusion2 系列器件备有强大的生态系统支持，能够帮助客户以最低 TCO 来开发工业解决方案。

利用 FPGA 实现无线分布式采集系统设计

1 引言

近些年来,随着电子技术的发展,无线通信技术、计算机网络的发展,分布式无线数据采集网络技术开始兴起,并迅速的应用到各个领域。在一些地形复杂,不适合人类出现的区域需要进行数据采集的情况下,都可以适当的选择无线分布式采集来进行。现有的无线分布式采集系统中,往往使用单片机、DSP 等作为系统的主控控制单元。但是由于其自身工作特点,往往对于精确的定时控制以及并行处理能力上比 FPGA 弱。随着 FPGA 等可编程逻辑器件的发展,为无线数据可靠传输提供了很好的实现平台。采用 FPGA 作为时序控制和信号处理的处理器,将使系统电路设计更加简洁、可靠、灵活,可有效的缩短开发周期,并降低开发成本。

为此,基于 CycloneIV+STM32 设计了一种新型的无线分布式采集系统,实现了数据的高可靠和同步传输。设计主要由 3 大部分组成:编码器、译码器、无线收发电台。在对编码器、译码器同步校准后,对待发送数据进行卷积编码,并转换为串行数据。数据转换为串行数据后,在串行数据帧头加入 Barker 码来实现帧的同步,并使用 2 条互为备份的数据传送通道同时发送数据。在数据接收端检测到 barker 码后,本地对互为备份的双通道数据进行 viterbi 译码(本文设计的 viterbi 译码器采用并行结构,大大的降低译码时间)。译码结束后,本地对双通道数据进行循环冗余校验,并做出判选,最后执行相应指令。并在规定时间内给出相应反馈信号。设计的无线采集系统,即使某一数据通道出现少量错码,系统仍能有效的恢复出数据,并进行可靠的数据传输。系统添加了监控模块,实时备份上传的数据并监控,如发现不能正常上传,则启用备用模块保证整个系统正常工作。系统不仅能实现数据的高可靠和同步传输,而且具有很好的适用性,可广泛应用工业中。

2 无线分布式采集系统简介

2.1 系统硬件简介

无线分布式采集系统包括编码器、译码器(编码器、译码器硬件完全相同,只是配置逻辑不同,可配置为编码器、译码器、中继站)和无线通信电台。如图 1 所示,这是一个最简单的一对一分布式系统。

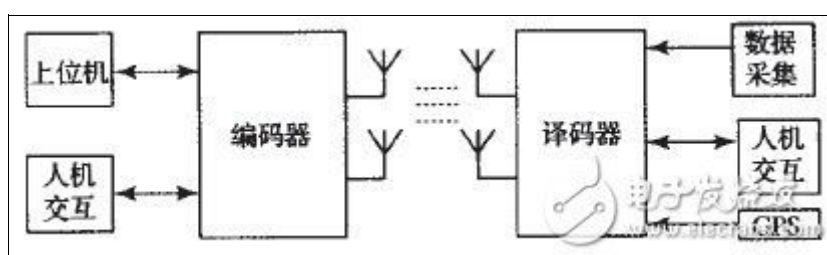


图 1 无线分布式采集系统结构

编码器作为上位机与译码器之间的桥梁,通过 USB/RS485 通道进行发送、接收命令和数据。译码器接收编码器发来的命令进行配置和采集,并将数据存储至 DDR2 中。译码器收到上传命令后,上传数据至编码器。

编码器/译码器硬件系统框图如图 2 所示。本系统主控单元由 FPGA 完成。FPGA 选用 Altera 公司的 EP4CGX30F407,逻辑单元为 29440 个,80 个 18×18 乘法器,多达 290 个用户自定义 I/O。STM32 作为监控和备用单元组成系统的基本架构,STM32F407ZG 系列是基于高性能的 ARM CortexTM-M4F 的 32 位 RISC 内核,工作频率高达 168 MHz,该 STM32F407ZG 系列采用高速嵌入式存储器(多达 1 MB 闪存,高达 192 KB 的 SRAM),拥有 3 个 12 位 ADC,2 个 DAC,1 个低功耗 RTC,12 个通用 16 位定时器,2 个通用 32 位定时器。人机交互部

分由 16X2 液晶显示字符模块和 4 个按键组成，其主要功能是通过按键对基站编号设置并显示在 LCD 上。无线模块选用 WSN-03 系列无线模块作为收发平台，工作电压为 5 V，传输速率和工作频段等都可配置。目前传输速率最大为 115 200bps，工作频为 433 MHz 可调。无线模块与 FPGA 主要以 RXD/A，TXD/B，NRST（复位控制），SET（设置模块参数），SLP（休眠控制）信号线连接。GPS 模块选用 VK16U6 进行定位，与 FPGA 以 UART 接口连接，波特率定位 9600 bps。ADC 选用基于 $\Delta-\Sigma$ 技术的 32 bits 高精度低功耗模数转换芯片 ADS1282，采样信号电平范围：差分输入 $-2.5 \sim +2.5$ V。单个译码器有 6 个采集通道，以 2 k 采样率，采样时常 16 S 来计算，单个译码器纯数据量为 $6 \times 2 \text{ k} \times 16 \times 24 = 6144$ Kbits。考虑到编码器，一次采样，8 个基站的数据经编码后数据总量为 98 304 Kbits，所以编码器和译码器需增加 1 片 Micron Technology 公司的 MT47H256M8HG-37E IT（256Meg \times 8）作为缓存空间。由于 DDR2 SDRAM 需要特定的控制读写时序，系统直接采用 Quartus II 自带的“DDR2 SDRAM High-Performance Controller”IP CORE。USB 部分由 2 个通道组成，一个是由 FPGA、CY7C68013 和 USB 接口组成；另一个由 STM32（自带 USB 驱动）和 USB 接口组成。同时本设计中还添加了 RS485 串口，使整个系统与上位机能保持实时通信，为系统的远程控制提供了可能，并能保持系统更新。

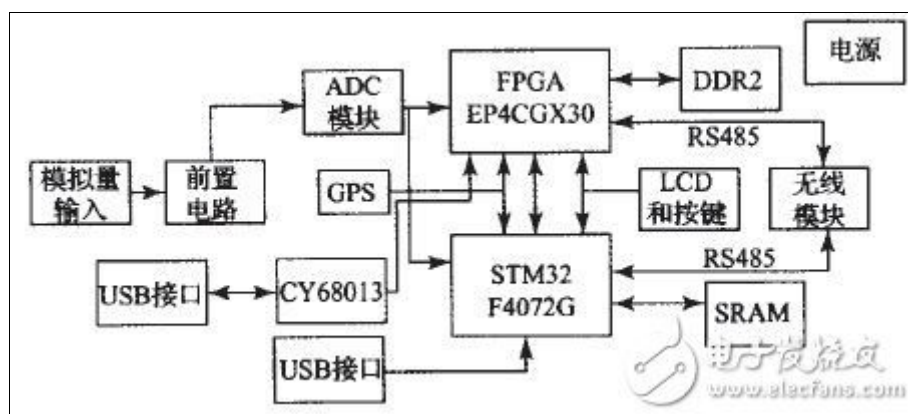


图 2 系统框架

2.2 系统数据流程

系统的数据流程为：同步校准译码器，设置各个译码器接收命令后的延时-编码器配置采集参数、命令-译码器采集数据保存至 DDR2 中-各译码器分时接收数据-上传命令并上传数据-编码器将数据汇总保存至 DDR2-数据收集齐后通过 USB/RS485 上传至上位机。译码器节点配合计算机对各个点的数据进行轮询采集，它包含了无线传输模块和与计算机通信的 USB 接口。STM32 将组帧后的数据备份并实时监控 FPGA，如在规定时间内或未能按指令进行工作，STM32 将替代 FPGA 并使 FPGA 进入断电状态。

2.3 系统组帧格式

编码器与译码器之间是一对多的关系，译码器分时上传数据，译码器有 2 个通道，译码器有唯一的配置编号。数据帧的格式如图 3 所示。数据帧中除 20 字节有效数据之外，还包括组号、目的编号等。



图 3 编码器、译码器间数据帧格式

为了改进接收信号质量，本系统引入信道编码的方法来改善信道质量。具体如图 4 所示。发送端对数据进行组帧、并串转换、卷积编码、加入同步帧信息后，把数据发送至无线通信电台进行调制。接收端的无线通信电台对信号进行解调后发送数据至接收端的 FPGA。接收端的 FPGA 检测到帧同步信息后对接下来的数据保存，并进行 Viterbi 译码。FPGA 对双通道的数据进行冗余校验，并选择正确的数据执行相关操作。

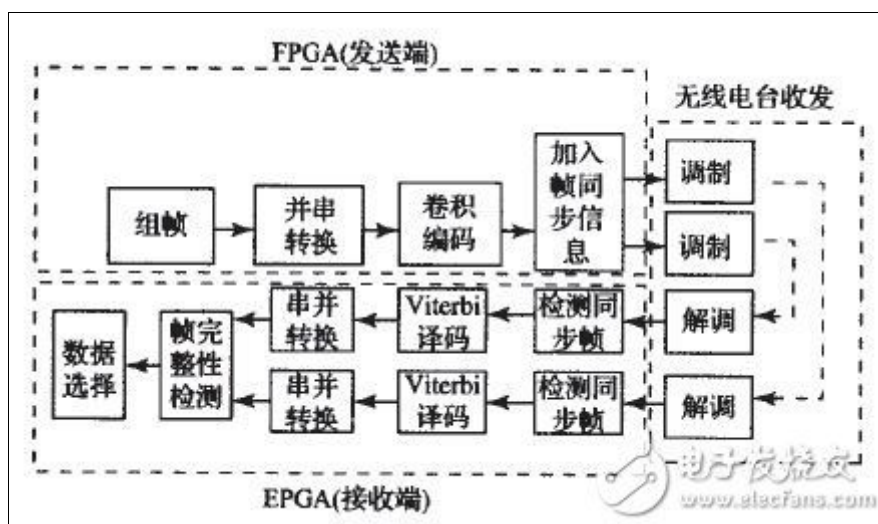


图 4 无线数据传输

3 无线分布式采集系统数据传输的实现

3.1 可靠性

待发数据经卷积编码，互为备份的双通道发送，Viterbi 译码，冗余校验，数据判选，系统能够很好的进行无线收发。

3.1.1 卷积编码

数据组帧完成后，由低位至高位进行并串转换，进行卷积编码。卷积编码是一种纠错信道编码，是由连续的输入信息序列经编码后得到连续输出的编码序列。以 (n, k, m) 来描述卷积码， k 为每次输入到卷积编码器的 bit 数，行为每 k 元组码字对应的卷积码输出 n 元组码字， m 为编码储存度。卷积编码生成的 n 元组不仅与当前输入有关系，还与前面 $m-1$ 个输入的 k 元组有关系。本系统采用 $(2, 1, 4)$ 卷积编码器，如图 5 所示。图中“+”代表异或。每 bit 经编码后都有 2 bit 输出 ($C1, C2$)。

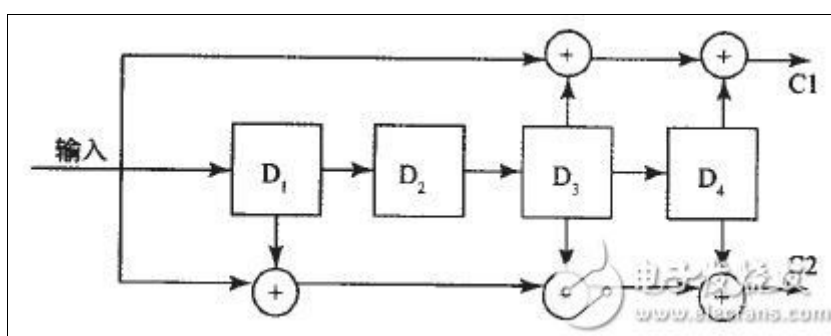


图5 (2, 1, 4) 卷积编码器

3.1.2 Viterbi 译码

接收端有 2 个接收通道，互不干扰。接收端对 2 个通道同时译码。译码采用 Viterbi 译码。Viterbi 译码算法是一种卷积码的解码算法。Viterbi 译码根据最大似然算法规则，能达到最佳译码，特别适合向前纠错。以本设计为例，根据图 5，编码器 4 个延时状态 (0, 1) 组成整个编码器的 16 个状态 (D4D3D2D1)，每个状态在编码器输入 1 或 0 时，跳转到另一个状态。并且输出也随之改变。译码就是编码的逆过程。算法规定任意 t 时刻收到的数据都要进行 32 次路径值计算、16 次比较，比较后每个状态只保存一个路径值，为接下来计算减少了一半的运算量。反复 208 次，从 16 条幸存路径中选出一条路径值最小的，反推出这条路径，得出相应的译码输出。考虑到每次译码后，译码器都能回到初始状态，所以源数据最后加了 8 bit 的“0”。本设计采用并行处理结构，经 214 个周期还原出源码。

在设计 FPGA 逻辑时，基本采用多条并行的流水线技术，译码部分包含 4 个子模块：加比选模块、回溯模块、存储模块和时钟控制模块。路径值的计算和比较在 3 个时钟周期内完成，4 个模块同时运行，大大的降低了译码时间。另外，为了提高 FPGA 效率，系统加入采样触发信号，保证系逻辑能够稳定运行。

3.1.3 数据判选

经译码后，接收端已接收到 2 组互为备份的数据。经实践证明，简单的并联冗余能大大的提高系统的可靠性。具体选择流程如图 6 所示。2 路数据经 Viterbi 译码后，开始接收一帧数据，并写入 RAM 中，同时计算 CRC 校验、帧完整性检测、ID 是否符合本地。上述检测都没问题时，对 2 路幸存路径的度量值进行比较，选择值小的通道作为最终数据。

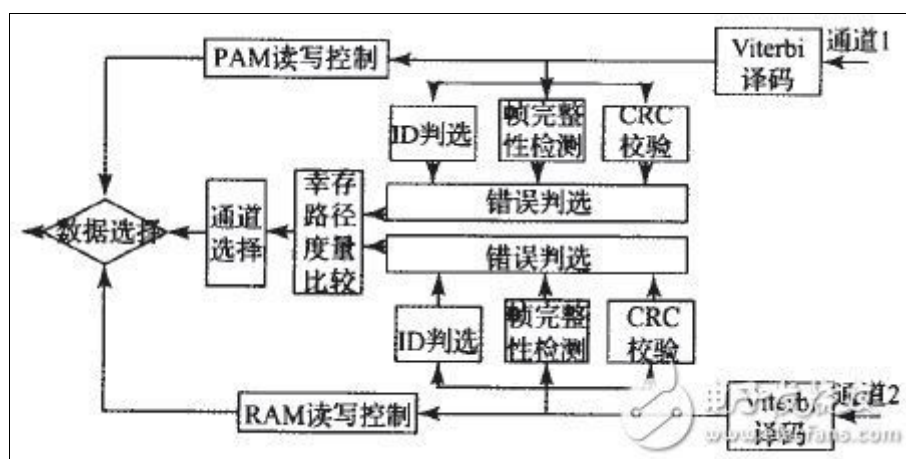


图6 数据的选择

3.2 同步的实现

为了保证编码器和译码器之间能严格实现同步，数据帧需要加入同步帧。实现帧同步的方法通常有 2 种：起止同步法和集中式插入同步法。起止式同步比较简单，一般在数据码元的开始和结束位置加入特定的起始和停止脉冲来表示数据帧的开始和结束。集中插入式同步法中插入的同步码要求在接收端进行同步识别时出现伪同步的概率尽可能低，并且要求该码具有尖锐的自相关特性以便识别。7 位巴克码作为帧同步码，其局部自相关函数为：

$$R(j) = \sum_{i=0}^{m-j} x_i x_{i+j} = \begin{cases} n, & j = 0 \\ 0, +1, -1, & 0 < j \leq n \\ 0, & j > n \end{cases} \quad (1)$$

由上公式计算可知，7 位巴克码的自相关函数在 $j = 0$ 时出现尖锐的单峰特性。设计中采用 2 组同步帧头作为同步码，同步帧头由 7 位巴克码和 1 bit 的 0 组成。

到现在为止，待发数据 bit 数为： $208 \times 2 + 8 \times 2 = 432$ bits。经调制解调后，接收端检测帧同步信息，同步信息为 2 组 11100100 组成。每组同步信息高 7 位与 7 位巴克码相比，允许出错位数在 1 位以内。设 P 为码元错误概率， n 为同步码组的码元数， m 为判决其允许码组中的错误码元最大数，在本系统中 $n=7$ ， $m=1$ 。在 $P=0.01$ 时，单一 barker 码的漏同步概率为：

$$P_1 = 1 - \sum_{r=0}^m C_n^r p^r (1-p)^{n-r} = 1 - 0.99797 = 0.002$$

当 2 组同步帧都满足时，帧同步建立，接收端保存接下来的数据。无线通信电台与 FPGA 以 rs485 连接，如图 7 所示，FPGA 检测 X 是否为“0”，当检测到“0”，不接收端对接下来的数据 X 与本地巴克码对应位进行位异或运算。当检测 1 byte barker 码，错 1 位以内时，发出一 value 脉冲。当检测到 2 个 value 脉冲时，说明同步已建立，接收端开始存储接下来的数据。

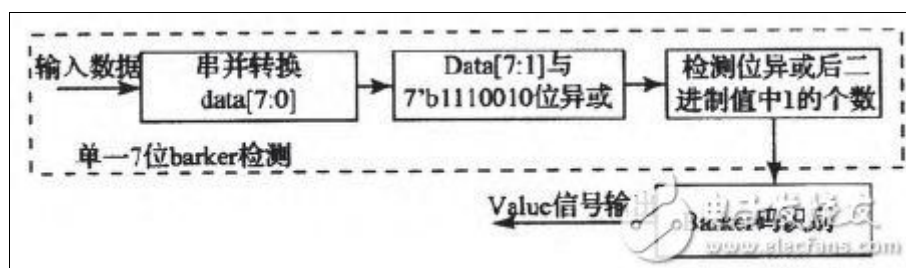


图 7 barler 码识别

4 系统监控模块的实现

STM32 与 FPGA 连接如图 8 所示，由于 ARM 与 FPGA 的相互通信直接影响着控制器的性能，所以该并行总线的设计就成为一个非常关键的问题。该总线可以包括芯片的地址总线（ADDR[021]）、数据总线（DB[015]）、控制总线、复位信号（nRST）以及中断信号线（INT），其中控制总线包括使能信号（nOE）、片选信号（nCS）、读信号（nRD）、写信号（nWE），这样做的好处是，将 FPGA 芯片存储器化，即 STM32 可通过对特定地址的访问来控制 FPGA 工作，并且可通过共同的复位信号将 STM32 与 FPGA 芯片同时复位，尽量避免总线竞争和冒险现象的出现。

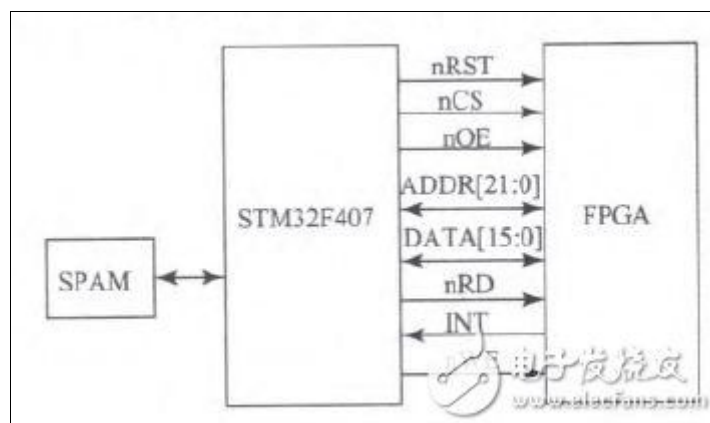


图 8 STM32 与 FPGA 连接

STM32 与 FPGA 同时接收命令，在解析完命令后，FPGA 应在规定的时间内发送数据，FH 认组帧完成时，发出 INT 信号至黠 2 申请中断。如果 STM32 在规定时间内没有接收到 FPGA 发来的 INT 信号，将开始计时，计时时间内未能接收 INT 信号，STM32 将停止 FPGA 供电电源工作，由 STM32 代替 FPGA 工作，保证整个系统能稳定进行。

结论

在无线分布式采集系统设计中，采用了基于卷积编码、Viterbi 译码的编码和互为备份的双通道传输方案，利用了 FPGA 内丰富的逻辑资源以及存储资源，实现了数据的远距离同步可靠传输。加入备份数据通道后，通过 FPGA 内部逻辑控制，在硬件上实现了对两路数据的实时校验及自动判选，提高了系统的稳定性和可靠性。相比于“备份-重传”等机制，该方法实现简单、实时性好，即使某一通道不能正常工作，系统仍能正常进行。该无线分布采集系统，满足了现在同步触发和数据量不大情况下的传输。本文提出的互为备份的双通道编解码、数据冗余传输机制，亦可应用相关无线传输领域，以提高远距离数据传输的可靠性和稳定性。

文章详情：[利用 FPGA 实现无线分布式采集系统设计](#)

相关文章：

[看技术专家：如何为您解决 SoC FPGA 设计难题](#)

[电子技术解密：简化 FPGA 电源设计方案](#)

[基于 CPLD 的 FPGA 从并快速加载方案](#)

[基于 FPGA+DSP 架构视频处理系统设计](#)

[基于 Xilinx FPGA 的千兆以太网控制器的开发](#)

现场可编程门阵列即 FPGA，是从 EPLD、PAL、GAL 等这些可编程器件的基础上进一步发展起来的。作为专业集成电路领域中的半定制电路而出现 的 FPGA，不但解决了定制电路的不足，而且克服了原有可编程器件因门电路数有限的而产生的缺点。FPGA 的使用十分的灵活，同一片 FPGA 只要使用不同的程序就能够达到不同的电路功能。现在 FPGA 在通信、仪器、网络、数据处理、工业控制、军事和航空航天等众多领域有着广泛的应用。随着成本和功耗的进一步降低，将在更多的领域运用 FPGA。

滤波器是一种用来消除干扰杂讯的器件，可用于对特定频率的频点或该频点以外的频率进行有效滤除。它在电子领域中占有很重要的地位，在信号处理、抗干扰处理、电力系统、抗混叠处理中都得到了广泛的应用。而对于程控滤波器，该系统的最大特点在于其滤波模式可以程控选择，且-3 dB 截止频率程控可调，相当于一个集多功能于一体的滤波器，将有更好的应用前景。此外，系统具有幅频特性测试的功能，并通过示波器显示频谱特性，可直观地反应滤波效果。

图2 放大模块

放大模块的具体电路如图 2 所示。第一部分是一个分压网络,其中前 4 个电阻将输入信号衰减 100 倍,并与信号源内阻共同构成 $51\ \Omega$ 阻抗,后面的 $51\ \Omega$ 为匹配电阻。第二部分采用 OPA690 将小信号放大 2 倍,同时起到阻抗变换和隔离的作用。由于 AD603 输入阻抗为 $100\ \Omega$,所以在后面串接一个 $100\ \Omega$ 的电阻进行匹配。第三部分即为 AD603 可变增益放大,它的增益随着控制电压的增大以 dB 为单位线性增长。1 脚的参考电压通过单片机进行运算并控制 DAC 芯片输出电压来得到,从而实现精确的数控。增益 $G(\text{dB})=40\text{VG}+G_0$,其中 VG 为差分输入电压,范围 $-500\sim 500\text{mV}$; G_0 是增益起点,接不同反馈网络时也不同。在 5、7 脚间接一个 $5\text{k}\ \Omega$ 的电位器,从而改变。

LTC1068 是低噪声高精度通用滤波器, 当其用于高通滤波时, 截止频率范围 1 Hz~50 kHz, 并且直至截止频率的 200 倍都无混叠现象。由于 LTC1068 的 4 个通道都是低噪声、高精度、高性能的 2 阶滤波器, 因每个通道只要外接若干电阻就可以实现低通、高通、带通和带阻滤波器的功能。具体电路如图 3 所示。其 B 端口 Q 值 0.57, A 端口 Q 值约为 1。在电路的调试中发现, A 口的 Q 值需比 B 口 Q 值大, 否则信号截止频率处幅值会有上翘。



低通滤波模块

用 MAX297 实现低通滤波器。开关电容滤波器 MAX297 可以设置为 8 阶低通椭圆滤波器, 阻带衰减为 -80dB, 时钟频率与通带频率之比为 50:1。通过改变 CLK 的频率, 即可满足滤波器 -3 dB 截止频率在 1~20kHz 范围内可调, 步进 1 kHz 的要求。



在使用 MAX297 时要注意的，当信号频率和采样频率同频，开关电容组在电容上各次采到相同的幅度为信号幅值的信号，相当于输入信号为直流的情况，使滤波器输出一个直流电平。同理，当信号频率为采样频率的整数倍时，也会出现相同的现象。为此，在其前面，要增加模拟低通滤波器，把采样频率及其以上的高频信号有效地排除。故又用一级 MAX297，截止频率设置为 50kHz。其中时钟频率设置为 2.5 MHz。在其后面，也要增加低通滤波器，其截止频率为 150kHz，以滤去信号的高频分量，使波形更加平滑。具体电路如图 4 所示。

四阶椭圆低通模块

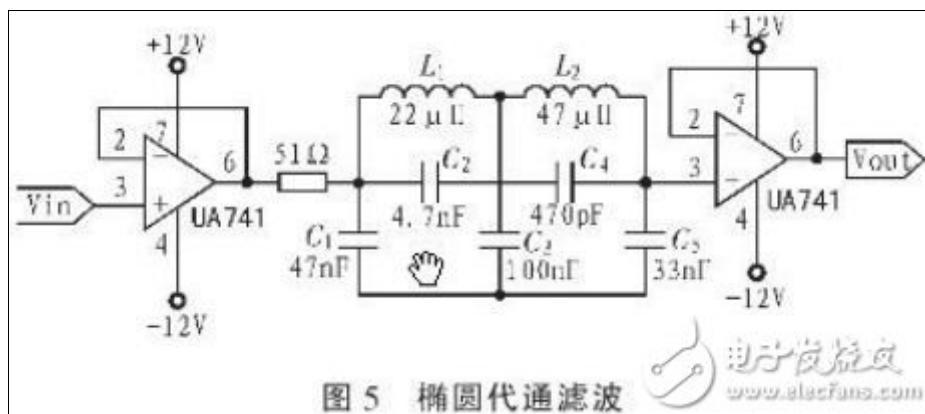


图 5 椭圆代通滤波

系统要求制作一个四阶椭圆型低通滤波器，带内起伏 ≤ 1 dB， -3 dB 通带为 50kHz，采用无源 LC 椭圆低通滤波器来实现。用 Filter Solution 模拟仿真滤波器，随后在 Multisim 中再模拟仿真并调整电容、电感的参数使其为标称值。此外，在椭圆滤波器前后接射级跟随器避免前后级影响。具体电路如图 5 所示。

TOP2 FPGA 电源定序电路原理分析

系统设计师必须考虑加电和断电期间芯核电源和 I/O 源之间的定时差和电压差（换言之，就是电源定序）问题。当电源定序不当时，就有可能发生闭锁失灵或电流消耗过大的现象。如果两个电源加到芯核接口和 I/O 接口上的电位不同时，就会出现触发闭锁。定序要求不相同的 FPGA 和其他元件会使电源系统设计更加复杂化。为了排除定序问题，你应当在加电和断电期间使芯核电源和 I/O 电源之间的电压差最小。图 1 所示的电源将 3.3V 输入电压调节到 1.8V 芯核电压，并在加电和断电期间跟踪 3.3V I/O 电压，以使两电源线之间的电压差最小。

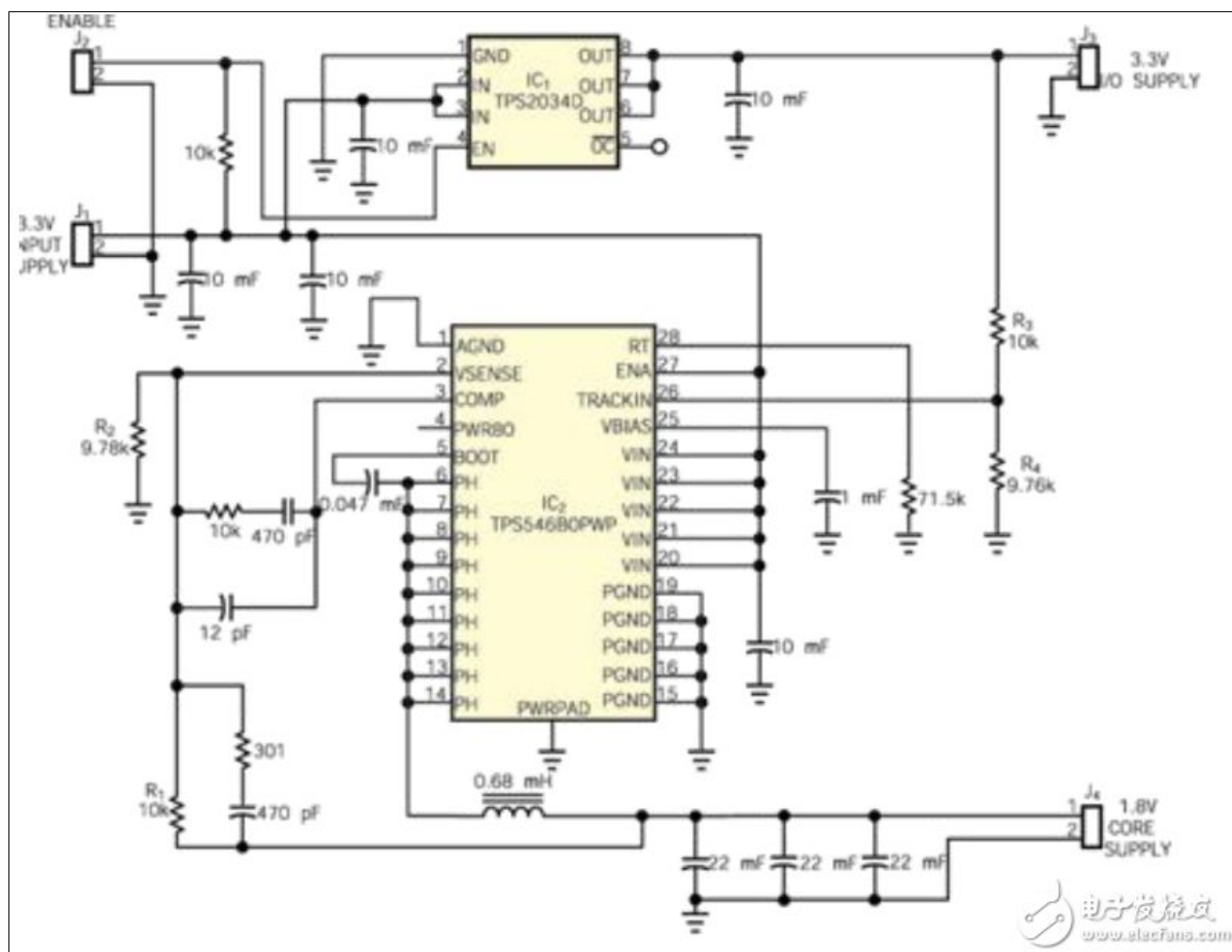


图 1 这种电源定序电路可消除闭锁问题，并可减少 FPGA 起动瞬态电流。

电路原理：图 1 所示电源包含 IC1 和 IC2 两块 IC，它们分别是 TPS2034 电源开关和 TPS54680 降压型开关稳压器。IC1 产生 IC2 在起动期间跟踪的慢斜坡电压。6ms 的斜坡时间可使加到电源开关大电容和电源输出端的涌入电流降到最小值。慢斜坡电压能使 FPGA 吸收的瞬态电流最小。电源开关 TPS2034 确保在 IC2 具有足够大的偏置电压运作并产生芯核电压之前，I/O 电压不会加到负载上。假如 J1 的输入电压为 3.3V，则 J2 连接器上的电压浮动就会使 IC1 起动。I/O 电源电压 J3 就慢慢上升，直到达到 3.3V 为止。由于 I/O 电压上升，芯核的电源电压相应升高，直到 1.8V 为止（图 2）。TPS54680 的 TRACKIN 引脚内包含有一个模拟多路转换器，以便实现跟踪功能。P 在加电和断电期间，当 TRACKIN 引脚上的电压低于 0.891V 内部基准电压时，TRACKIN 引脚上的电压就连接到误差放大器的非倒相节点。当 TRACKIN 引脚电压低于 0.891V 时，该

揭秘 FPGA 多重配置硬件电路设计方案

Figure 1 illustrates the hardware circuit for multi-configuration implementation. The central component is a Virtex5 FPGA, which is connected to two ribbon cable headers. The left header is for JTAG configuration, with pins TDI, TDO, TCK, TMS, and VREF (3.3V). The right header is for SPI direct programming, with pins TDI, TDO, TCK, TMS, and VREF (3.3V). The FPGA is powered by 2.5V, 3.3V, and 1.0V supplies. It is connected to a Numonyx M25P32 SPI Flash via MOSI, MISO, CS, and HOLD pins. The flash is powered by 3.3V and has its GND connected to the FPGA's GND. The FPGA's INIT_B, DONE, and PROG_B pins are connected to 3.3V supplies through 4.7kΩ resistors. The FPGA's HSWAPEN pin is connected to GND through a resistor. The FPGA's Mode Selection (SPI) pins are connected to '0' and '1' inputs. The SPI Variant Select (Read 0x03) pin is connected to '1'.

33

路硬件连接框图如图 1 所示。在 FPGA 配置模式中，M2，M1，M0 为 0，0，1，这种配置模式对应边界扫描加上拉，FPGA 在这种模式下所有的 I/O 只在配置期间有效。在配置完成后，不用的 I/O 将被浮空 M2，M1，M0 三个选择开关对应于 ML507 开发板上的 SW3 开关中的 4，5，6 位，在 FPGA 上电之前将上述开关拨为 0，0，1 状态。

FPGA 工作原理

一个典型的 FPGA 是有几个部分构成的，首先是逻辑块（LogicBlock），Altera 公司将其称之为逻辑阵列块（LAB）Xilinx 公司将其称为可配置逻辑块（CLB）。LAB 由称之为 LE（Logic Element）的基本单元构成，CLB 由称之为 LC（Logic Cell）的基本单元构成。这些就是 FPGA 的逻辑资源，还有一部分是散落在各个逻辑块之间地内部连线，它们好比是 PCB 板上的导线，将 FPGA 内部地各个逻辑相连接，起点和终点都是 IOB（I/O Block）。另一部分就是 IOB 了，IOB 是 FPGA 的外部物理接口，类似 IC 的各引脚，当然这里是根据用户需要自己可以任意定义的。如今的 FPGA 的 IOB 已经很强大，从基本的 LVTTTL/LVCOMS 接口到 PCI/LVDS/RSDS 甚至各种各样的差分接口，FPGA 内部的 I/O 实际上是分组的，但是每一组都可以灵活配置，改变上拉下拉电阻，调解驱动电流大小，兼容 5V，3.3V，2.5V，1.8V 甚至 1.5V，可以满足不同的电器特性，不同的 I/O 接口物理特性以及外部硬件电路对输入输出信号的各种匹配要求。目前 I/O 可以达到的频率也愈来愈高，通过特定的技术数据读取速率甚至可以达到 2Gbps 现在越来越多的工程师喜欢 FPGA，强大的 I/O 特性也是一种原因吧。

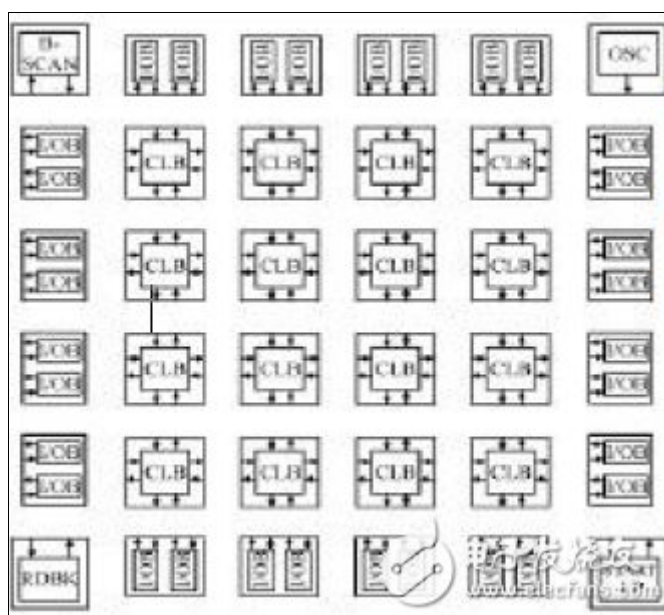


图 2-1 典型的 FPGA 内部结构图

TOP3 FPGA 数字核脉冲分析器硬件电路

I/O 兼容恐怕是大势所趋。设计 IOB 的概念和技术还有很多，这里不做介绍了。还有一部分就是 FPGA 内部的功能模块，是制造商根据实际需要放置在 FPGA 内部的。比如数字时钟管理模块即 DCM，Xilinx 公司的 FPGA 全都具有这种功能。比如相位环路锁定。PLL 需要一个外部时钟输入（晶振），经过内部处理后（包括分频和倍频）可以提供在频率和相位上都比较稳定的一定范围内的时钟。还有不得不提的内部不占用逻辑资源的块 RAM。RAM 块可作为单口 RAM、双口 RAM、内容地址存储器以及 FIFO（first in first out）等常用存储器甚至 ROM，移位寄存器。这对于小量数据缓存很有用，强化了 FPGA 的应用性。在选择 FPGA 时，芯片内部块 RAM 的资源多少也是衡量的一个重要因素。单独块 RAM 的容量为 18kbit 宽为 18Bit、深度为 1024，可以根据实际需要改变其位宽和深度，但有两点限制：首先就是修改后块 RAM 的容量（位宽深度）不能大于单片块 RAM 容量；而且位宽最大不能超过 36Bit，可以将多片块 RAM 联起来形成内存更大的 RAM，此时只受限于芯片内块 RAM 的数量，而不再受上面两条原则约束。不过在 Quartus 中，具体操作起来很方便。还有底层内嵌功能单元包括内嵌专用硬核如乘法器等。它对于数字信号的运算处理提供极大的便利。

SPI 接口控制电路

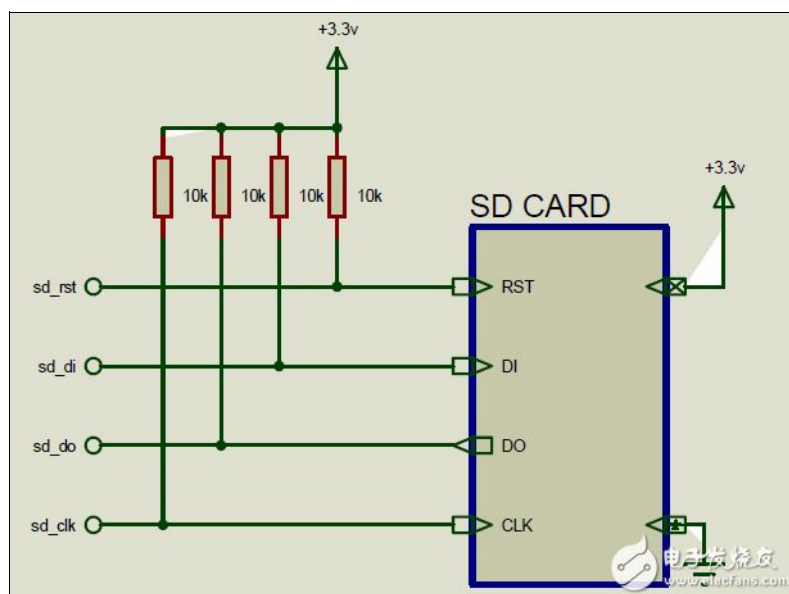


图 4-1 SPI 模式连接图

该工程模块的 SPI 接口四条信号线分别定义 `spi_cs_n`, `spi_clk`, `spi_miso` 和 `spi_mosi`。其中 `spi_cs_n` 是数据控制使能信号，当要对芯片进行操作时，此信号低电平有效。也就是说在同一条主线上可以连接多个 SPI。`spi_clk` 是 SPI 同步时钟信号，数据信号在该时钟的控制下进行逐位传输。`spi_miso` 和 `spi_mosi` 是主从机进行通信的数据信号，`spi_miso` 即主机的输入或者说是从机的输出 `spi_mosi` 即主机的输出或者说是从机的输入。

VGA 显示驱动模块

标准 VGA 一共有 15 针，真正用到的接口不多，只有 5 个，场同步信号和列同步信号是为了让 VGA 接收部分知道过来的数据是对应哪一行哪那一列。还有三原色信号，本课题硬件三原色信号通过连接不同的电阻

后直接与 I/O 接口相连（可理解为简化的 DA 转换），这样就可以显示 256 色了。内部 VGA 与 FPGA 接口如图 7-1 所示。

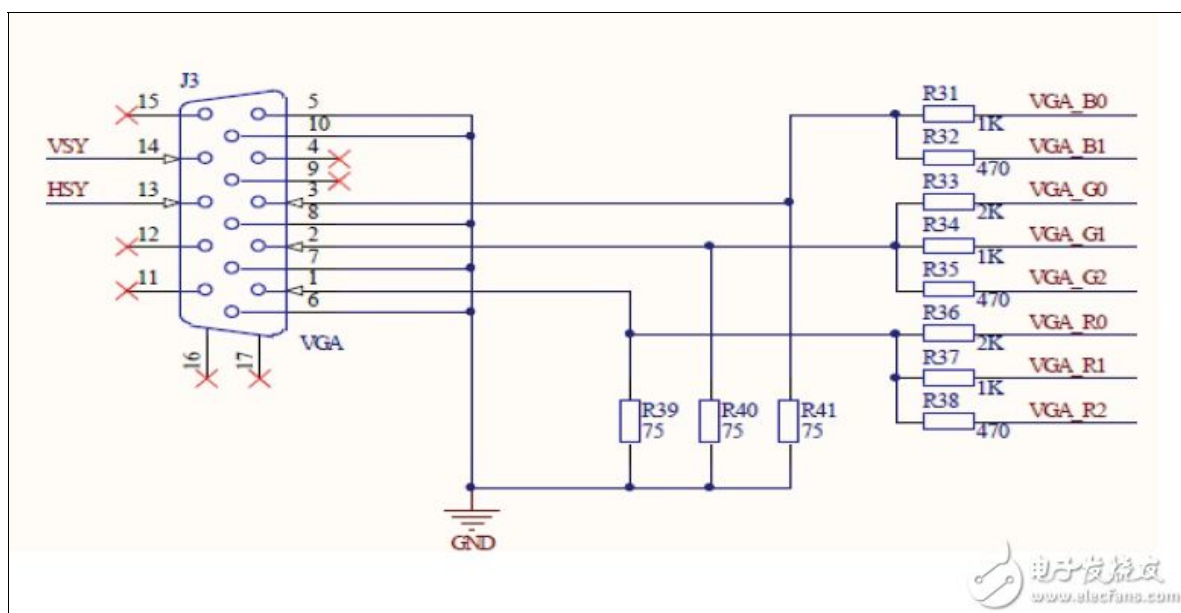


图 7-1 VGA 内部简化 DA

FPGA 器件应用是继单片机之后，当今地嵌入式系统开发应用中最最热门的关键技术之一，并且随着制造工艺水平的不断提高，成本的不断下降，FPGA 甚至大有替代专用 ASIC 的趋势。FPGA 使用 Verilog 或 VHDL 等硬件描述语言编程。系统工程所有功能全部使用 FPGA 来完成，内容包括 SD 卡的读取控制，图片解码，VGA 驱动显示等等，采用的是 SF—EP1 开发板，该板 FPGA 使用 EP1C3T144C8，配置 PLL 电源电路，SD 接口，1 个 256 色的 VGA 通用接口，SDRAM 等。支持 AS 及 JTAG 配置方式，软件平台使用 Quartus II 9.1，从而完成 10 幅 800*600 的 BMP 图片循环显示。

FPGA 数字核脉冲分析器硬件电路

多道脉冲幅度分析仪和射线能谱仪是核监测与和技术应用中常用的仪器。20 世纪 90 年代国外就已经推出了基于高速核脉冲波形采样和数字滤波成型技术的新 型多道能谱仪，使数字化成为脉冲能谱仪发展的重要方向。国内谱仪技术多年来一直停留在模拟技术水平上，数字化能谱测量技术仍处于方法研究阶段。为了满足不 断增长的高性能能谱仪需求，迫切需要研制一种数字化 γ 能谱仪。通过核脉冲分析仪显示在显示器上的核能谱帮助人们了解核物质的放射性的程度。

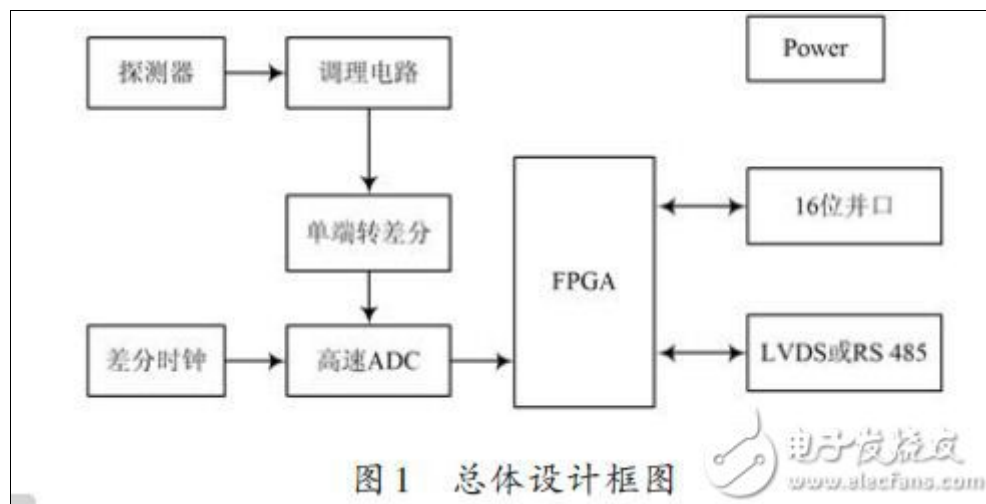
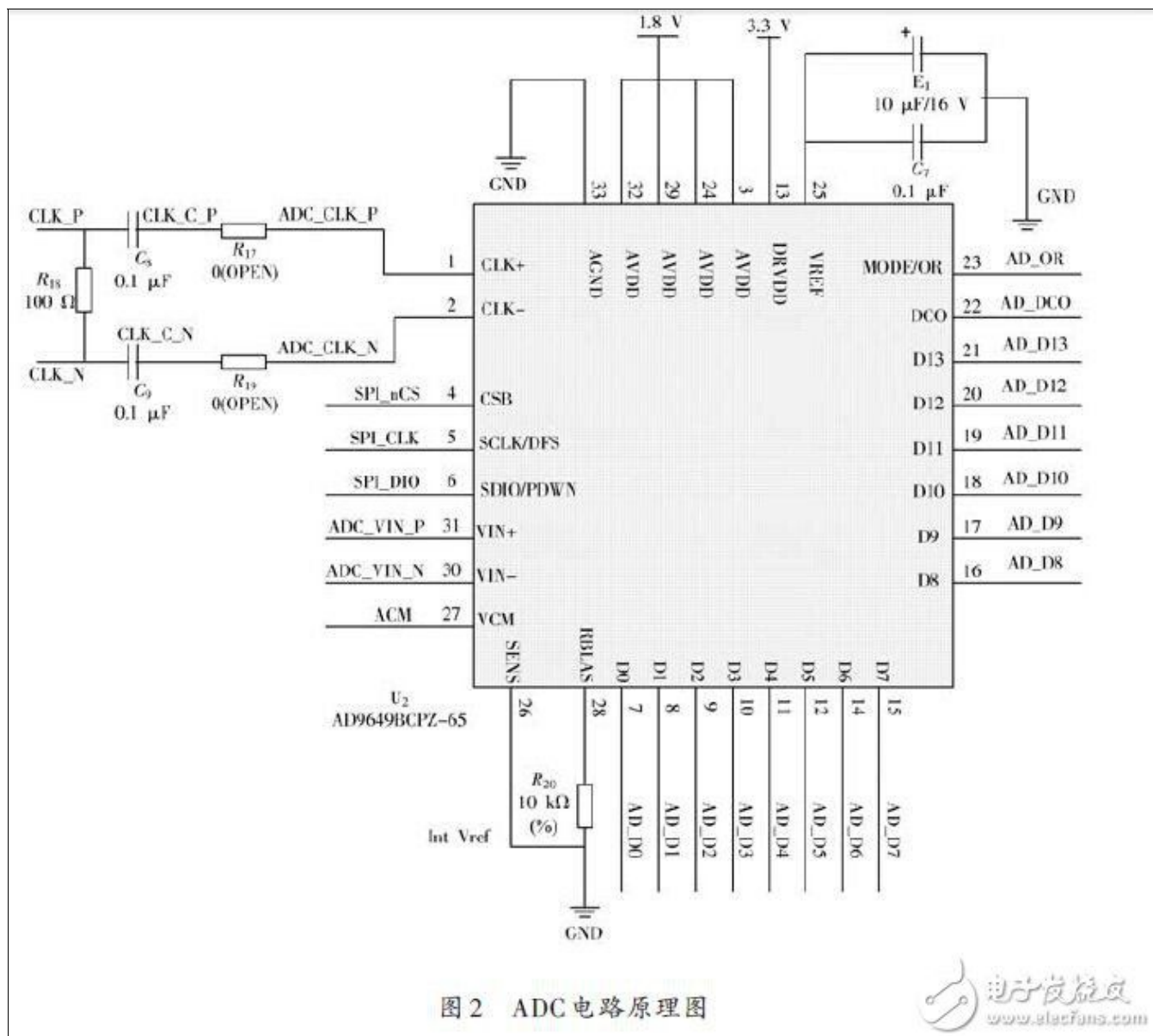


图 1 即为总体设计框图，探测器输出的核脉冲信号经前端电路简单调理后，经单端转差分，由采样率为 65 MHz 的高速 ADC 在 FPGA 的控制下进行模/数转换，完成核脉冲的数字化，并通过数字核脉冲处理算法在 FPGA 内形成核能谱，核能谱数据可通过 16 位并行接口传输至其他谱数据处理终端，也可通过 LVDS/RS 485 接口实现远程传输。特别需要注意的是，由于高速 AD 前置，调理电路应该满足宽带、高速，且电路参数能够动态调整的需要，以适应不同类型探测器输出的信号，从而更好地发挥数字化技术的优势。

前端电路

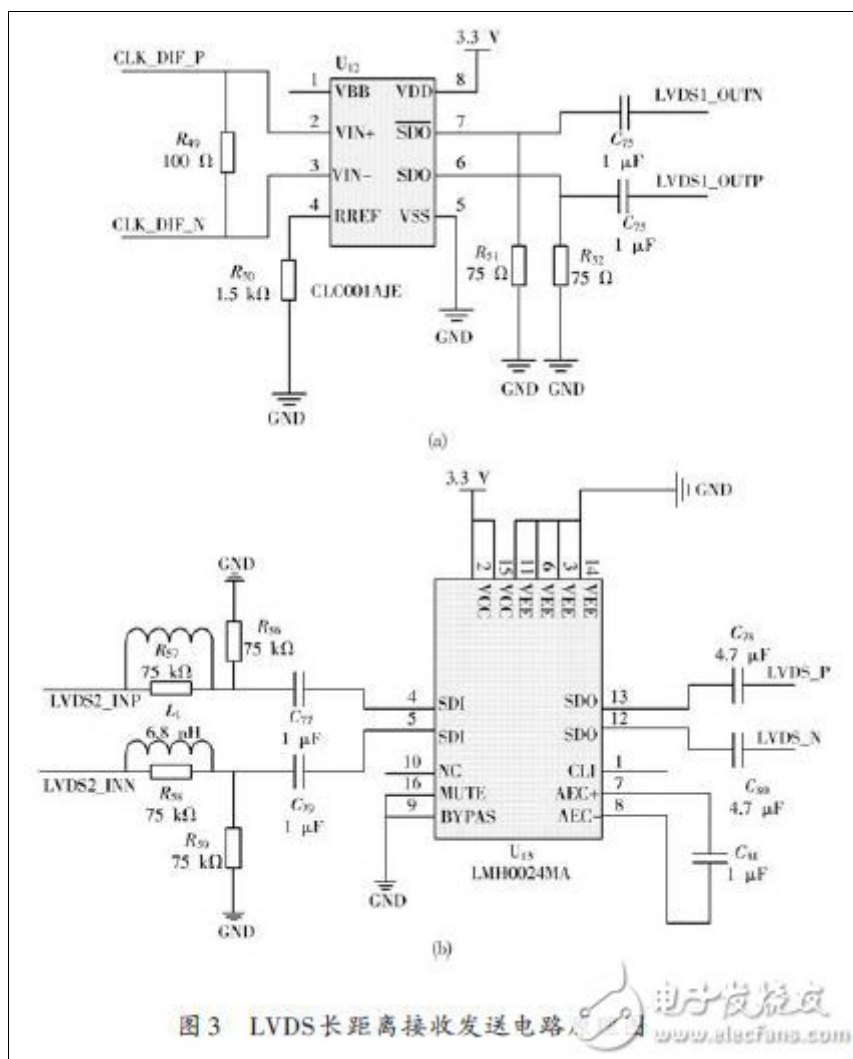
前端电路由单端转差分和高速 ADC 电路组成。差分电路由于其良好的抗共模干扰能力而应用广泛。由于调理电路输出的脉冲信号为单极性信号，若直接送入 ADC，将损失一半的动态范围。设计中在运放中加入一个适当的偏置电压，将单极性信号转换成双极性信号后再送入 ADC，以保证动态范围。将信号由单端转换成差分的同时，进行抗混叠滤波处理，完成带宽的调整。



本设计使用 AD9649 - 65 高速 ADC 实现核脉冲的模/数转换，AD9649 为 14 位并行输出的高速模/数转换器，具有功耗低、尺寸小、动态特性好等优点。当信号从探测器通过调理电路，过差分转单端电路后，以差分信号的形式进入 ADC，在差分时钟的控制下，转换成 14 位数据，进入 FPGA。该高速 A/D 在外部 FPGA 的控制下对信号进行采样。然后将采样后的数字信号送入 FPGA 中实现数字核脉冲的幅度提取。图 2 为 A/D 转换的原理图，AD9649 在差分时钟的同步下完成 A/D 转换，D0~D13 为 14 个有效输出数据位。

TOP4 揭秘 FPGA 电机测速系统经典电路

目前国内外多道脉冲幅度分析的数字化实现主要有 2 种方案：纯 DSP 方案、DSP+可编程器件方案。本文将充分发挥 FPGA 的并行处理优势，在单片 FPGA 芯片上实现核脉冲的采集与数字核脉冲处理算法，经 Quartus-II 软件仿真与综合，本文选用 EP3C40 FPGA 芯片实现多道分析器的数字化功能。



接口电路设计采用了 LVDS 和 RS485 两种长距离数据传输接口，用于实现核能谱数据的远程传输。LVDS 即低电压差分信号，是一种可以实现点对点或一点对多点的连接，具有低功耗，低误码率，低串扰，低噪声和低辐射等特点。LVDS 在对信号完整性、地抖动及共模特性要求较高的系统中得到了越来越广泛的应用。图 3 为低电压、最高数据传输速率为 655 Mb/s 的 LVDS 接口电路。

揭秘 FPGA 电机测速系统经典电路

外围电路设计

传感器将电机转速的模拟信号转换成数字脉冲信号送入 FPGA 模块。同时由基准时钟电路产生准确的时钟信号和复位电路产生的复位信号送入 FPGA 模块。再由 FPGA 模块产生分频电路、十进制计数器电路、数据处理电路和显示译码电路。由分频电路将送入的基准时钟信号进行分频，得到一个闸门信号，作为十进制计

数器的使能 信号。数据处理电路的作用是将十进制计数器得到的数据进行相应的处理后，再送入显示译码电路进行转换译码。电机测速系统的总体框图如图 1 所示。外围电路分为：基准时钟电路，复位电路，传感器测量电路和显示电路。

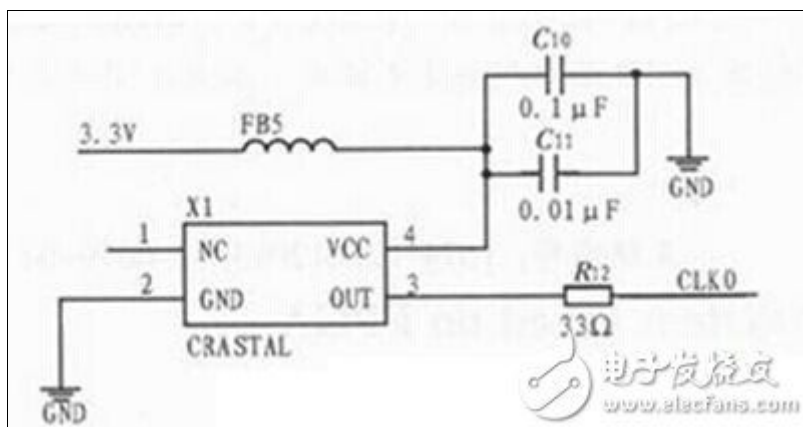


图 2 有源晶振电路图

复位按键的设计

按键作为嵌入式智能控制系统中人机交互的常用接口，我们通常会通过按键向系统输入各种信息，调整各种参数或者发出控制指令，按键的处理是一个很重要的功能模块，它关系到整个系统的交互性能，同时也影响系统的稳定性。在本次设计中，通过按键实现了 FPGA 模块的手动复位。复位按键如图 3 所示。

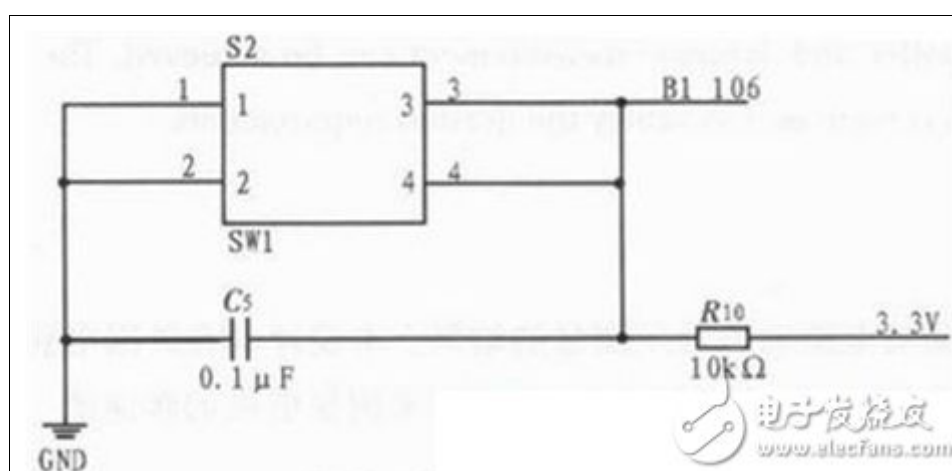
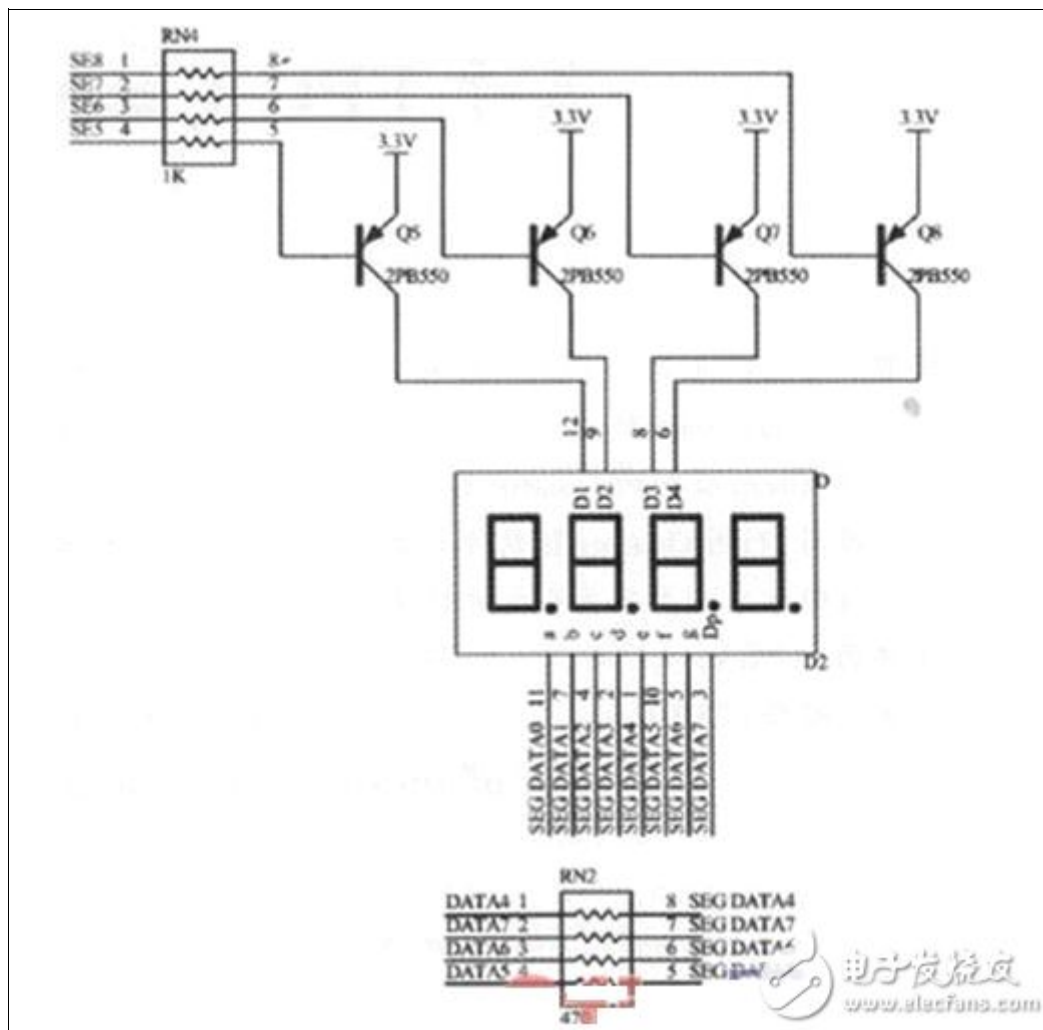


图 3 复位按键电路图

显示电路的设计

在本次设计中我们用到的显示电路如图 4 所示。



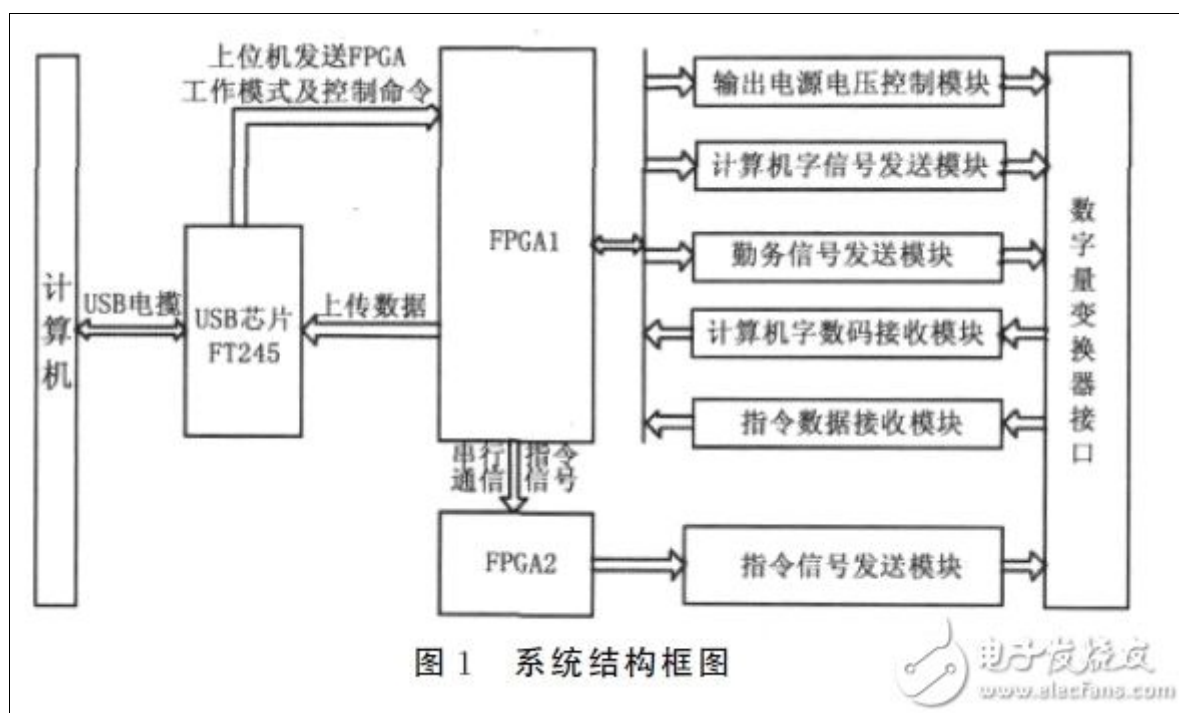
由数码管显示电路可以知道，这是共阳极数码管。当在位选端 SE1~SE4 输入低电平时，三极管导通，从而 D1~D4 接入高电平。由 a 到 DP 端输入数码管显示码，就可以得到我们所需要的数字，由位选端让数码管选择导通。

本次设计是基于 FPGA 的电机测速系统设计，利用的是 Altera 公司开发的 Quartus II 软件作为设计平台，可以在 FPGA 开发板上实现测量由传感器转换得到的脉冲信号，并且通过计算得到电机转速值。在本次设计中，还可以进行一些扩展，可以添加报警电路，设定一个报警值，当测量的转速值大于这个报警值时，就可以让蜂鸣器报警或数码管点亮。

TOP5 FPGA 数字变换器控制电路设计攻略

系统结构和工作原理

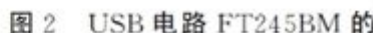
系统设计时，采用模块化设计的思想，按照技术指标设计各个功能模块，通过各模块之间的协调配合完成系统的测试任务。系统的整体结构框图如图 1 所示，整个系统由计算机、USB 芯片 FT245、两片 FPGA、输出电源电压控制模块、计算机字信号发送模块、勤务信号发送模块、计算机字数码与指令数码接收模块和指令信号发送模块组成。模块化设计能够使在进行系统调试和硬件编程时，简单、快速的定位并解决问题。



硬件电路选用 XILINX 公司的 XC3S200-208 和 XC2S100-208 两片 FPGA 作为系统的逻辑控制中心，其中 XC3S200-208 作为主控芯片，主要实现对上位机的命令接收和判断，进而产生和发送计算机字信号，接收计算机字数码和指令数码并编帧、上传数据至上位机；XC2S100-208 作为从控制芯片，完成 128 路指令信号的发送；两片 FPGA 之间采用串行通信的方式发送控制命令来实现通讯。另外，通过上位机软件可以实现向系统发送复位或停止命令，这样能够减少硬件的功耗并提高测试系统的工作效率。

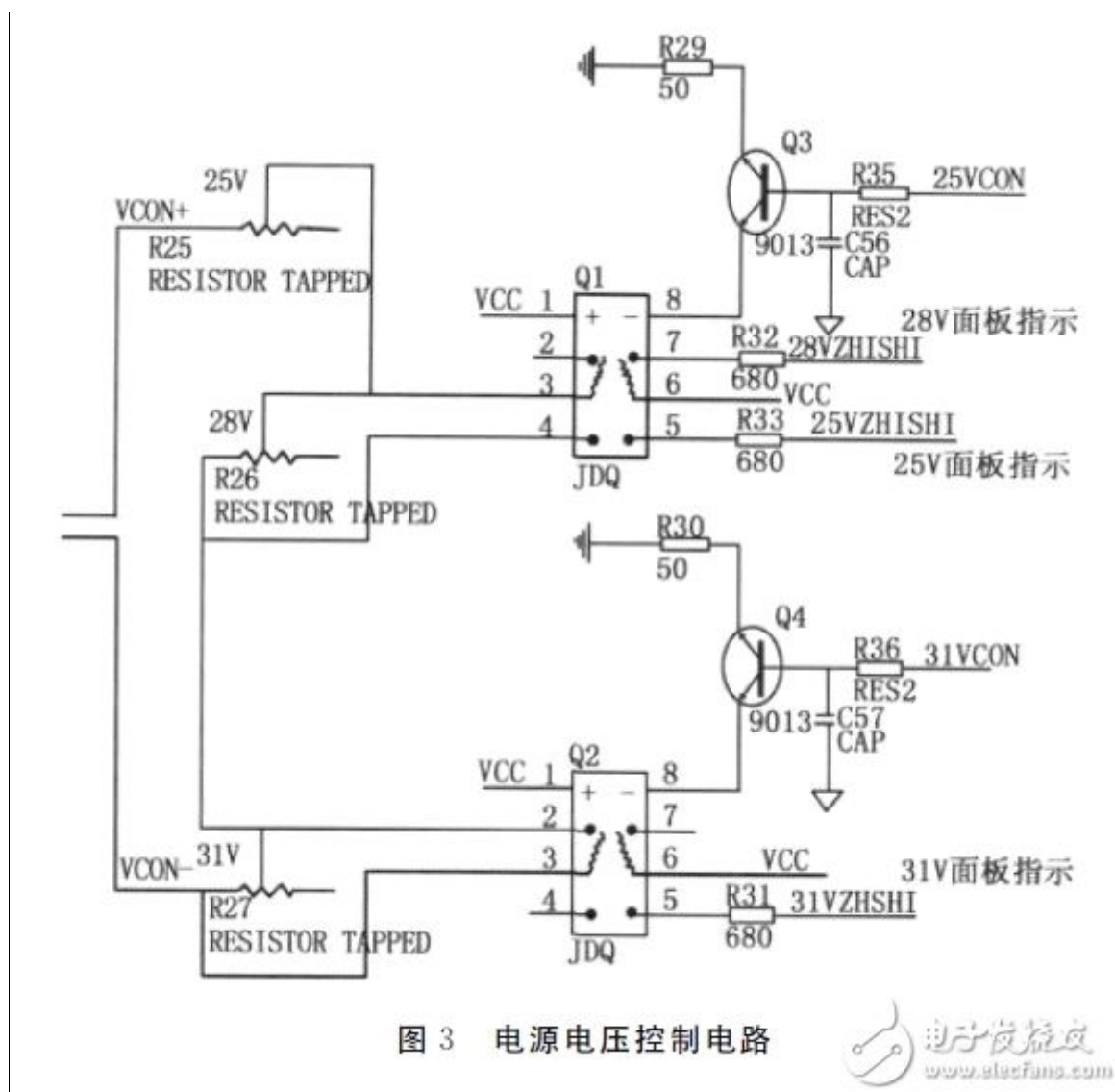
USB 接口模块实现

USB 具有成本低、通用性好、连接简单、支持热拔插等特点，而从系统实际的速率传输要求出发，设计采用通用 USB 接口芯片 FT245BM 实现与上位机的通信。FT245BM 主要的功能是在内部逻辑的作用下实现数据串/并双向转换，它的最大传输速率可以达到 M/s。FT245BM 免去了复杂的固件编程及驱动程序的编写，能够简化 USB 的接口设计，为系统节省设计时间。



输出电源电压控制模块实现

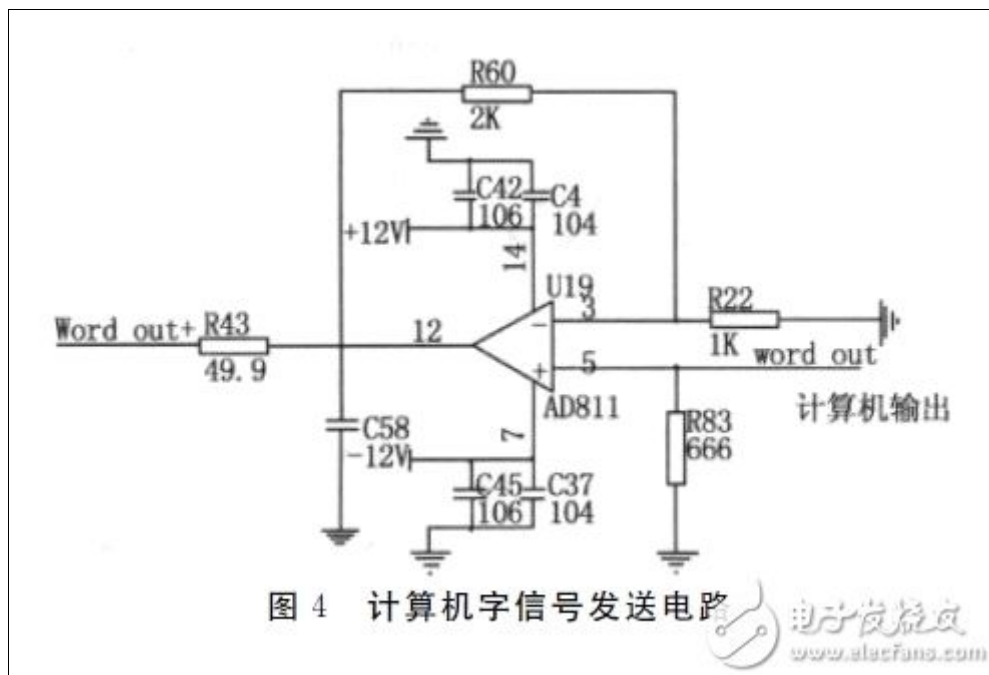
由于需要为被测数字量变换器提供 3 档工作电压 25V、28V、31V, 在电源模块输出端连接三种不同阻值的电阻, 就可以实现 3 种电压的切换, 实现控制的电路如图 3 所示。



图中 VCON+, VCON- 为电源模块的输入电压, R25、R26、R27 三组电位器用来调节电阻。25VCON、31VCON 分别与 FPGA 的 I/O 相连, 是 FPGA 给出的控制信号, 电路中三极管的作用是利用其电流放大来增加信号的驱动能力。通过 FPGA 对控制命令的判断来实现 3 档电压的控制。此外, 系统的默认及复位的输出电压为 28V。

计算机字信号发送模块实现

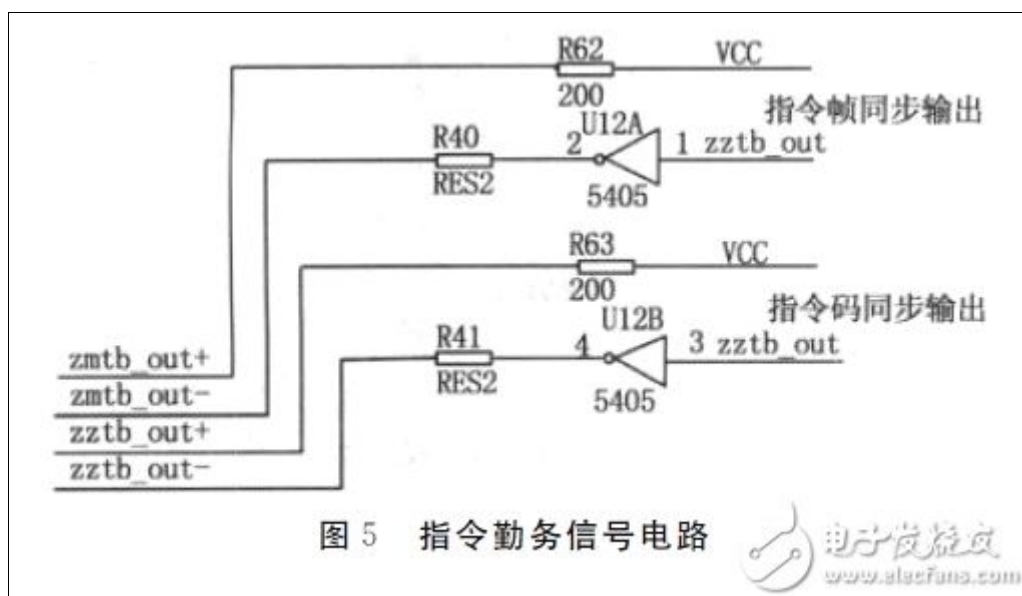
由于要求计算机字和移位脉冲的幅值都为 8~10V, 所以电路中采用运算放大器电路对 FPGA 输出的信号进行放大来获取所需幅值的信号。计算机字信号发送电路如图 4 所示。



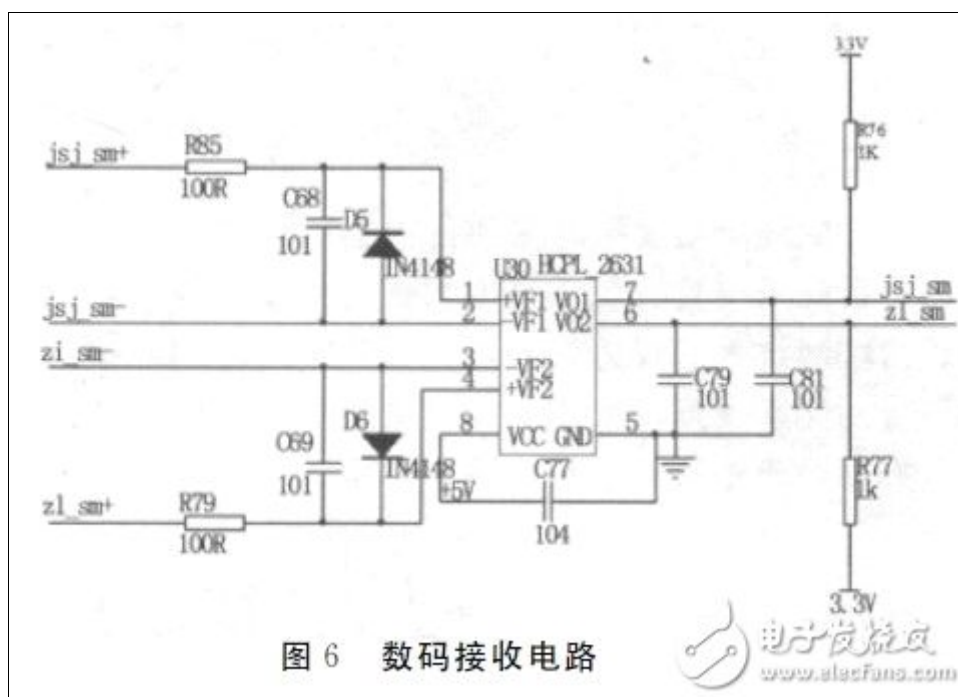
为了满足输出信号的精度和电流驱动能力的要求，本模块中采用 AD 公司的运放 AD811 来设计电路。此运算放大器是高速运放，采用双电源供电，2500V/us 是其最高转换速率，具有较低的电流、电亚噪声。设计中采用同相放大电压串联型负反馈电路，输出电压稳定并且反馈效果好。电路中 R83 的接地是为了尽量减小由于偏置电流引起的电压失调，其阻值等于 R22 和 R60 的并联阻值，为 $R22 // R60 = 666 \Omega$ 。

TOP6 勤务信号发送模块实现

计算机字信号和指令信号都有相应的勤务信号来满足时序要求，一般勤务信号就是指帧、码同步信号，对其他信号的产生和接收起到时序基准同步的作用。指令 勤务信号的电路原理如图 5 所示。计算机字勤务信号与其原理相同。根据系统的信号输出要求，即帧、码同步信号的幅值和电流驱动能力的要求，采用非门芯片 SN5405J 作为驱动电路来满足设计要求。



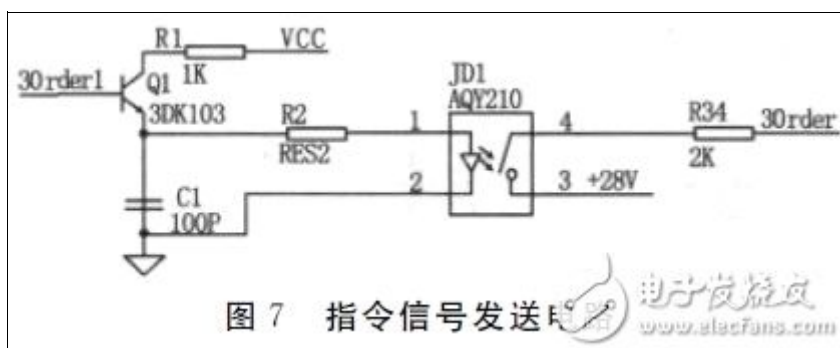
数码接收模块实现测试系统需要接收经变换器处理之后的信号，变换器以数码方式回传给测试系统，包括计算机数码和指令数码，两者的接收原理相同。设计采用光耦隔离的方式对数码信号进行接收，其电路原理图如图 6 所示。



光电耦合器采用 TI 公司的 HCPL-2631，它具有电绝缘能力和抗干扰能力，并且能有效的抑制各种噪声和尖峰脉冲干扰。它的两个输入端分别接收计算机字数码和指令数码，其中在光耦输入端连接的二极管作用是用来防止信号反跳造成内部二极管烧坏。

指令信号发送模块实现

指令信号是指一种断开或闭合的开关量信号。此模块的 128 路指令信号全部采用光耦继电器来实现，依据参数要求选择 AQY210 作为控制开关的器件，它的特点是耐高压，反应速度快，使用时间长。其单路指令信号发送电路原理如图 7 所示。

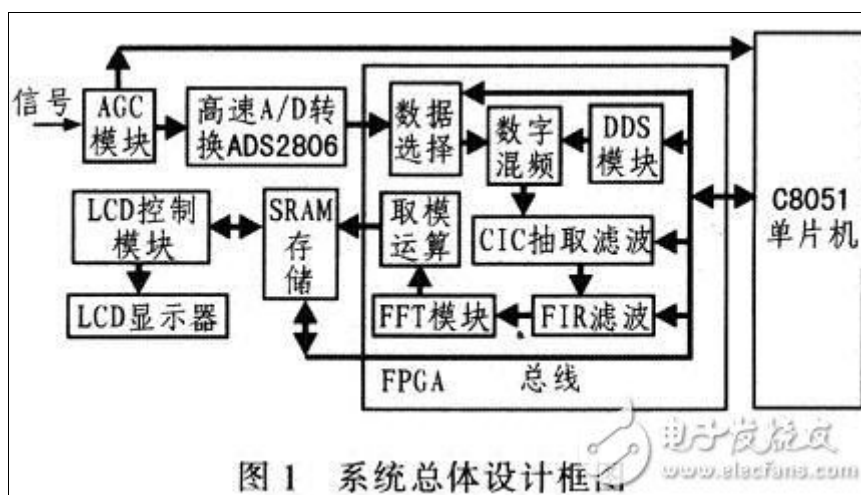


由于指令信号的路数比较多，如果 FPGA 的 I/O 口输出直接驱动 AQY210，势必会增加 FPGA 的功耗。因此采用三极管对 FPGA 的输出信号进行电流放大来提高控制信号的驱动能力。本设计采用 NPN 型三极管

3DK103, 图中 3order1 是 FPGA 的输出信号, 其为 ‘0’ 时, 三极管截止; 其为 ‘1’ 时, 三极管处于电流放大, 流经光继电器发光管的电流 13mA 足以使 AQY210 导通。

设计方案

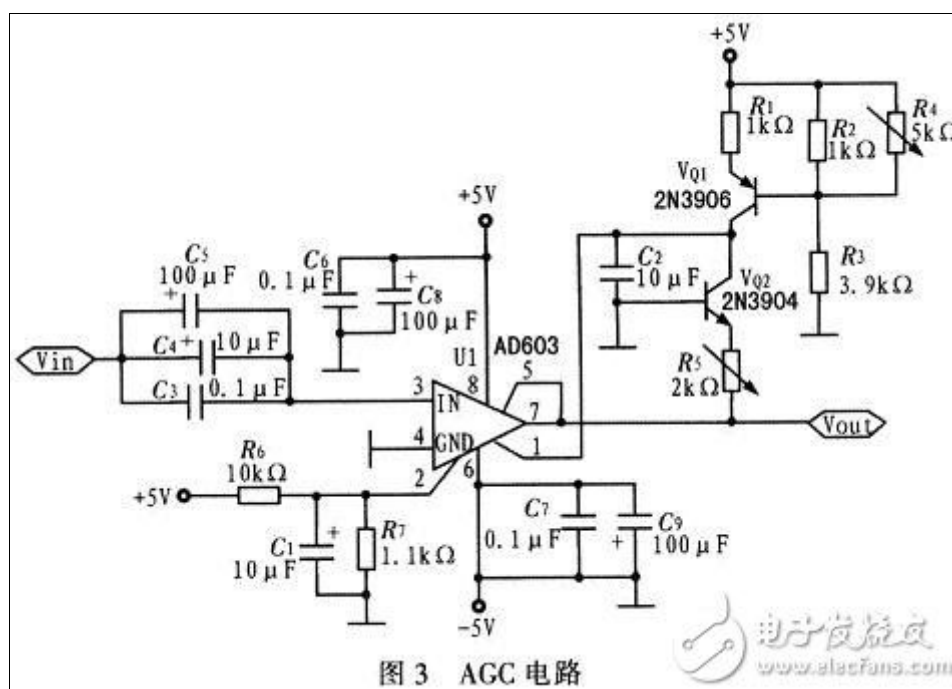
图 1 为系统设计总体框图。该系统采用 C8051 系列单片机中的 C8051F121 作为控制器, Cvc1oneIII 系列 EP3C40F484C8 型 FPGA 为数字信号算法处理单元。系统设计遵循抽样定理, 在时域内截取一段适当长度信号, 对其信号抽样量化, 按照具体的步骤求取信号的频谱, 并在 LCD 上显示信号的频谱, 同时提供友好的人机对话功能。该系统最小分辨率为 1 Hz, 可分析带宽为 0~5 MHz 的各种信号。



TOP7 采用 FPGA 频谱分析仪系统电路

AGC 电路

输入信号经高速 A / D 采样，信号幅度必须满足 A / D 的采样范围，最高为 2-3V，因此该系统设计应加 AGC 电路。AGC 电路采用 AD603 型线性增益放大器。图 3 为 AGC 电路。



A / D 转换电路

ADS2806 是一款 12 位 A / D 转换器，其特点为：无杂散信号动态范围 (SFDR) 为 73 dB；信噪比 (SNR) 为 66 dB；具有内部和外部参考时钟；采样速率为 32 MS / s。图 4 为 ADS2806 的电路。为使 A / D 转换更稳定，在 A / D 转换器的电源引脚上增加滤波电容，抑制电源噪声。该电路结构简单，在时钟 CLK 的驱动下，数据端口实时输出数据，供 FPGA 读取。

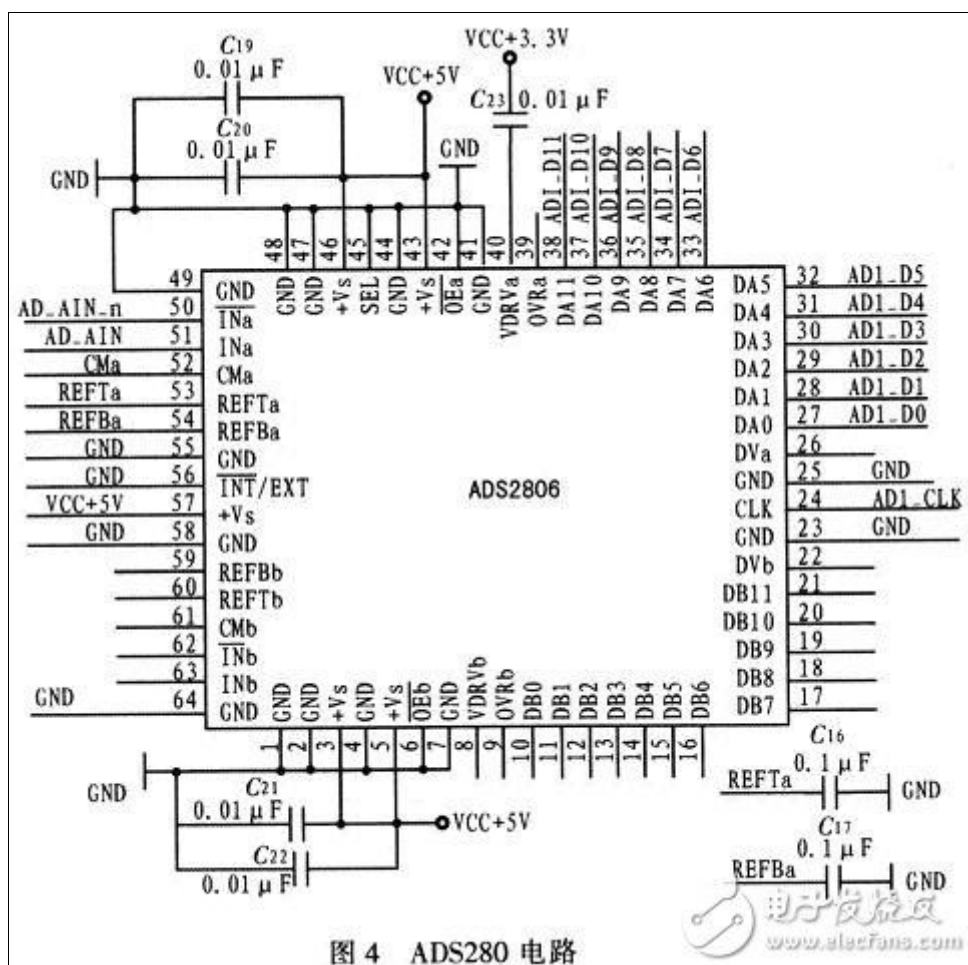
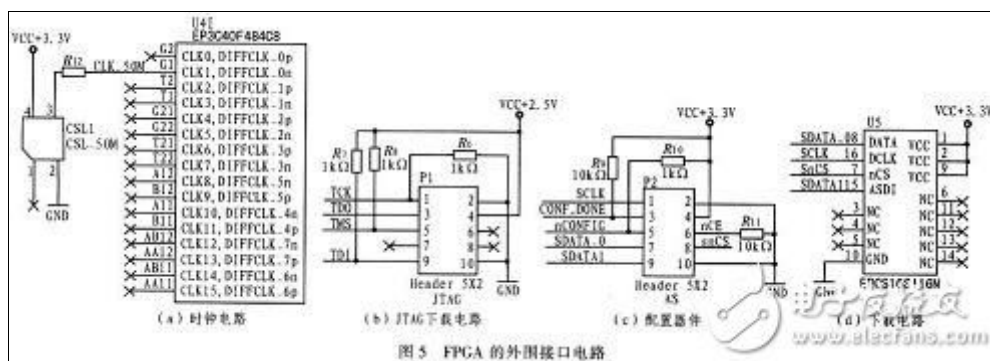


图4 ADS280 电路

FPGA 及外围接口模块

选用 CycloneIII 系列 EP3C40F484 型 FPGA，该器件内部有 39 600 个 LE 资源，有 1 134 000 bit 的存储器，同时还有 126 个乘法器和 4 个 PLL 锁相环。由于该器件内部有大量资源，因而可满足其内部实现数字混频、数字滤波、以及 FFT 运算。FPGA 正常工作时，主要需要的外部接口有：时钟电路、JTAG 下载电路、配置器件及下载电路。图 5 为 FPGA 的外围接口电路。

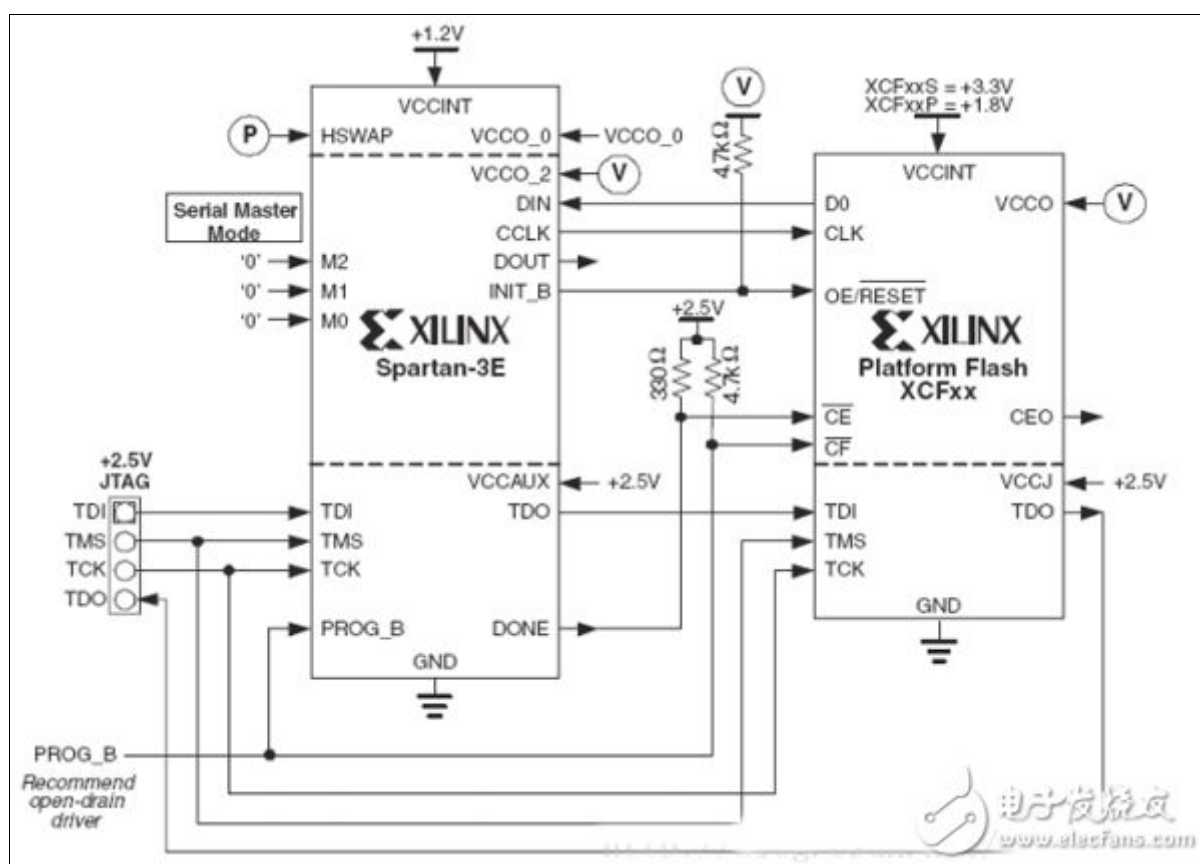


TOP8 FPGA 开发配置模式电路设计精华集锦

FPGA 共有四种配置模式：从串模式（Slave Serial），主串模式（Master Serial），从并模式（Slave Parallel/SelectMap）以及边界扫描模式（Boundary-Scan）。具体的配置模式由模式选择引脚 M2、M1、M0 决定。不同的配置模式所对应的 M2、M1、M0，配置时钟的方向以及相应的数据位宽。

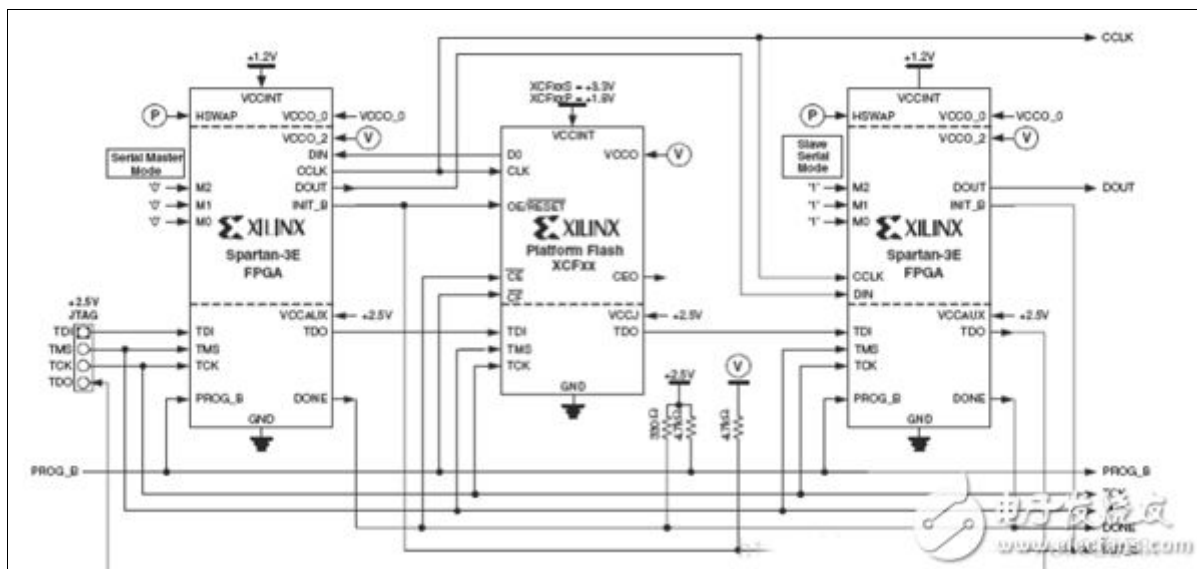
主串模式——最常用的 FPGA 配置模式。

在主串模式下，由 FPGA 的 CCLK 管脚给 PROM 提供工作时钟，相应的 PROM 在 CCLK 的上升沿将数据从 D0 管脚送到 FPGA 的 DIN 管脚。无论 PROM 芯片类型（即使其支持并行配置），都只利用其串行配置功能。



主串配置电路最关键的 3 点就是 JTAG 链的完整性、电源电压的设置以及 CCLK 信号的考虑。

多片 FPGA 通信：



SPI 串行 Flash 配置模式：

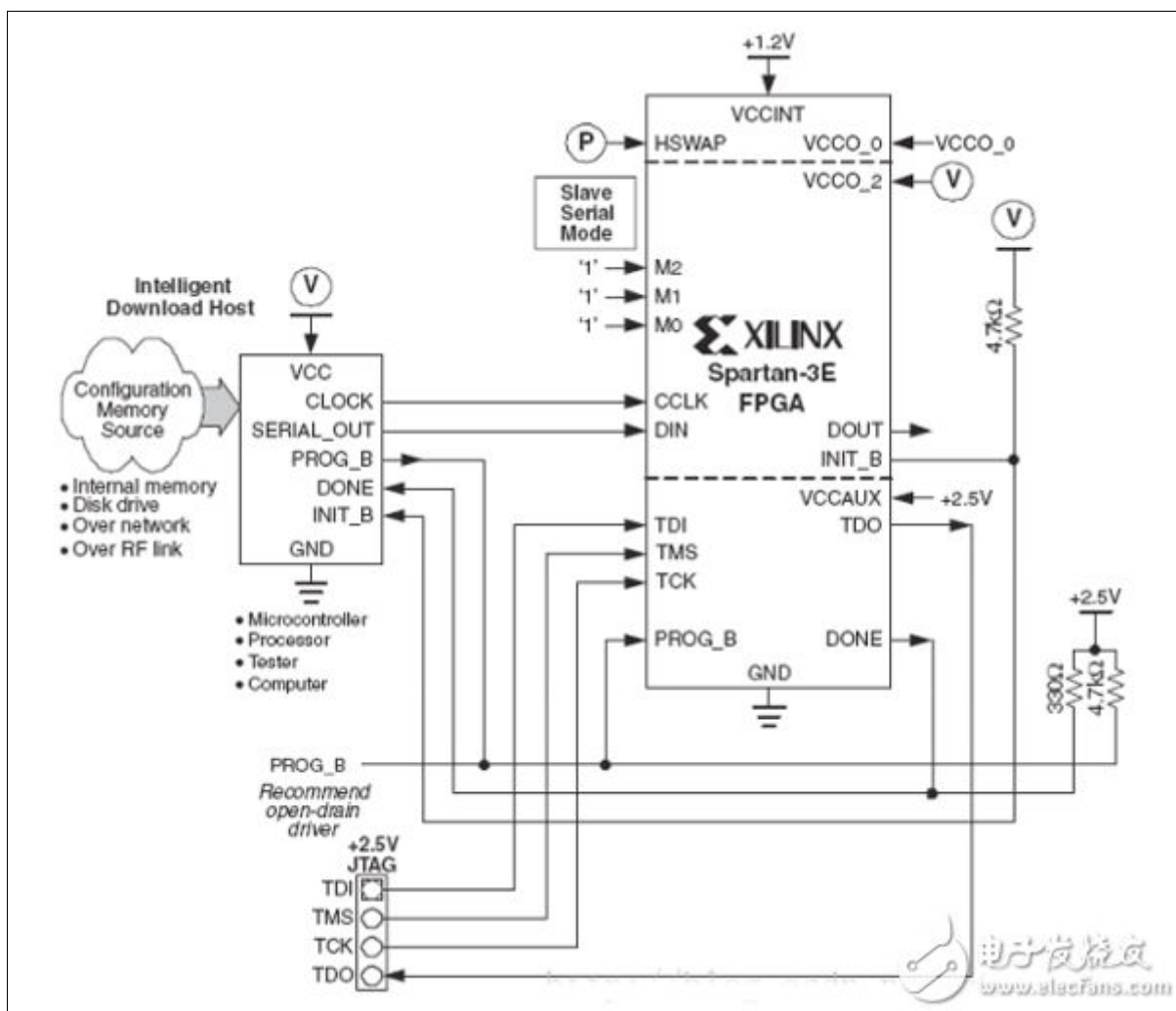
串行 Flash 的特点是占用管脚比较少，作为系统的数据存贮非常合适，一般都是采用串行外设接口（SPI 总线接口）。

SPI 接口信号名	信号功能描述
SCLK	SPI 接口工作的串行时钟
MOSI	从主机到从机的数据信号，用于将主机的执行代码和数据发送到从机上
MISO	从从机到主机的数据信号，用于收集从机的所传输的数据信号
SS_n	从机片选信号，低电平有效。当其为高电平时，放弃对从机的控制，并将 MISO 端口置为高阻状态

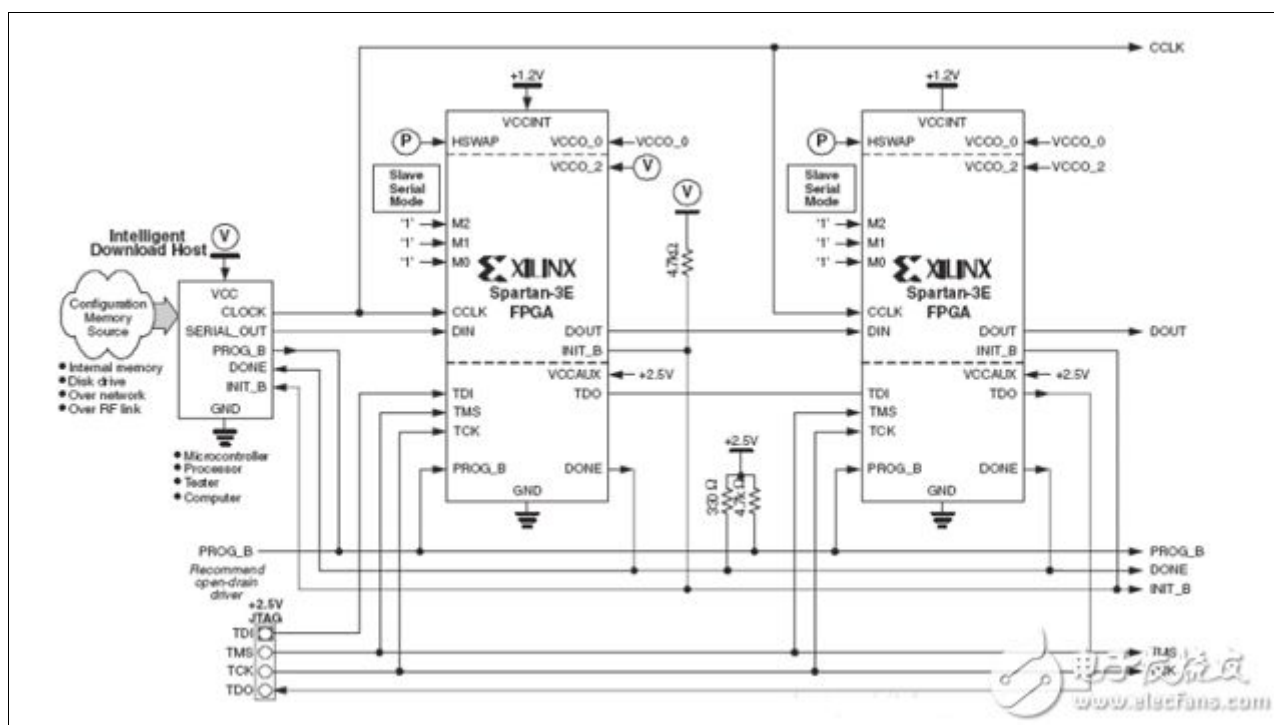
FPGA 通过 SCLK 控制双方通信的时序，在 SS_n 为低时，FPGA 通过 MOSI 信号线将数据传送到 FLASH，在同一个时钟周期中，FLASH 通过 SOMI 将数据传输到 FPGA 芯片。无论主、从设备，数据都是在时钟电平跳转时输出，并在下一个相反的电平跳转沿，送入另外一个芯片。在串行模式下，需要微处理器或微控制器等外部主机 通过同步串行接口将配置数据串行写入 FPGA 芯片，其模式选择信号 M[2:0]=3'b111。

TOP9 重串模式的多片 FPGA 通信

DIN 输入管脚的串行配置数据需要在外部时钟 CCLK 信号前有足够建立时间。其中单片 FPGA 芯片构成了完整的 JTAG 链，仅用来测试芯片状态，以及支持 JTAG 在线调试模式，与从串配置模式没有关系。外部主机通过下拉 PROG_B 启动配置并检测 INIT_B 电平，当 INIT_B 为高时，表明 FPGA 做好准备，开始接收数据。此时，主机开始提供数据和时钟信号直到 FPGA 配置完毕且 DONE 管脚为高，或者 INIT_B 变低表明发生配置错误才停止。整个过程需要比配置文件大小更多的时钟周期，这是由于部分时钟用于时序建立，特别当 FPGA 被配置为等待 DCM 锁存其时钟输入。



以下是重串模式的多片 FPGA 通信：



JTAG 配置模式：

将模式配置管脚设置为 JTAG 模式，即 $M[2:0] = 3'b101$ 时，FPGA 芯片上电后或者 PROG_B 管脚有低脉冲出现后，只能通过 JTAG 模式配置。JTAG 模式不需要额外的掉电非易失存储器，因此通过其配置的比特文件在 FPGA 断电后即丢失，每次上电后都需要重新配置。由于 JTAG 模式已更改，配置效率高，是项目研发阶段必不可少的配置模式。



The diagram illustrates the hardware connection between three main components: a CompactFlash Device, an ACE Controller, and a Xilinx FPGA Target Chain.

- CompactFlash Device:**
 - Inputs: V_{CC} (5.1 k Ω), V_{CC} (5.1 k Ω), $CFRSET$ (1.0 k Ω), $CSEL$ (1.0 k Ω).
 - Outputs: $D(15:0)$, $A(10:0)$, $CE1$, $CE2$, WE , \overline{OE} , $WAIT$, REG , $CD1$, $CD2$.
- ACE Controller:**
 - Inputs: $CFD(15:0)$, $CFA(10:0)$, $\overline{CFCE1}$, $\overline{CFCE2}$, \overline{CFWE} , \overline{CFOE} , \overline{CFWAIT} , \overline{CFREG} , $\overline{CFCD1}$, $\overline{CFCD2}$.
 - Outputs: $CFRSVD$ (5.1 k Ω), $ERILED$ (180 Ω), $STATLED$ (180 Ω), $RESET$ (180 Ω).
- Xilinx FPGA Target Chain:**
 - Inputs: TMS , TCK , TDO , TDI , $PROGRAM$, $INIT$.

The connections between the components are as follows:

- CompactFlash Device to ACE Controller:**
 - $D(15:0)$ to $CFD(15:0)$
 - $A(10:0)$ to $CFA(10:0)$
 - $CE1$ to $\overline{CFCE1}$
 - $CE2$ to $\overline{CFCE2}$
 - WE to \overline{CFWE}
 - \overline{OE} to \overline{CFOE}
 - $WAIT$ to \overline{CFWAIT}
 - REG to \overline{CFREG}
 - $CD1$ to $\overline{CFCD1}$
 - $CD2$ to $\overline{CFCD2}$
- ACE Controller to CompactFlash Device:**
 - $CFRSVD$ (5.1 k Ω) to V_{CC}
 - $ERILED$ (180 Ω) to V_{CC}
 - $STATLED$ (180 Ω) to V_{CC}
 - $RESET$ (180 Ω) to $CFRSET$
- ACE Controller to Xilinx FPGA Target Chain:**
 - $CFG TMS$ to TMS
 - $CFG TCK$ to TCK
 - $CFG TDI$ to TDI
 - $CFG TDO$ to TDO
 - $CFG PROG$ to $PROGRAM$
 - $CFG INIT$ to $INIT$

System ACE 可在一个系统内，甚至在多个板上，对赛灵思的所有 FPGA 进行配置，使用 Flash 存储卡或微硬盘保存配置数据，通过 SystemACE 控制器把数据配置到 FPGA 中。目前，SystemACE 有 SystemACE CF (Compact Flash)、System ACE SC (Soft Controller) 以及 System ACE MPM (Muti-Package Module) 三种。

TOP10 FPGA 芯片最小系统电路设计攻略

FPGA 是英文 Field Programmable Gate Array 的缩写，即现场可编程门阵列。FPGA 利用它的现场可编程特性，将原来的电路板级产品集成为芯片级产品，缩小体积，缩短系统研制周期，方便系统升级，具有容量大、逻辑功能强，提高系统的稳定性的同时兼有高速、高可靠性。可以在数字系统设计中完全由用户通过软件进行配置和编程，从而完成某种特定的功能。要研究的是 Altera 公司推出的一款 FLEX10K 系列芯片，通过学习该芯片的工作原理和使用特性，设计一个基于 FLEX10K 芯片的最小系统，通过对该最小系统的设计让大家能够更好的了解 FPGA，并对其产生浓厚的兴趣，为更多想要了解学习 FPGA 的人们做个很好的开头。

复位和晶振电路原理图设计

一个芯片，尤其是可编程芯片，通常在上电的瞬间需要一个短暂的时间进行内部参数的初始化，这个时候芯片无法立即进入工作状态。通常称上电初始化这些工作为复位，完成这个功能的电路称之为复位电路。本 FPGA 芯片使用的是低电平复位，支持上电复位和手动复位，RESET 按下之后产生低电平。

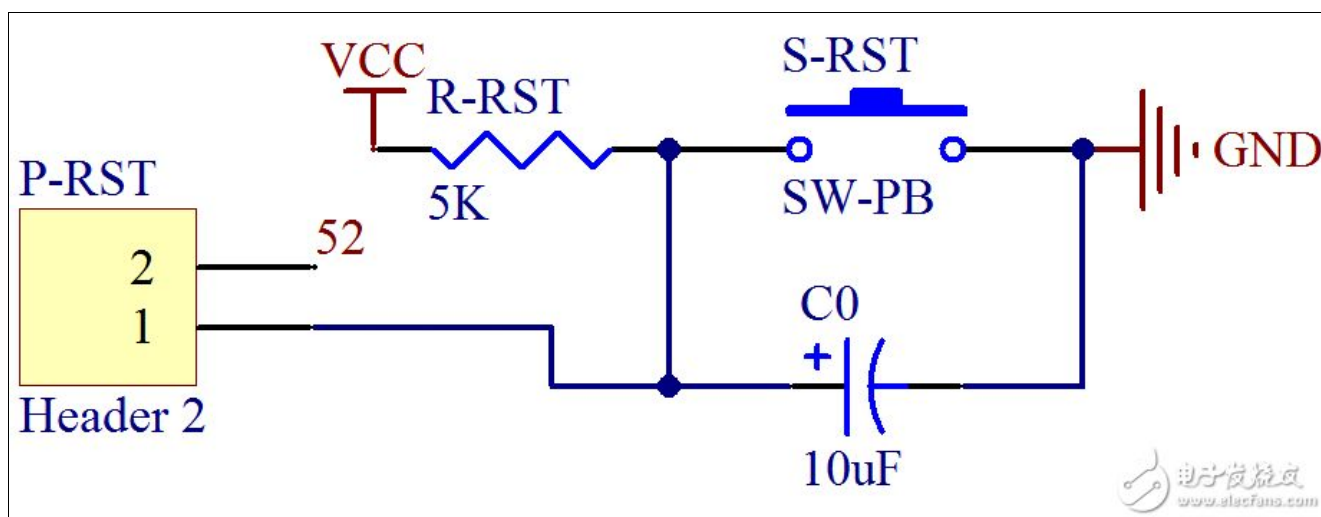


图 4-2 复位电路原理图设计

晶振是为电路提供频率基准的元器件，通常分成有源晶振和无源晶振两个大类，无源晶振需要芯片内部有振荡器，并且晶振的信号电压根据起振电路而定，允许不同的电压，但无源晶振通常信号质量和精度较差，需要精确匹配外围电路（电感、电容、电阻等），如需更换晶振时要同时更换外围的电路。有源晶振不需要芯片的内部振荡器，可以提供高精度的频率基准，信号质量也较无源晶振要好。本 FPGA 芯片采用 50MHZ 的有源贴片晶振作为芯片工作的时钟输入（图 4-3）。

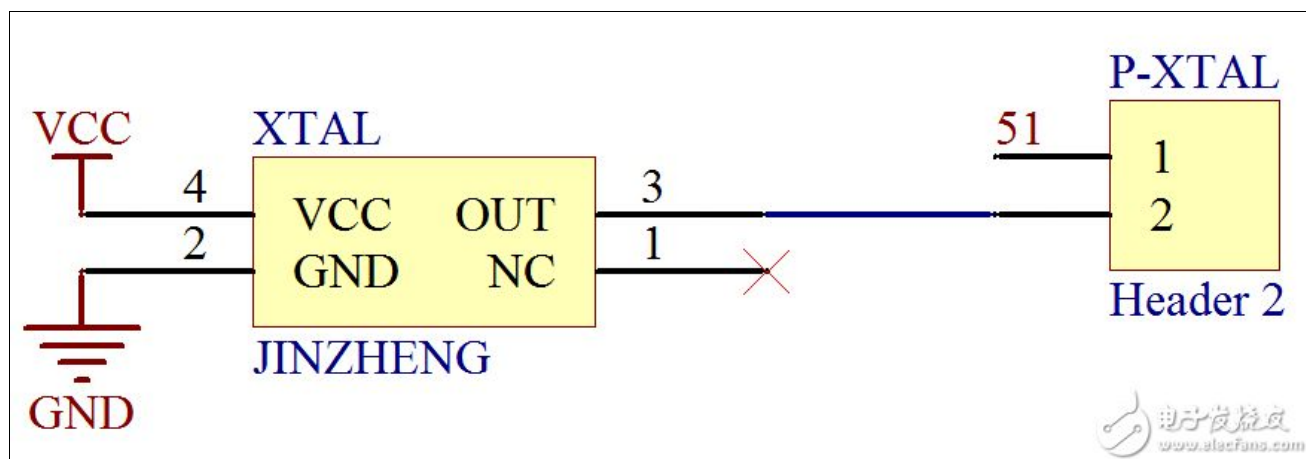


图 4-3 晶振电路原理图设计

蜂鸣器电路原理图设计

电路很简单，需要说明的是开发板上使用的是高品质的蜂鸣器，需要脉冲控制其发声。电路图中的晶体管当作开关来使用，当 I/O 提供的驱动能力不够的时候，晶体管能增强驱动能力。低电平有效（图 4-4）。

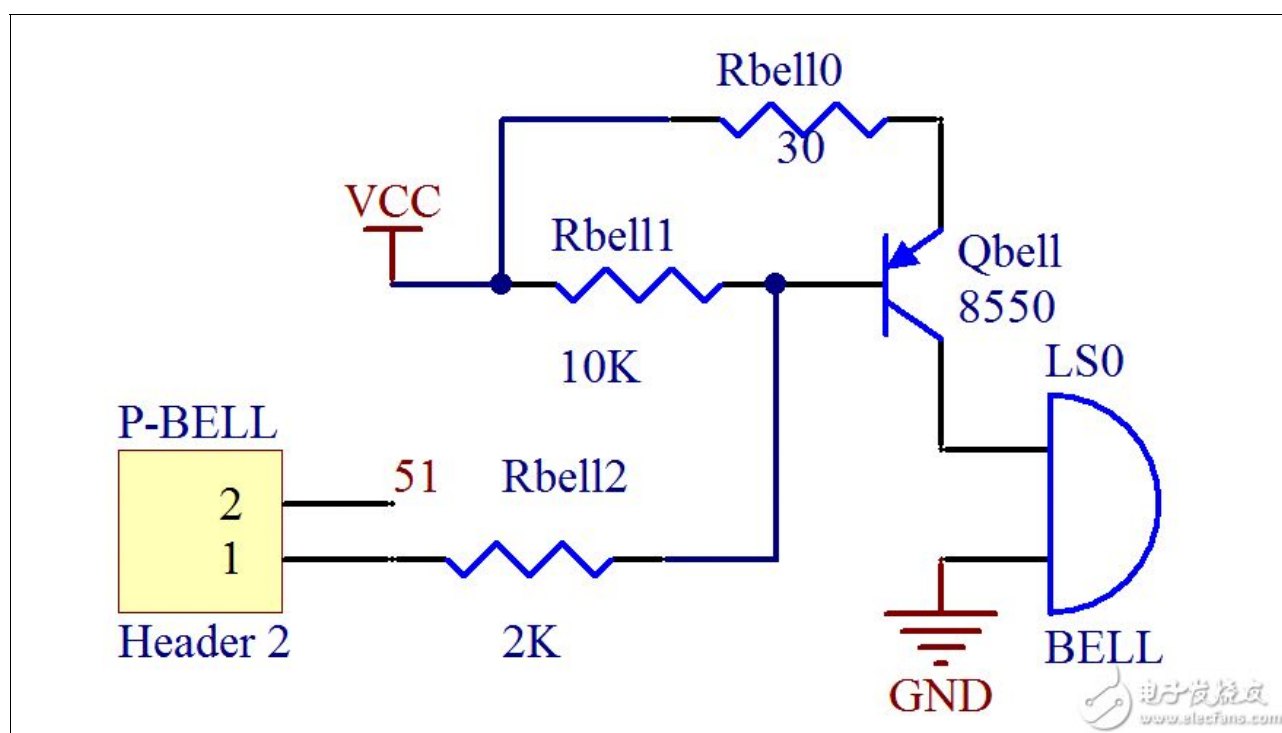


图 4-4 蜂鸣器电路原理图设计

开关电路原理图设计

最小系统板上使用的四腿按键实际上是分两组，每组中的两个是相通的，而两组直接是通过上面的按钮来控制通断状态的。简单理解成开关就可以了，按下去两端就形成短路，松开手就形成开路。短路相当于输入 0，开路为 1。另外需要说明的是，由于按键属于机械开关，按动过程不可避免存在抖动的现象，所以用户按下 按键的时间可以稍微长一点（图 4-5）。

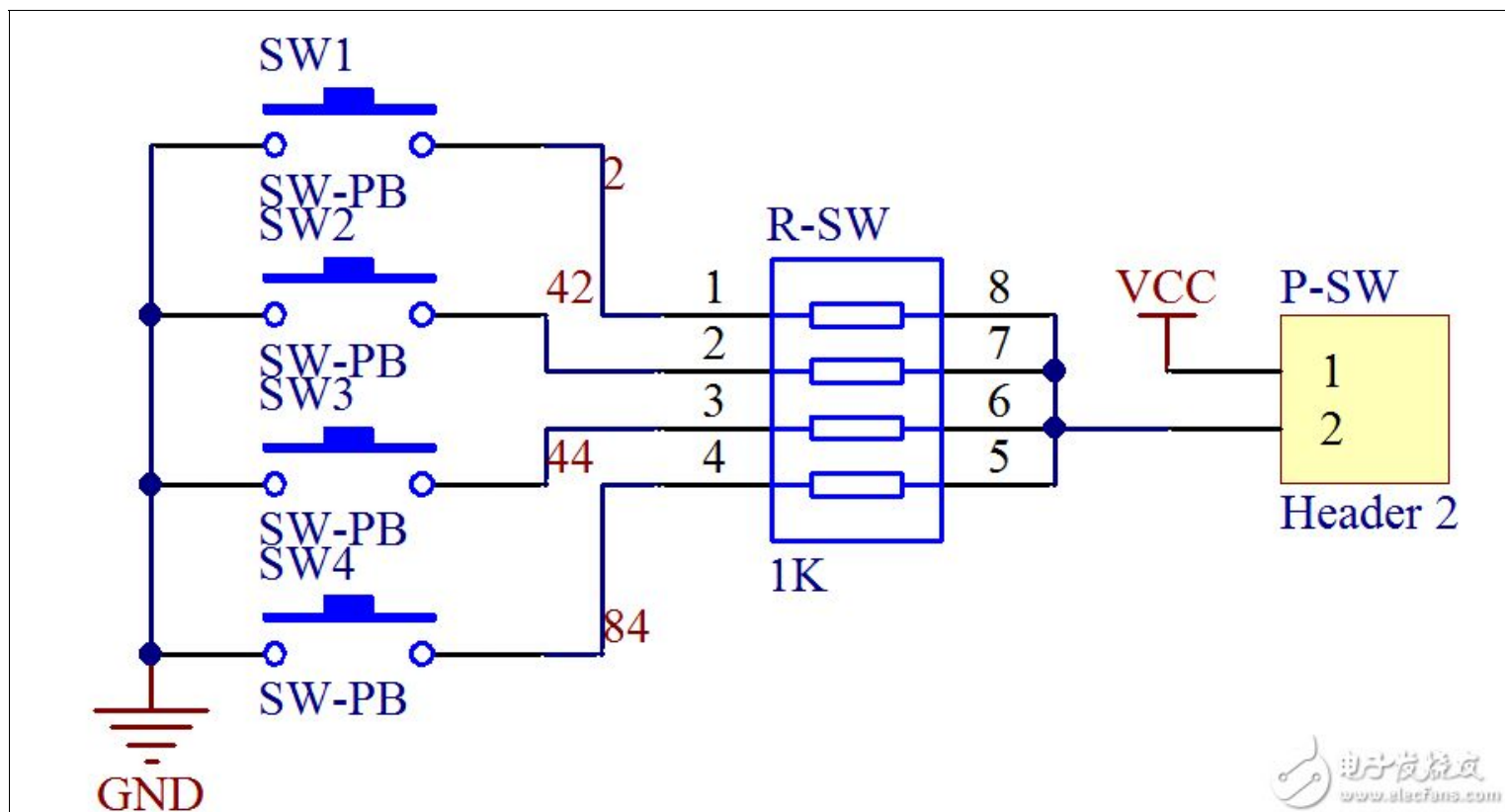


图 4-5 按键开关电路原理图设计

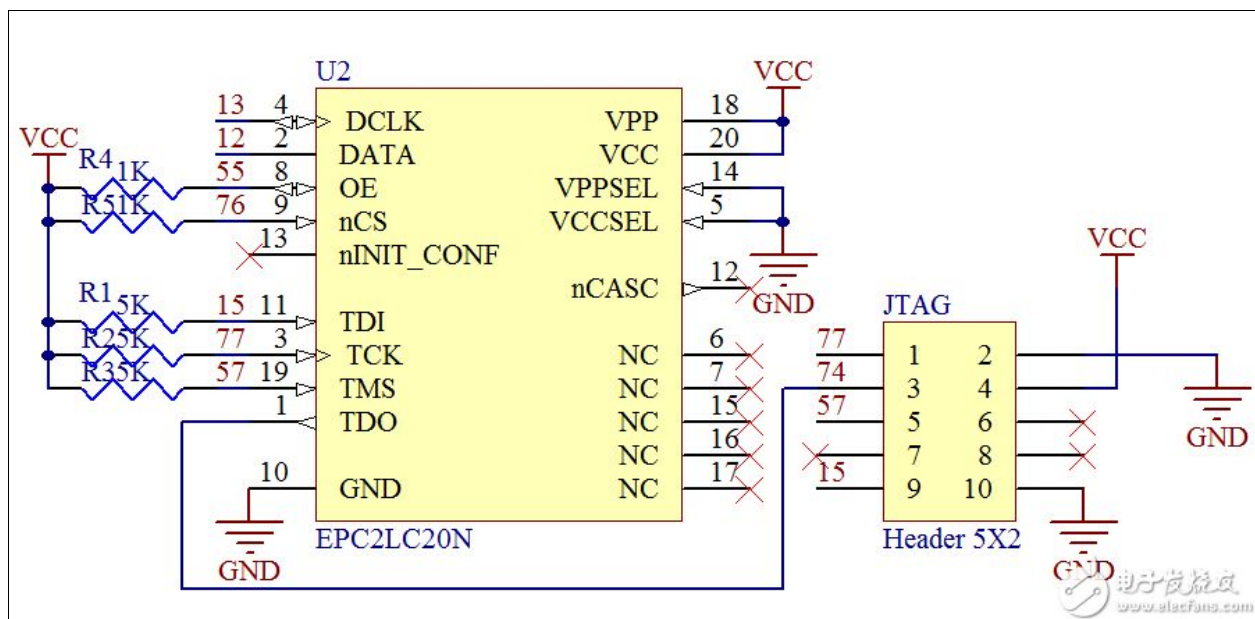


图 4-13 JTAG 模式配置电路原理图设计

D 型并口下载线电路原理图设计

此下载线是由一个 D 型 25 针的并口与计算机相连接，10 针的一端与电路板相连接，数据的下载通过计算机直接配置，此下载线可以支持 2.5V、3.3V 及 5.0V 电压的下载模式，是一种可以通用型的下载线（图 4-15）。

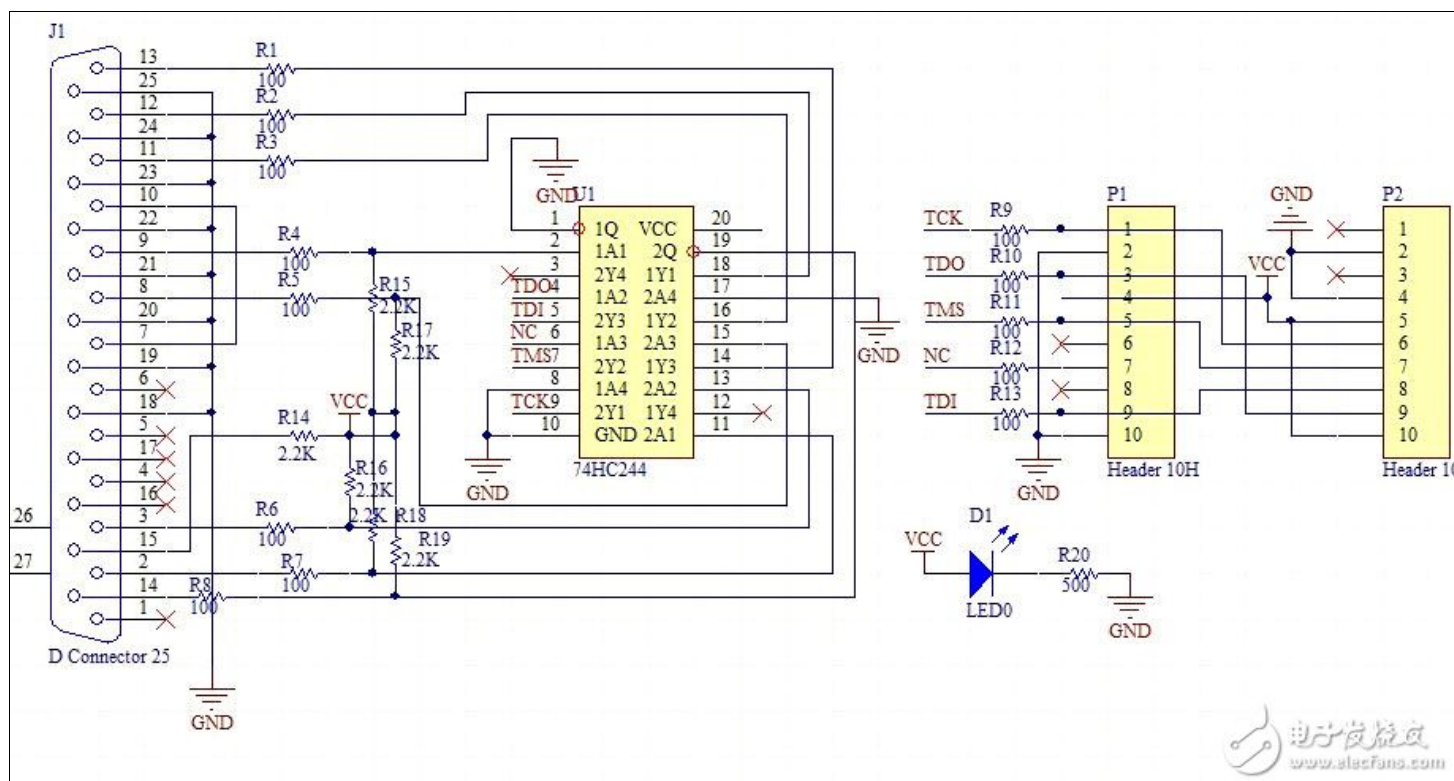
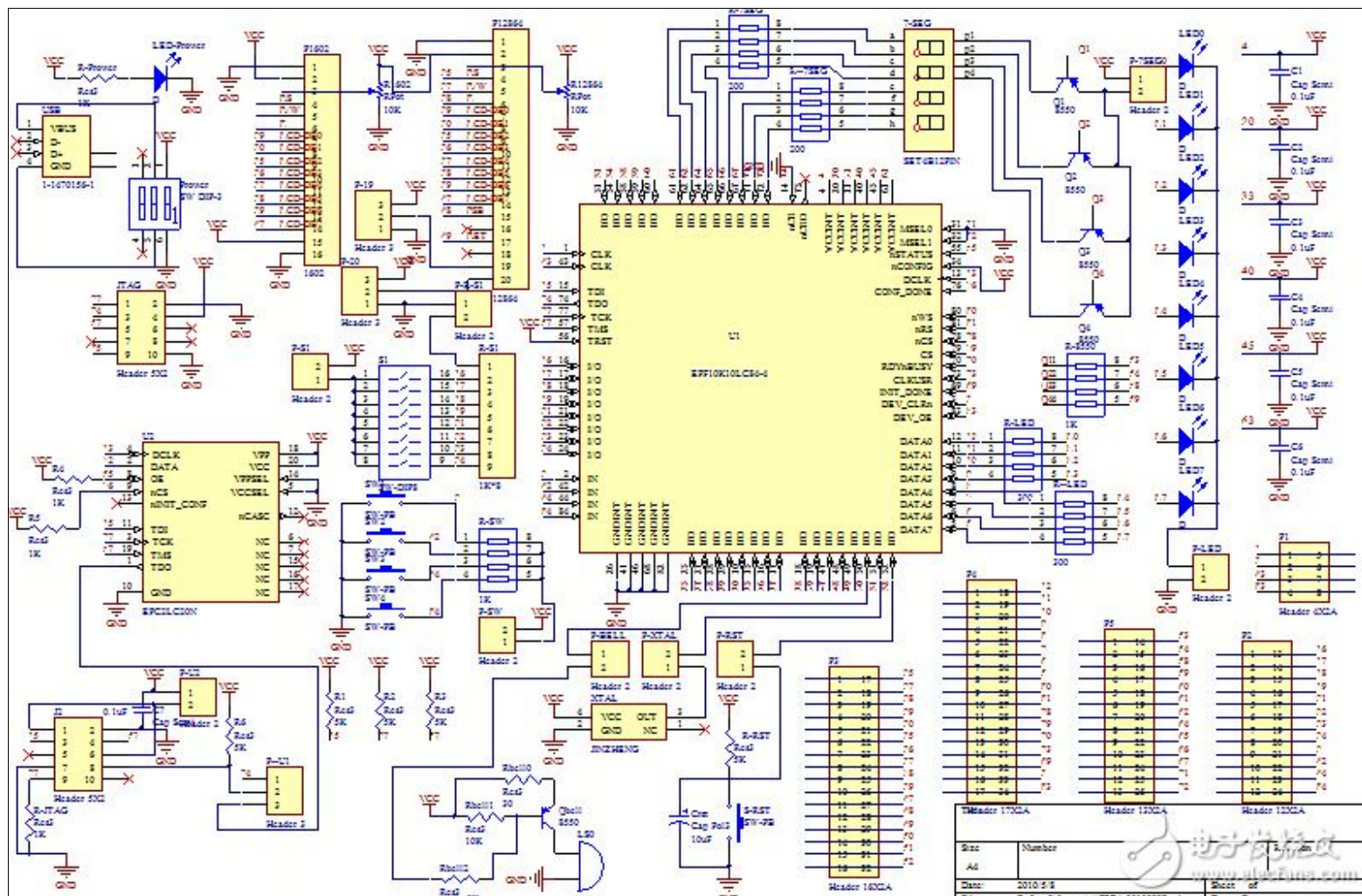


图 4-15 D 型并口下载线电路原理图设计

使用 Altium 软件设计的电路原理图，FPGA 最小系统板包括时钟电路、复位电路、电源电路、JATG 电路、PROM 配置电路、显示模块电路、开关电路以及各种接口电路（图 4-16）。



在当前国内外信息技术高速发展的今天,电子系统数字化已成为有目共睹的趋势。从传统的应用中小规模芯片构成电路系统到广泛地应用单片机,直至 FPGA 在系统设计中的应用。电子设计技术已迈入了一个全新的阶段。FPGA 利用它的现场可编程特性,将原来的电路板级产品集成为芯片级产品,缩小体积,缩短系统研制周期,方便系统升级,具有容量大、逻辑功能强,提高系统的稳定性,而且兼有高速、高可靠性。越来越多的电子设计人员使用芯片进行电子系统的设计,通过基于 FPGA 最小系统开发设计,说明了 FAPG 芯片研究的动机和研究意义。

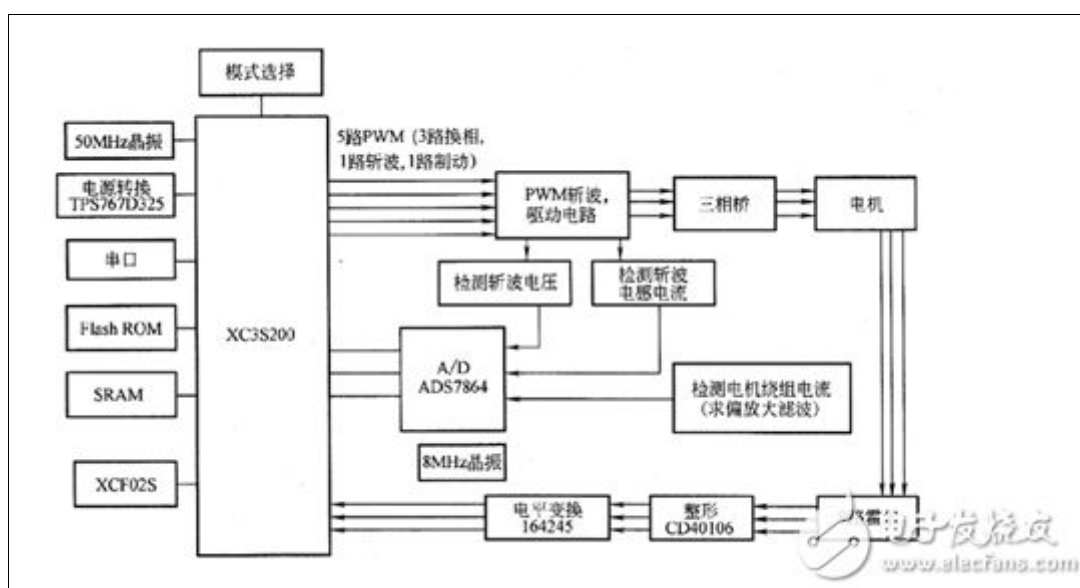
TOP12 基于 FPGA 永磁无刷直流电机控制电路

主要介绍基于现场可编程门阵列及 EDA 方法学的永磁无刷直流电机控制系统的电子电路设计。FPGA 是一种高密度可编程逻辑器件，其逻辑功能的实现是通过把设计生成的数据文件配置进芯片内部的静态配置数据存储单元来完成的，具有可重复编程性，可以灵活实现各种逻辑功能。

与 ASIC 不同的是，FPGA 本身只是标准的单元阵列，没有一般 IC 所具有的功能，但用户可以根据需要，通过专门的布局布线工具对其内部进行重新编程，在最短的时间内设计出自己专用的集成电路，从而大大提高了产品的竞争力。由于它以纯硬件的方式进行并行处理，而且不占用 CPU 资源，所以可以使系统达到很高的性能。这种新的设计方法可以把 A/D 接口、驱动器接口、通信接口集成在一块芯片上，同时在算法上完成位置、速度甚至电流算法，从而实现真正的片上可编程系统（SoPC）。这将成为下一代高性能伺服控制器集成化设计的一个趋势。

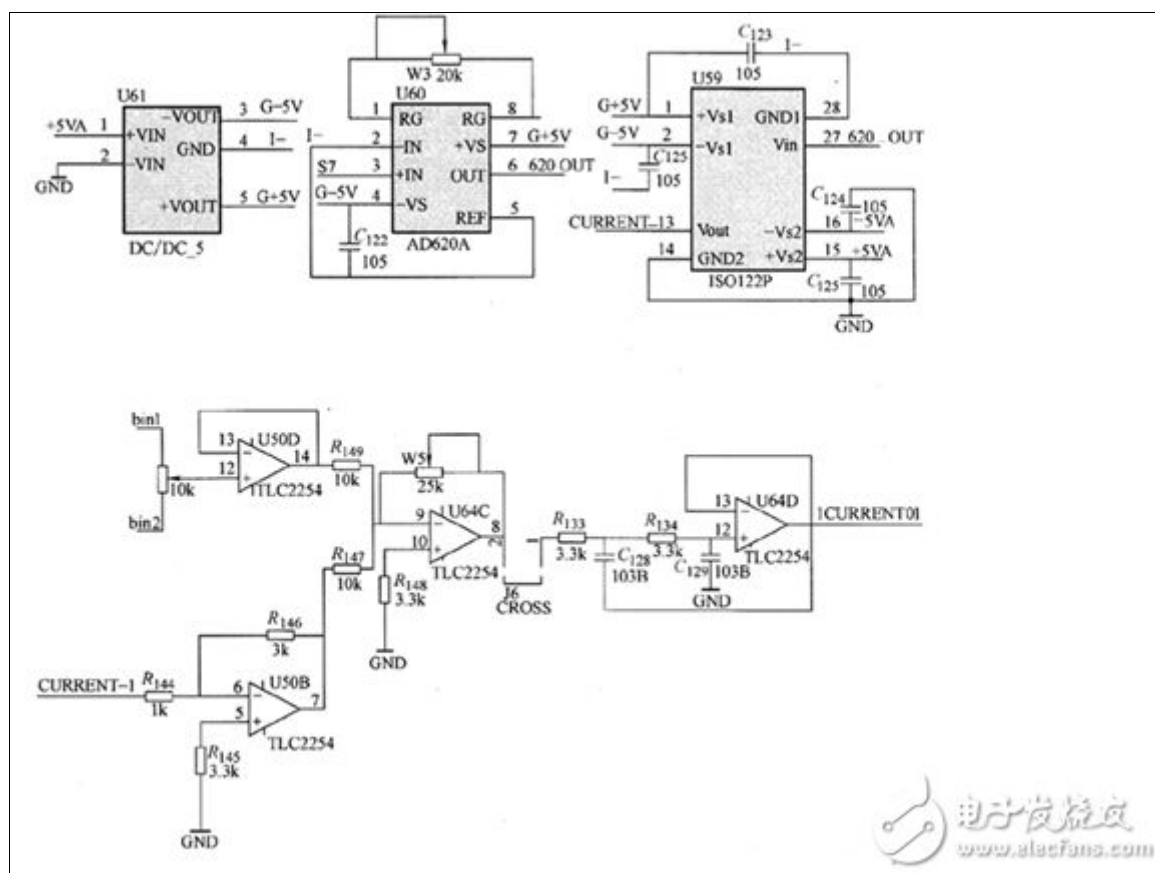
下面针对永磁无刷直流电机模块化设计的思想，介绍基于 FPGA 的控制系统的电子电路设计方法，其控制系统结构如图 1 所示。

图 1 控制系统结构图

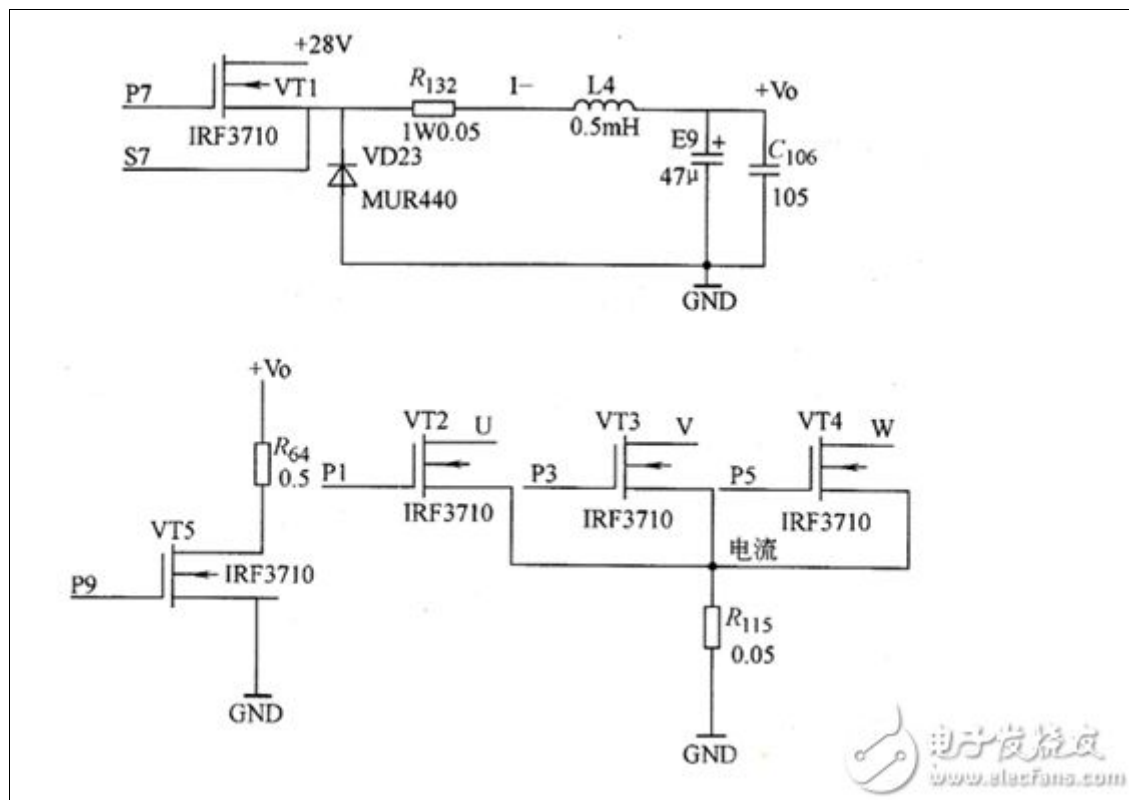


电路由电源模块，电压转化模块，FPGA 模块，驱动电路模块，斩波电流、电压检测模块，绕组电流检测模块，A/D 模块，通信模块，外扩存储器模块等部分组成。

图 2 斩波器电感电流检测电路



永磁无刷直流电机电枢电流检测信号调理电路和 DC / DC BUCK 变换器输出电压检测信号调理电路参见图 3—16c 和 d，其功率电路如图 3 所示。



首先，由 FPGA 产生 5 路 PWM 波，其中 3 路用于永磁无刷直流电机换相，1 路用于斩波，另 1 路用于再生能耗调节制动电流。三相换相 PWM 经驱动电路控制电机的换相，这 3 路 PWM 只用于换相不进行调制，由斩波环节进行调制。电机绕组电流经求偏、放大、滤波通过 A/D (ADS7864) 转换进入 FPGA (XC3S200)，经 PID 调节器控制电流环；同样，斩波电压电流经滤波通过 A/D 转换也进入 FPGA。图 2 所示为 FPCA 的最小系统电路，XCF02S 为 FPGA XC3S200 的配置芯片，TPS767D325 是电源芯片，将 +5V 电源电压转换为 +2.5V 和 +3.3V 供给 FPGA，电源芯片 LM317 将 +5V 电源电压转换为 +1.2V 供给 FPGA；FPGA 的时钟选为 50MHz，晶体振荡器为 50MHz 有源晶振，输出的时钟信号电压的高电平为 +3.3V。

市场浪潮下中国 FPGA 机遇何在？

通常来说半导体产业是周期性行业，其周期一般为 4 到 5 年。但是随着新技术和应用的快速发展，现今半导体周期越来越短，且每一个周期都有典型应用作为 拉动点，比如过去的 PC、后来的通信行业。FPGA 也明显符合这种规律。但不同的是，当 ASIC 和 ASSP 萧条的时候，往往迎来 FPGA 的大发展。2008 年以来的金融危机使得半导体行业平均跌幅大于 10%，但是市场数据却显示 FPGA 行业依然强劲增长。危机和低迷使 ASIC 和 ASSP 制造者为谨慎 起见，不敢贸然推出新产品，避免巨大的 NRE 费用。而 FPGA 恰好能迎合这一需求。

全球 FPGA 市场现状和发展前景展望

当今，半导体市场格局已成三足鼎立之势，FPGA，ASIC 和 ASSP 三分天下。市场统计数据表明，FPGA 已经逐步侵蚀 ASIC 和 ASSP 的传统市场，并处于快速增长阶段。

在全球市场中，Xilinx、Altera 两大公司对 FPGA 的技术与市场仍然占据绝对垄断地位。两家公司占有将近 90% 市场份额，专利达 6000 余项之多，而且这种垄断仍在加强。同时，美国政府对我国的 FPGA 产品与技术出口进行苛刻的审核和禁运，使得国家在航天、航空乃至国家安全领域都受到严重制约。因此，研发具有自主知识产权的 FPGA 技术与产品对打破美国企业和政府结合构成的垄断，及国家利益意义深远。

作为一种可编程逻辑器件，FPGA 在短短二十多年中从电子设计的外围器件逐渐演变为数字系统的核心。伴随半导体工艺技术的进步，FPGA 器件的设计技术取得了飞跃发展及突破。通过 FPGA 器件的发展历程来看，今后仍将朝下以下几个方向发展：

- 高密度、高速度、宽频带、高保密；
- 低电压、低功耗、低成本、低价格；
- IP 软/硬核复用、系统集成；
- 动态可重构以及单片集群；
- 紧密结合应用需求，多元化发展。

此外，集成了 FPGA 架构、硬核 CPU 子系统（ARM/MIPS/MCU）及其他硬核 IP 的芯片已经发展到了一个“关键点”，它将在今后数十年中得到广泛应用，为系统设计人员提供更多的选择。例如，以应用为导向，在受专利保护的 FPGA 平台架构上无缝集成特定功能模块，以形成具备行业竞争优势（高性价比）的独特产品。Altera、Cypress® 半导体、Intel 和 Xilinx 公司等供应商相继在最近一年发布或者开始发售 SoC FPGA 器件。

国际 FPGA 业内大头

在 FPGA 领域，Xilinx 和 Altera 长期稳坐第一第二的位置。根据最新 Form-10K 数据显示，其分别占有 48% 和 41% 的市场份额。其中 Xilinx 净销售额为 23.1 亿美元，净收入为 6.3 亿美元；Altera 净销售额为 19.5 亿美元，净收入为 7.8 亿美元。这两家公司一直以来是市场和技术的领头羊，而剩余的市场份额被 Lattice 占据多数。

为了在竞争中占据主动，Xilinx 与 Altera 新近分别宣布其下一代 FPGA 产品都将采用高 k 金属栅技术的 28nm 工艺，以满足诸如云计算、移动互联网和 3G 应用等领域所不断增长的带宽需求。由于 PLD 器件采用更高技术的工艺节点制造，无疑可以降低成本、提升性能，尤其是能够改进一直以来为 ASIC 所诟病的功耗水平，以适应更广阔的设计应用。

Xilinx 和 Altera 虽然控制世界将近 90% 的 FPGA 市场，但是他们的产品是大多以纯 FPGA 为主。“平台化”已成为 FPGA 一个发展趋势，尽管 Xilinx 和 Altera 在 FPGA “平台化”方面在最近几年也有涉及，但概念和特点比较简单，没有完全形成气候。

权威市场调研机构 Gartner 2010 年初的预测数据表明，FPGA 正处于一个加速增长的市场势态中。未来 5 年，市场平均增长幅度超过 12.6%，这种增长幅度远大于 ASIC 和 ASSP 市场。同时，市场数据表明其行业平均毛利大于 60%。FPGA 行业需要更大的市场规模，以吸引更多的使用者。预计未来 5 年，随着产量增加，成本将进一步降低，FPGA 市场份额将会持续增大。

赛灵思：重点布局深耕中国市场

赛灵思公司目前在中国内地设有 6 家办事处，公司很多项重要的区域性业务均以中国为基地。例如，亚太区技术支持中心设在上海。另外，针对中国快速发展的 PLD 市场，赛灵思特别成立了两个专门的产品小组分别负责数字信号处理和低成本消费电子解决方案的开发。赛灵思还在深圳和上海均建立了应用中心和实验室，负责 DSP（数字信号处理）和低成本解决方案的开发和客户支持。他们的主要业务包括 DSP、嵌入式、无线、视频和监测等应用的 IP（知识产权）开发、参考解决方案设计和整体解决方案设计。目前在中国内地市场，赛灵思公司与三大分销合作伙伴包括安富利、好利顺和世健科技一起为该地区日益增长的 FPGA 用户需求提供专业快捷的支持。同时，作为一家知名的无生产线半导体企业，赛灵思公司将其低成本的 CPLD（复杂的 PLD）系列的生产外包给国内领先代工厂——和舰科技。拓展业务领域 加大中国投入。

Altera：看好中国市场

Altera 亚太区副总裁兼董事总经理 Erhaan Shaikh Altera 很早就认识到了中国的发展潜力，自进入中国之日起，就一直不断加大在中国市场的投入。早在 2000 年，Altera 公司就宣布在中国上海成立 亚太区技术支持中心，这一举措体现了 Altera 对亚太区特别是中国的长期投资策略。

中国 FPGA 机遇何在？

为了满足经济发展和国防需求，打破美国的垄断，中国政府多年来投入了数百亿科研经费，通过逆向工程方式仿制美国对我禁运的 FPGA 产品。但由于知识产权、生产工艺和软件技术等多方面的限制，仿制品种有限，技术无法突破，难以满足国家安全的需要。随着国际形势的变化，通过走私进口禁运产品的渠道可能被切断，进口的关键芯片也可能被人为地嵌入后门通道或定时炸弹等模块，严重危及国家安全。

我们不得不承认国产 FPGA 产业与国际巨头还存在较大的差距，不论从产品性能、功能、功耗、软件、应用支撑上都有差距。甚至成本上，我们的优势也不大。

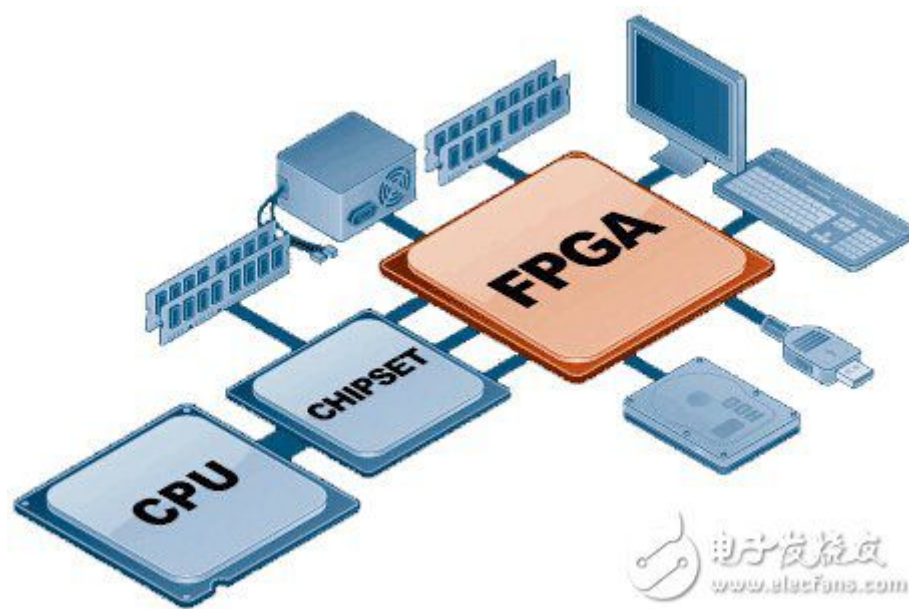
但是，中国拥有超过 50 亿元的 FPGA 市场。中国的可编程器件市场仍将保持年均 30% 以上的增长速度。中国尤其是北京等重要研究部门急需也长期需要 FPGA 用于国家安全和重点应用，比如航天航空、信息安全、知识产品保护等。此外，中国电子产品市场要求敏捷快速的研发周期和少量多样的产品形态，最适合 FPGA 应用。

深亚米时代开启处理器与 FPGA 融合之路

深亚微米时代，处理器和 FPGA 跟随摩尔定律沿着各自的路径向前发展，少有交集。处理器不断加强运算能力，并充分利用新增加的并且越来越小的晶体管 不断完善外围功能，走上单片集成的道路。FPGA 则通过工艺技术的进步增大自身容量降低功耗，把预处理运算、接口电路等吸收进了 FPGA。

对于既需要处理能力又需要灵活性的系统，CPU+FPGA 这样的解决方案早年前就被提出并付诸实践，如今比比皆是。虽然近几年 Xilinx 和 Altera 也一直致力于推进自己的软核 Nios 和 MicroBlaze，而且 Xilinx 在其 Virtex 系列产品中嵌入了 PowerPC 硬核，但市场反应都不太强烈。

摩尔定律持续有效，半导体工艺技术步入深亚纳米时代，为处理器和 FPGA 的融合提供了无限可能。Intel 于 2010 年 11 月发布的凌动 E600 C 系列，即原研发代号为“Stellarton”的可配置凌动处理器，把凌动 E600 处理器和 Altera 的 FPGA 集成到一个多芯片封装之中，开启了处 理器和 FPGA 融合的新时代。



随着工艺技术的不断进步，从 65 nm、40 nm 进入 28 nm，ASIC 和 ASSP 厂商遭遇了设计流程复杂、良率降低、设计周期过长，特别是研发制造费用剧增等难题。据了解，做一个 28 nm ASIC 芯片所需的研发费需要 5 000 万~6 000 万美元，比 40 nm 时的研发费用增加了 40%。正如赛灵思亚太区销售及市场总监张宇清先生所说：“10 年前，半导体领域比较领先的是 CPU 厂商，他们会带领某一个工艺向 前跨步。现在 FPGA 厂商已经跑到了前面。从 40 nm 开始有这个端倪，在 28 nm，我们的代工厂发现 FPGA 厂商最先采用这些先进工艺。”这些都为 FPGA 厂商在成功立足通信领域后瞄准嵌入式领域的新蓝海提供了无限可能。

在 28 nm 工艺节点，Altera 和 Xilinx 都不约而同地在其新产品中集成双核 ARM Cortex-A9 处理器。此集成与 Intel E600 集成 Altera FPGA 从硬件架构层面没有太大不同，但实质相去甚远。Intel 是把 CPU 的裸片和 FPGA 的裸片封装在一起，给穿了层塑料外衣。FPGA 厂商则是在 FPGA 中嵌入处理器，FPGA 与处理器之间通过 AXI 总线互联，最高可达 125 b/s 的互联带宽。

为什么 FPGA 厂商都会选择 ARM？处理器厂商是否会在下一代处理器中嵌入 FPGA？Altera 公司产品及企业市场副总裁 Vince Hu 先生告诉笔者，在 FPGA 中嵌入处理器远比在处理器中嵌入 FPGA 容易，第一是 ARM 的授权 IP 模式提供了处理器的授权，FPGA 厂商不会授权 IP（当然，如果某一天 Achronix 宣布把其 FPGA 的 IP

开放给 Intel，想必业内一定不会奇怪。）；第二是工具，针对 FPGA 的开发工具相对复杂，不是一时可以开发出来。

FPGA 两巨头都瞄向了嵌入式处理器领域，却采用了不同的策略。Altera 是在其久负盛名的 Cyclone V 和 Arria V 系列下增加了 SoC FPGA；Xilinx 干脆创立一个新的产品系列 Zynq。虽然产品略有不同，宣传策略大有不同，但关注的应用领域却都在能源和工业、高清晰视频处理、通信基础设施和计算机和存储应用，甚至连价格都定在批量 15 美元，并且都宣称最大的对手是 Intel 等处理器厂商。

面对 Xilinx 的嵌入式处理器 Zynq 系列，Altera 的 Vince Hu 列出了互联带宽、工艺模式等几大不同。不管两家如何争斗，工程师确实享受到了技术进步的乐趣。上海晶奥信息科技有限公司技术经理吴厚航说：“单片集成了 CPU 的 FPGA 单从硬件架构层面来看，好像没有太大的优势，仅仅只是二合一而已。但是真正做过系统开发的工程师都知道，这种二合一所带来的不仅仅是 BOM 成本降低和布局的简化，更多的改变是我们肉眼看不到的软硬件底层衔接的优化和无形之中的灵活性以及潜在的性能提升。”

以 Altera 最新发布的 SoC FPGA 为例，它提高了系统性能，4 000 DMIPS 时功耗不到 1.8 W，高达 1 600 GMACS、300 GFLOPS 的 DSP；降低了功耗，相对两芯片解决方案，功耗降低了 30%；减小了电路板面积，外形封装减小了 55%，只有两种电源；降低了元件成本、PCB 复杂度和成本从而大大降低系统成本。

对于未来，FPGA 厂商信心满满。Vince Hu 说：“在嵌入式调查里发现接近 45% 的嵌入式设计人员，计划在下一代的嵌入式设计里面使用 FPGA 来实现其可编程的功能。还有就是 Altera 的 FPGA 付运记录里面发现超过 35% 的 FPGA 项目利用了其 Nios 软核。未来两三年中，预期超过 50% 嵌入式系统里面会用上 FPGA。”

FPGA 敲开消费电子市场差异化之门

由于采购供应链的大同小异，使得当前智能手机市场从硬件平台、显示屏到操作系统等部分都呈现出高度的同质化现象，严重影响到消费市场的购买意愿。为了突显产品的差异化，许多创新功能被引入到这一产品领域，而要尽可能地避免复杂功能为 AP 处理器带来更多的功耗，就需要借助一种类似协处理器、功能简单、功耗低、性价比高的解决方案，这也为 FPGA 在消费类电子市场的发展提供一个良好的机遇。

差异化提升产品附加值

简单来讲，在消费类电子产品中使用 FPGA 的主要目标是协助尽量减少 AP 处理器的唤醒时间，这有利于改进系统能效，提高电池的使用寿命；另一方面，FPGA 也被用于拓展 AP 处理器的其它外延功能，或是通过加快复杂的数学算法来改善性能表现。

FPGA 利用超高度集成优势实现创新功能

莱迪思（Lattice）亚洲区高级销售总监梁成志介绍道，以智能手机市场为例，除了传统的红外遥控和 EPG 电子频道表功能之外，通过简单的硬件处理实现 SensorLine 功能也是 FPGA 方案目前主打的一个方向，例如摇动唤醒或呼吸灯等功能；此外，借助简单的声纹波形对比进行语音识别，或利用 PLD/FPGA 器件本身的加密保护特性，完成对手机的硬件加密等等都是 FPGA 方案未来可以大展拳脚的地方。

“我们目前正在与国内包括 OPPO、中兴等在内的手机厂商展开紧密合作，为他们带来更多的创新设计。除了低功耗和小型封装等特点之外，我们更专注于为制造商提供具备差异化功能开发的技术方案，例如二维码仿真和远程遥控的接口和管理、新型显示技术的 MIPI 接口、提供音频和摄像机子系统，以及为传感器管理系统提供校准、检测、识别和时钟功能等，借此增添产品更高的附加价值。”

据了解，Lattice 所提供的 FPGA 方案已在三星 S4 智能手机（红外遥控、呼吸灯等功能）、Google 眼镜等产品中得到了运用。同时，为了配合国内市场的发展，加强对消费类电子厂商在 PLD/FPGA 技术上的服务力度，近年来 Lattice 持续强化上海设计中心的团队建设，并且在北京、上海、成都、深圳等地设置了分支机构，以加强对中国内地厂商的服务与支持。

Turn-key 方案实现快速创新

消费类电子市场的另一大挑战则是越来越快的产品生命周期，例如，如今智能手机产品的生命周期只有一年左右，而为了配合厂商更快的产品上市时间，就必须要求各类电子元器件能够跟上产品更新换代的速度。为此，在 MTK 为客户提供了 AP 处理器 Turn-key 解决方案之后，很多厂商都相继推出类似的方案，甚至一些 IP 提供商也开始推出了一系列这样的技术方案，而 Turn-key 解决方案是否也有可能在 FPGA 上实现，成为了该领域厂商开发的重点之一。

继去年年底推出超低密度 iCE40 系列 FPGA 之后，今年七月面市的 iCE4040Ultra 最大的改进是集成了更为丰富的 IP 硬核，其中包括 NVCM 非易失性配置存储器、3 个 24mA 的 RGBLED I/O 接口、RGBLED PWM 控制器、1 个 500mA 红外 LED I/O 接口，1 个 10kHz 低功耗振荡器、48MHz 高性能振荡器、2 个可编程 I2C 和 SPI 接口，4 个 16×16 乘法器和 32 位累加器等等。通过高集成度的 Turn-key 解决方案，帮助客户实现产品的快速升级和创新，大大方便了客户的设计开发，并且由于 IP 硬核一般不会消耗额外的逻辑资源，且比逻辑电路产生的功耗更低，因此也使得整体电路的功耗下降。

梁成志表示道：“在很多方面，你可以认为 Lattice 的 FPGA 是一款可编程的 ASSP。新的 iCE40Ultra 系列就是一个很好例子，该芯片提供了关键功能的必要硬核，同时，可编程结构还允许客户针对他们的特定需求进行定制化开发。除了可以提供多种设计服务、IP 核之外，我们还能让客户开发自己的算法，为客户搭建起一个专属的技术平台。”

可穿戴市场的机会有多大？

根据 IHS 的调查数据显示，全球可穿戴电子产品的出货量将有望从 2013 年的 5120 万件上升至 2018 年的 1.307 亿件，同期增长高达 3 倍左右。在产业迅猛发展的同时，另一方面却面对的是相对分散的市场格局，以及市场要迈向成熟所需要走的相当长的一段路程。然而，正是由于现阶段可穿戴产品市场的“碎片化”和缺乏标准，也使得 FPGA 技术可以凭借其小型化、低功耗、性价比高等优势，在这一领域中找到良好的发展机遇。

“这是一个非常年轻的市场，”梁成志谈到，“对设备制造商来说，大家都在探索可穿戴产品的最好机会在哪里。虽然智能眼镜、智能手表/手环等才刚刚出现在市场上，但一些其它类型的产品形态也许会带来更大的市场商机，例如植入式传感器、刺青传感器、鞋内感测设备等等。”

无论是对于医疗、健身等主力市场，还是对于智能手表等看上去更像是智能手机的一种延伸产品，总体而言，可穿戴产品对器件的要求都集中体现在极低的功耗和小型化封装这两方面，这也正是 FPGA 方案所擅长之处。例如 Lattice 推出的 iCE40 系列就具备 25uW 最低功耗和 $1.40 \times 1.48\text{mm}$ 超小封装的特点，令其可以在可穿戴产品市场中得到应用。

“过去的 30 年里，FPGA 在一些新兴市场的发展中扮演了相当关键的角色，作为一款高效的开发工具，FPGA 帮助厂商在标准形成之前灵活地实现各种系统功能，相应地，我们认为在未来的可穿戴产品市场中，FPGA 也将发挥同样重要的作用。”梁成志说道。尽管可穿戴产品市场的发展仍然存在着诸多不确定因素，但 Lattice 期望成为一家能够为可穿戴电子产品市场提供小型化、低成本、低功耗 FPGA 技术方案的专业厂商。

FPGA 如何在高清图像处理领域大展雄图

从模拟广播向数字广播的转变成为业界提供了令人振奋的新服务和挣钱机会，而 OEM 厂商之间为生产更有价格吸引力的系统而进行的竞争也非常激烈。然而，正如许多其它技术转变时所面临的情况一样，各个企业为竞争市场领导地位提出了许多新的建议标准。无论标准团体如何努力保证互操作性和公平竞争，第一个成功上市的产品都很可能会变成事实上的标准。即使是标准团体成功发布的国际上得到承认的标准，经常也会由于试图满足众多成员公司的需要而存在许多不同的版本。除此之外，不可避免地会对标准进行许多修正，如在早期阶段的现场测试反馈之后，或在后期阶段有新的算法或增强提出来时。因此很容易发现为什么一个完全可重新编程的解决方案是如此有吸引力。例如，如果您可以重新编程您的系统使之符合新兴的前向纠错算法的最新修正版本，或利用新的更加可靠的象 AES 这样的加密方法来代替老的加密方法，那么获得的投资回报将是可观的。

“Table 3”是在业界等到公认的美国高级电信标准协议（STSC）定义的广播格式一览表。正如表中看到的那样，设备制造商可进行众多的选择—高分辨率（HD）还是标准分辨率（SD），16:9 还是 4:3，逐行还是隔行扫描等。虽然也有 ASSP（特定应用标准产品），但经常是每种标准需要不同的芯片。FPGA 解决方案可容易地支持超过 HDTV 要求的数据传输速率，这意味着一个器件可以支持所有这些格式，只需要根据设备的需要进行重新编程就可以了。这可减少企业的用料清单项目，同时还排除了 ASSP 供应商可能存在的供货风险。

需要进行标准选择的另一个例子是色彩空间变换。图像从照相机采集进来以后就利用压缩算法对其进行处理，再通过后期制作直到在电视机显示出来的过程中也是如此。压缩算法利用了这样的事实，即不必传输一幅图像的所有色彩信息就可得到满意的效果。以 RGB（红、绿、蓝）格式进行图像处理是可行的。在 RGB 格式中，每一像素以对应每一原色的三个 8 或 10 位字来定义。但由于人眼对光线频谱中某些部分比其它部分反应要小，因此可以利用亮度或（Y）以及色差信号（如 CrCb）来表示图像。这样做的好处是需要较小的存储和数据带宽。因此需要一种机制来进行不同色彩格式间的转换，这也称为色彩空间变换。一旦知道从一个色彩空间向另一个色彩空间映射的系数，用硬件实现这些电路就非常简单。

例如，在数字电视系统中，YerCb 色彩空间可按下式转换至 RGB 色彩空间：

$$\begin{aligned}R' &= 1.164 (Y-16) + 1.596 (Cr -128) \\G' &= 1.164 (Y-16) - 0.813 (Cr -128) - 0.392 (Cb-128) \\B' &= 1.164 (Y-16) + 1.596 (Cr-128)\end{aligned}$$

其中 R\ 'G\ ' B\ ' 是伽马（Gamma）校正 RGB 数值。由于 CRT 显示器中，接收到的控制信号幅度和输出强度间是非线性关系。显示器前的伽马校正信号可使接收信号幅度和输出强度的关系线性化。输出增益也限制在一定的阈值，从而降低图像暗部由于传输引入的噪声。有多种可能的实现方法，可利用存储器、逻辑或嵌入式乘法器在 FPGA 中实现所需的乘法功能。

当需要在大量色彩空间之间进行转换选择时，采用可编程色彩空间变换器的优点非常明显。正如此处所示的 YCrCb 与 RGB 变换一样，YUV 以及 YPrPb 采用与此类似的算法，只是系数有所不同。虽然有标准的色彩空间，但不同设备间的要求有许多不同的地方。高分辨率图片甚至采用与标准定义不同的色彩空间，但具有可编程的变换系数的设备可以容易地支持任何输入分辨率。同时如果需要的话，多通道色彩空间变换支持也

可以做到，而如果不采用可编程逻辑的话，这通常需 要多块 ASSP。当然，利用 FPGA 器件，系统架构还可根据应用调整相应的算法，从而使性能、效率或两者同时实现最大化。

FPGA 经常被大型数据和电信企业广泛用作网络接口设备。可编程架构非常适合协议管理和数据流格式处理，而 FPGA 提供的高速差分 I/O 如 LVDS，使 FPGA 可以非常快的速度向片上读入和向片外输出数据。FPGA 还可用于局域环境，如家庭网络。欧洲 DVB（数字电视广播）联盟最近采用 IEEE1394 高速串行总线作为数字电视产品的标准连接方式。无线标准，如 IEEE802.11 和 HiperLAN2 也被提议作为拥有多台电视的家庭网络的连接方案。

随着世界许多地区高分辨率广播的出现，视频信号处理要求极大地提高了。例如，采用 1920×1080 分辨率、24 位像素和每秒 30 帧逐行扫描的高分辨率电视机将需要约 1.5Gbps 的总的未压缩带宽。即使在还没有实际进行高分辨率图像广播的地区，在直到后期制作 的所有阶段中，采用的也是高分辨率图像。

现在最新的可编程逻辑器件具有多个可支持此类数据速率的 LVDS（低压差分信号）I/O，即使在针对消费市场的低成本器件中也有这样的 I/O 支持。这 意味着未压缩的视频数据可输入和输出器件并进行实时处理。HDTV 速率一级的实时视频处理允许设计人员减少需要的外部存储器数量。目前，由于在设计中视频 信号处理器部分成为瓶颈，因此现有的数字电视系统中经常采用多个帧存储和数据缓冲器。利用 FPGA 的并行信号处理能力意味着更小的，甚至单帧存储即可，而 数据缓冲器则可完全省掉。标准 DSP 在性能方面的局限导致不得不开发更为专用的芯片，如媒体处理器，来克服这些问题。然而，事实证明这些器件除了在范围极 窄的一些应用中，都有太不灵活的缺点，同时还有性能瓶颈存在。而 FPGA 器件则可以通过定制，在利用率和性能方面提供最大的效率。设计人员还可以在设计面 积和速度之间进行折衷，并且可以比 DSP 低得多的时钟速率完成给定的功能。

如前所述，FPGA 过去仅用于专业的广播系统中，但摩尔定律意味着他们正逐渐应用于大批量消费产品中。以数字电视为例，其中机顶盒功能完全集成到电视 中，因此数字电视可接收数字广播。通常这都是通过标准天线接收免费的无线信号，但未来的产品将允许接收来自有线电视、卫星或 DSL 线路传输的信号。FPGA 可应用于数字电视机内的许多部分，如图 1 所示。做为标准芯片组间的“联结逻辑（glue logic）”一起是 FPGA 的强项，但许多图像处理任务（如色彩空间变换）以及网络接口（如 IEEE 1394）现在也可在低成本可编程逻辑器件内实现。

这一将图像处理任务用 FPGA 完成的趋势有一个重要驱动力：来自业界所称的“数字融合”。目前产生了这样一些需求，即通过极为有限的传输信道（如无线）发送大带宽的视频数据，同时还要保持可接受的服务质量（QoS）。这导致对如何改善错误校正算法、压缩和图像处理技术进行范围更为广泛的研究，而其中 相当一部分工作是围绕利用 FPGA 器件进行的。

采用 FPGA，设计人员可以使自己的标准兼容的系统与竞争对手的产品保持差异化。以 MPEG-2 压缩方案为例，可以将 MPEG 处理器负责的 MPEG 标 准算法中的 DCT（离散余弦变换）部分卸载至 FPGA 器件中进行处理，从而增加带宽。DCT 及其反变换可利用 FPGA 高效地实现，而且已经有经过优化的 IP 核可直接应用到基于 MPEG 的设计之中。但 MPEG 编码方案中还有许多未定义的模块（如运动预测）。通过在 FPGA 结构中集成用于这些模块的专有技术和标准的象 DCT 这样的功能，就可以创造出可提高处理带宽并达到更高图像质量的低成本的单片解决方案。通过避免 系统仅依赖于标准 ASSP 解决方案，企业就不再有被市场认为仅提供有限的几种类似解决方案的危险。

FPGA 还可使您的产品更快地推向市场，并可在现场安装后保持为您产生更多营收的能力。多数 FPGA 都基于 SRAM 技术，从而在开发的各个阶段都可以容易地对器件进行重新编程。这使系统的调试更为简单，而

且还意味着如果需要的话，微小的改变也可容易地整合到产 品中去。这有可能会由于客户要求的改变，也可能是由于标准的新版本或修正。