

Nome:

Nº:

1. Indique se as seguintes afirmações são verdadeiras ou falsas.
  - i. Um microprocessador com um barramento de dados de 8 linhas e um barramento de endereços de 13 linhas pode endereçar até 4096 bytes.
  - ii. No 8051 o acesso à memória de dados interna é feito utilizando P2 como barramento de endereços.
  - iii. No 8051 os barramentos de endereços, dados e controlo para a memória externa de dados são implementados usando os Portos de I/O (P2+P0, P0 e P3).
  - iv. O barramento de controlo da memória externa de dados é implementado usando alguns bits do porto 3 (P3) e o sinal PSEN.
  - v. O barramento de endereços para memória externa de código é constituído por P0 (A16:A8) e P2 (A7:A0).
  - vi. O barramento de controlo para memória externa de dados é implementado usando alguns dos bits de P3.
  - vii. Para implementar uma memória de dados externa o único hardware externo que necessitamos é a memória (ROM) e uma latch de 8-bit.
  - viii. Se a memória de dados externa tiver 2KB, os bits P2.7 a P2.5 não são usados no barramento de endereços.
  - ix. Num 8051 a *stack* é implementada na memória interna de código endereçável directa ou indirectamente (endereços de 0h a 7Fh).
  - x. Num 8051, a memória interna possui 256 bytes (0h a FFh), sendo que os 128 bytes inferiores podem ser acedidos por endereçamento directo ou indirecto.
  - xi. É no SFR (Special Function Register) que estão mapeados em memória todos os registos do 8051.
  
2. Identifique o tipo de endereçamento utilizado pelas seguintes instruções:

MOV	A,R1
ADDC	A,R0
MOVC	A,@A+DPTR
MOV	A,@R0
MOV	A,#0A7H
MOV	R0,20H
SJMP	30H
LCALL	1200H

3. Analise o funcionamento do programa que se segue:

```
        USING    0
ORG     0H
        SJMP     MAIN
ROTINA: MOV     DPTR,#TABELA
        MOVC     A,@A+DPTR
        RET
ORG     30H
MAIN:  MOV     A,#3
        ACALL    ROTINA
        RR       A
        MOV     R1,A
        MOV     AR0,R1
        SJMP     $
ORG     200H
TABELA: DB     12H,0FEH,23H,0AAH,21H
END
```

- i. Qual o valor do PC durante a execução da instrução `MOV A,#3`?
  - ii. Qual o valor (endereço) das etiquetas `ROTINA`, `MAIN` e `TABELA`?
  - iii. O que faz a instrução `SJMP $`?
  - iv. Qual o valor do Acumulador imediatamente antes da execução da instrução `RR A`?
  - v. Qual o valor do registo `R0` após a execução da instrução `MOV AR0,R1`?
  - vi. A instrução `MOV DPTR,#TABELA` poderia ser substituída pelas instruções `MOV DPL,#0` e `MOV DPH,#2`? Justifique.
  - vii. Qual o valor do *Stack Pointer* (`SP`) imediatamente após a execução da instrução `ACALL ROTINA`?
4. Apresente uma subrotina, fluxograma e código, que percorre uma sequência de 16 dados de 8-bits armazenados a partir do endereço 230H da memória de código e coloca a partir da posição 30h da memória de dados externa todos os caracteres ASCII de 0 a 9 da sequência de dados, colocando os restantes a partir da posição 60H da memória de dados externa.

Nome:

Nº:

1. Indique se as seguintes afirmações são verdadeiras ou falsas.
  - i. Um microprocessador com um barramento de dados de 8 linhas e um barramento de endereços de 15 linhas pode endereçar até 32KB.
  - ii. No 8051 o acesso à memória de dados interna é feito utilizando P0 como barramento de dados.
  - iii. No 8051 com memória externa de código, durante a leitura do *opcode* da instrução a executar o byte mais significativo do PC é colocado em P0 e o menos significativo em P2.
  - iv. O barramento de controlo da memória externa de dados é implementado usando alguns bits do porto 3 (P3).
  - v. O barramento de endereços para memória externa de código é constituído por P2 (A16:A8) e P1 (A7:A0).
  - vi. O barramento de controlo para memória externa de código é implementado usando alguns dos bits de P3.
  - vii. Para implementar uma memória de dados externa o único hardware externo que necessitamos é a memória (RAM) e uma latch de 8-bit.
  - viii. Se a memória de dados externa tiver 16KB, os bits P2.7 a P2.5 não são usados no barramento de endereços.
  - ix. Num 8051 a stack é implementada na memória interna de código endereçável indirectamente (endereços de 0h a 7Fh).
  - x. Num 8051, a memória interna possui 384 bytes, sendo que os 128 bytes inferiores podem ser acedidos por endereçamento directo ou indirecto.
  - xi. É no SFR (Special Function Register) que estão mapeados em memória todos os registos do 8051, com a excepção dos registos R0 a R7.
  
2. Identifique o tipo de endereçamento utilizado pelas seguintes instruções:  
MOV R2,AR1  
ADDC A,R0  
MOVC A,@A+PC  
MOV @R0,A  
MOV R1,#0A7H  
MOV A,20H  
LJMP 1330H  
ACALL 200H

3. Analise o funcionamento do programa que se segue:

```
                USING 0
ORG            0H
                LJMP  MAIN
ROTINA: INC    A
                MOVC  A,@A+PC
                NOP
                RET
                DB    22H,0EH,0A3H, 0A1H ,0AAH
ORG            100H
MAIN:  MOV    A,#3
                ACALL ROTINA
                MOV   R1,A
                PUSH  AR1
                MOV   R0,AR1
                AJMP  $

END
```

- i. Qual o valor do PC durante a execução da instrução `MOVC A,@A+PC`?
  - ii. Qual o valor (endereço) das etiquetas `ROTINA` e `MAIN`?
  - iii. O que faz a instrução `AJMP $`?
  - iv. Qual o valor do Acumulador imediatamente antes da instrução `MOV R1,A`?
  - v. A instrução `MOV R0,AR1` podia ser substituída pela instrução `MOV 0H,R1` sem alterar o funcionamento do programa? Justifique.
  - vi. Qual o valor do registo `R0` após a execução da instrução `MOV R0,AR1`?
  - vii. Qual o valor do Stack Pointer (`SP`) após a execução da instrução `ACALL ROTINA`?
4. Apresente uma subrotina, fluxograma e código, que percorre uma sequência de 25 dados de 8-bits armazenados a partir do endereço `300H` da memória de código e coloca a partir da posição `30h` da memória de dados interna todos os caracteres ASCII de 'a' a 'z' da sequência de dados, colocando os restantes a partir da posição `90H` da memória de dados interna (IRAM - endereçamento indirecto).

Nome:

Nº:

1. Indique se as seguintes afirmações são verdadeiras ou falsas.
  - i. Um microprocessador com um barramento de dados de 8 linhas e um barramento de endereços de 19 linhas pode endereçar até 512KB.
  - ii. No 8051 o acesso à memória de dados externa é feito utilizando P2 (MSB) e P0 (LSB) como barramento de dados.
  - iii. No 8051 com memória externa de código, o *opcode* da instrução a executar é lido da memória e colocado em P0.
  - iv. O barramento de controlo da memória externa de dados é implementado usando alguns bits do porto 2 (P2).
  - v. O barramento de endereços para memória externa de dados é constituído por P1 (A16:A8) e P0 (A7:A0).
  - vi. O barramento de controlo para memória interna de dados é implementado usando alguns dos bits de P3.
  - vii. Para implementar uma memória de código externa o único hardware externo que necessitamos é a memória (RAM) e uma latch de 8-bit.
  - viii. Se a memória de dados externa tiver 256 bytes, o porto 2 não é usado no barramento de endereços.
  - ix. Num 8051 a *stack* pode ser implementada na memória externa de dados (endereços de 0h a 7Fh).
  - x. Num 8051, a memória interna possui 256 endereços, sendo que nos 128 endereços superiores estão mapeados 256 bytes.
  - xi. É no SFR (Special Function Register) que estão mapeados em memória todos os registos do 8051, com a excepção dos portos de I/O.
  
2. Identifique o tipo de endereçamento utilizado pelas seguintes instruções:

MOVC	A,@A+PC
MOV	A,R1
ADDC	A,32H
SJMP	0D0H
MOV	A,@R0
MOV	R1,#0A7H
MOV	R0,20H
ACALL	120H

3. Analise o funcionamento do programa que se segue:

```
USING    0
ORG      0H
        AJMP  MAIN
ROTINA: MOV   DPTR,#TABELA
        MOVC  A,@A+DPTR
        RET
ORG      12FH
MAIN:   CLR   A
        ACALL ROTINA
        MOV   R1,A
        PUSH  AR1
        POP   AR0
        LJMP  $
ORG      180H
TABELA: DB   12H,0FEH,17H,23H,0AAH,21H
END
```

- i. Qual o valor do PC durante a execução da instrução CLR A?
  - ii. Qual o valor (endereço) das etiquetas ROTINA, MAIN e TABELA?
  - iii. O que faz a instrução LJMP \$?
  - iv. Qual o valor do Acumulador antes da execução da instrução MOV R1,A?
  - v. Qual o valor do registo R0 após a execução da instrução POP AR0?
  - vi. A instrução MOVC A,@A+DPTR poderia ser substituída pela instrução MOVC A,@A+PC? Justifique.
  - vii. Qual o valor do Stack Pointer (SP) imediatamente após a execução da instrução ACALL ROTINA?
4. Apresente uma subrotina, fluxograma e código, que percorre uma sequência de 25 dados de 8-bits armazenados a partir do endereço 300H da memória de dados externa e coloca a partir da posição 60h da memória de dados interna todos os caracteres ASCII de A a Z da sequência de dados, colocando os restantes a partir da posição 30H da memória de dados interna.

Nome:

Nº:

1. Indique se as seguintes afirmações são verdadeiras ou falsas.
  - i. Para endereçar 262144 bytes de memória, um microprocessador necessita de um barramento de dados de 8 linhas e um barramento de endereços de 18 linhas.
  - ii. No 8051 o acesso à memória de dados externa é feito utilizando P2 (MSB) e P0 (LSB) como barramento de endereços.
  - iii. No 8051 com memória externa de dados, o *opcode* da instrução a executar é lido da memória e colocado em P0.
  - iv. O barramento de controlo da memória externa de dados é implementado usando alguns bits do porto 0 (P0).
  - v. O barramento de endereços para memória externa de dados é constituído por P2 (A16:A8) e P1 (A7:A0).
  - vi. O barramento de controlo para memória externa de dados é implementado usando alguns dos bits de P2.
  - vii. Para implementar uma memória de dados externa o único hardware externo que necessitamos é a memória (RAM) e uma latch de 8-bit.
  - viii. Se a memória de dados externa tiver 1024 bytes, os pinos P2.7 a P2.2 não são usados no barramento de endereços.
  - ix. Num 8051 a *stack* tem de ser obrigatoriamente implementada na memória interna de dados (endereços de 0h a 7Fh).
  - x. Num 8051, a memória interna possui 256 endereços, sendo que nos 128 endereços superiores (80h a FFh) estão mapeados 128 bytes.
  - xi. É no SFR (Special Function Register) que estão mapeados em memória todos os registos do 8051, com a excepção do Acumulador.
  
2. Identifique o tipo de endereçamento utilizado pelas seguintes instruções:

MOVX	A,@A+DPTR
MOV	A,R1
ADDC	A,32H
SJMP	30H
MOV	A,@R0
MOV	R1,#0A7H
MOV	R0,20H
ACALL	120H

3. Analise o funcionamento do programa que se segue:

```
USING    0
ORG      0H
        SJMP  MAIN
TABELA: INC    A
        MOVC  A,@A+PC
        NOP
        RET
        DB    32H,1EH,80H,23H,0AAH,21H
ORG      60H
MAIN:  MOV   SP,#70H
        MOV   A,#3
        ACALL ROTINA
        RR    A
        MOV   R1,A
        MOV   AR0,R1
        SJMP  $
END
```

- i. Qual o valor do PC durante a execução da instrução MOV SP,#70H?
  - ii. Qual o valor (endereço) das etiquetas TABELA e MAIN?
  - iii. O que faz a instrução SJMP \$?
  - iv. Qual o valor do Acumulador antes da execução da instrução RR A?
  - v. Qual o valor do registo R0 após a execução da instrução MOV AR0,R1?
  - vi. Qual o valor do Stack Pointer (SP) após a execução da instrução ACALL ROTINA.
  - vii. A instrução MOV AR0,R1 podia ser substituída pela instrução MOV R0,#1 sem alterar o funcionamento do programa? Justifique.
4. Apresente uma subrotina, fluxograma e código, que percorre uma sequência de 25 dados de 8-bits armazenados a partir do endereço 30H da memória de código e coloca a partir da posição 30h da memória de dados interna todos os caracteres ASCII de 0 a 9 da sequência de dados, colocando os restantes a partir da posição 60H da memória de dados interna.