

Universidade do Minho - Departamento de Electrónica Industrial

Mestrado Integrado em Engenharia Electrónica Industrial e Computadores

## Sistemas Digitais A - Laboratórios

# Latches, Flip-flops e Circuitos Sequenciais

**Duração máxima: 3 aulas.**

*Os alunos devem entregar no início das aulas (e copiar para o Logbook) a preparação prévia, com a resolução de todas as questões indicadas em itálico no guia.*

**Antes de realizar o trabalho**, os alunos devem ter estudado os seguintes tópicos:

- 1) Funcionamento interno e distinção entre um latch e um flip-flop;
- 2) Funcionamento de flip-flops D, T e JK;
- 3) Obtenção de um flip-flop de um tipo a partir de um flip-flop de outro tipo;
- 4) Diferenças entre lógica combinacional e lógica sequencial;
- 5) Construção de diagramas de estado.

**Durante a realização do trabalho**, os alunos devem:

- 1) Realizar as montagens indicadas no guia;
- 2) Registar no logbook todos os valores calculados e medidos.

**Depois de realizar o trabalho na totalidade**, os alunos devem:

- 1) Ter verificado experimentalmente os tópicos propostos;
- 2) Ser capazes de identificar e evitar problemas de *bounce*;
- 3) Ser capazes de distinguir um flip-flop activado por flanco ascendente (*positive-edge-triggered*) de um flip-flop activado por flanco descendente (*negative-edge-triggered*);
- 4) Ser capazes de projectar um pequeno circuito sequencial.

**Elementos de estudo:**

- 1) Acetatos de Sistemas Digitais A.
- 2) John F. Wakerly, “Digital Design, Principles and Practices”, Prentice Hall, 2000.

## PROCEDIMENTO

1 - É possível obter um latch  $\bar{S} \bar{R}$  ( $\bar{S}$  de “Set” e  $\bar{R}$  de “Reset”) numa implementação utilizando apenas duas gates NAND. Confirme tal facto montando o circuito da figura 1.

**OBS:** Os nomes das entradas deste latch (que devem ser ligadas directamente aos interruptores) são  $\bar{S}$  (S negado) e  $\bar{R}$  (R negado), o que indica que as estradas são activadas com nível lógico baixo. Para obter um latch SR bastaria acrescentar dois inversores às entradas.

Apresente uma tabela com os valores de  $\bar{S}$ ,  $\bar{R}$ ,  $Q$  e  $\bar{Q}$ . O que sucede com as saídas quando se aplica o nível lógico “0” simultaneamente às entradas  $\bar{S}$  e  $\bar{R}$ ?

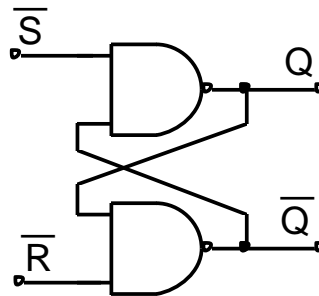


Fig 1. Latch  $\bar{S} \bar{R}$

2 - Monte um flip-flop D usando o circuito integrado 7474 e teste o seu funcionamento.

Apresente a tabela e o diagrama de estados do flip-flop D. Explique a diferença entre o **flip-flop D** e o **latch D**. Apresente uma implementação do flip-flop D com recurso a latches D e lógica simples.

**OBS:** As figuras a seguir representam flip-flops activados por flanco descendente. No entanto, o circuito integrado 7474, utilizado nas aulas, contém dois flip-flops D activados por flanco ascendente (positive-edge-triggered).

3 - Implemente um flip-flop T (do tipo apresentado na figura 2) com recurso a um flip-flop D do 7474 e portas lógicas. Apresente o diagrama de estados do flip-flop T.

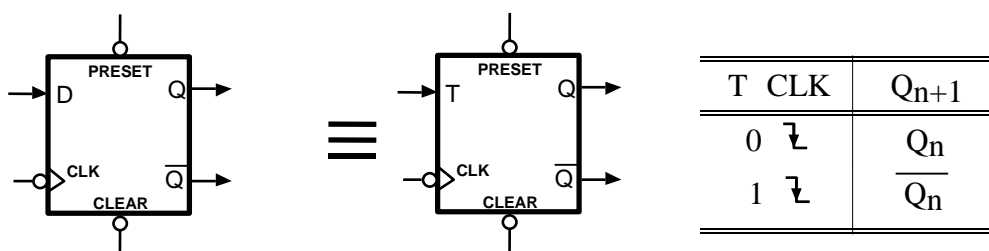


Fig. 2 - Flip-flops D e T

Monte o circuito. Antes de testar o seu funcionamento, deve montar o circuito de *debounce* descrito na secção 4.

4 - Quando uma saída provém directamente de um comutador, esta é afectada por problemas de **vibração mecânica (bounce)** quando o contacto se fecha (como ilustrado na figura 3a). Se a saída do comutador for utilizada como entrada de relógio (clock) de um circuito sequencial, irão ocorrer múltiplas transições do clock para cada accionamento do comutador, em vez de só uma, como seria desejável.

**OBS:** A figura 3a apresenta uma representação do circuito de um comutador (P4 a P7) que se encontra montado no interior do Digital LAB, pelo que **NÃO DEVE MONTAR ESSE CIRCUITO**, visto que o sinal P4 já se encontra disponível.

De forma a garantir que a mudança de nível lógico se faça sem oscilações, torna-se necessário utilizar um circuito chamado “**circuito de debounce**” como o apresentado na figura 3b. Neste circuito, o interruptor mecânico pode ser substituído por um fio em que uma extremidade é ligada à massa e a outra faz contacto alternadamente com os terminais das resistências que estão ligados às entradas das portas NAND (pontos X e Y).

*Indique o que acontece com o valor da saída OUT quando a extremidade livre do fio efectua a seguinte sequência:*

- Faz contacto com o ponto Y.
- Deixa de fazer contacto com qualquer ponto.
- Passa a fazer contacto com o ponto X.
- Deixa de fazer contacto com qualquer ponto.

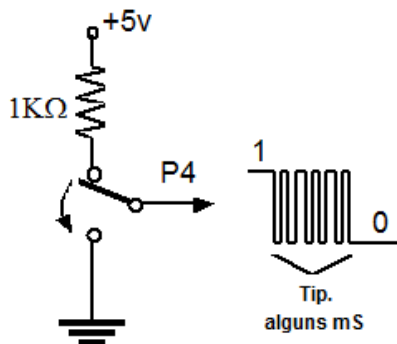


Fig 3a - Comutador mecânico

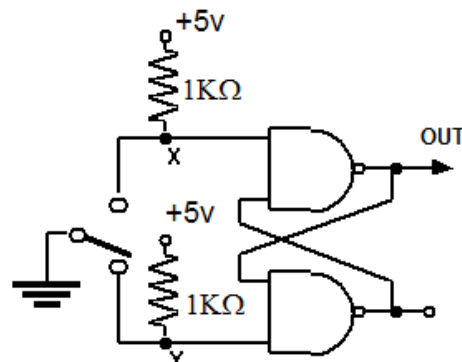


Fig 3b - Circuito de *debounce*

Monte o circuito da figura 3b. Para comprovar a utilidade do circuito de *debounce*, compare o comportamento exibido pelo flip-flop T com duas entradas de clock diferentes (uma de cada vez):

- Um comutador do Digital LAB, por exemplo, P4.
- A saída do circuito de *debounce* da figura 3b (sinal OUT).

O que conclui?

5 - Um circuito integrado 74112 contém dois flip-flops JK negative-edge-triggered.

Desenhe o diagrama de estados de um flip-flop JK.

Teste um deles, preenchendo a última coluna da tabela 1.

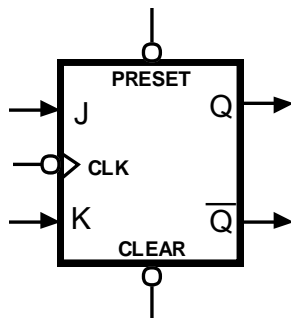


Fig. 4 - Flip-flop JK

PRESET	CLEAR	CLK	J	K	$Q_{n+1}$
0	1	X	X	X	
1	0	X	X	X	
1	1	1	0	0	
1	1	1	0	1	
1	1	1	1	0	
1	1	1	1	1	
1	1	1	X	X	

Tabela 1

Considere no exercício seguinte que A e B são os números mecanográficos (de 5 dígitos decimais) dos dois elementos do grupo, com  $A < B$ , sendo A1 e B1 os dígitos decimais mais à esquerda dos respectivos números, A5 e B5 os dígitos mais à direita. Caso o grupo tenha apenas um elemento, o número A é obtido da parte inteira de  $B/2$ , em que B é o número mecanográfico do aluno.

6 - Implemente, com recurso a flip-flops D (circuitos integrados 7474) e portas lógicas, um circuito sequencial que efectue a seguinte sequência:

A1, A2, A3, A4, A5, 10, A1, A2, A3, A4, A5, 10 ...

Apresente todas as etapas do projecto: diagrama de estados, tabela de estados/saídas, atribuição de estados, tabela de transição, equações de excitação, equações de saída e diagrama esquemático.

Monte o circuito e teste o seu funcionamento.