

Universidade do Minho - Departamento de Eletrónica Industrial

Sistemas Digitais - Laboratórios

Flip-flops e Máquinas de Estados

Duração máxima: 3 aulas.

Os alunos devem **entregar a preparação prévia ao docente no início da 1ª aula de cada trabalho (imediatamente ao entrar na sala)**, com a resolução de todas as questões indicadas a sublinhado no guia. **O atraso na entrega implicará uma penalização na nota.** A mesma resolução deve estar anotada no *logbook*.

Antes de realizar o trabalho, os alunos devem ter estudado os seguintes tópicos:

- 1) Diferenças entre entradas assíncronas e síncronas;
- 2) Distinção entre um latch e um flip-flop;
- 3) Funcionamento de flip-flops D, T e JK;
- 4) Diferenças entre lógica combinacional e lógica sequencial;
- 5) Construção de diagramas de estado e de tabelas de estado, de transição e de excitação.

Durante a realização do trabalho, os alunos devem:

- 1) Realizar as montagens indicadas no guia;
- 2) Registrar no *logbook* todos os valores calculados e medidos.

Depois de realizar o trabalho na totalidade, os alunos devem:

- 1) Ter verificado experimentalmente os tópicos propostos;
- 2) Ser capazes de identificar e evitar problemas de *bounce* em circuitos sequenciais;
- 3) Ser capazes de distinguir um flip-flop ativado por flanco ascendente (*positive-edge-triggered*) de um flip-flop ativado por flanco descendente (*negative-edge-triggered*);
- 4) Ser capazes de projetar circuitos sequenciais básicos.

Elementos de estudo:

- 1) Slides de Sistemas Digitais.
- 2) John F. Wakerly, "Digital Design, Principles and Practices", Prentice Hall, 2000.

PROCEDIMENTO

Obs.: Todas as entradas de todos os componentes digitais utilizados devem ser sempre ligadas a pontos que forneçam tensão (e.g. Vcc, GND, um interruptor ou uma saída de um componente), ou seja, nenhuma entrada deve ser deixada em aberto. Se esta recomendação não for seguida, o mais provável é que o componente não funcione conforme esperado.

1 - Quando uma saída provém diretamente de um interruptor normal, esta é afetada por problemas de **vibração mecânica (bounce)** quando o contacto se fecha. Isso significa que, caso a saída deste interruptor seja utilizada como **entrada de relógio (clock)** de um **circuito sequencial**, irão ocorrer **múltiplas transições do clock** para cada acionamento do interruptor (como ilustrado na figura 1a), em vez de somente uma de transição de cada vez, como seria desejável, pelo que o circuito não irá funcionar conforme esperado.

Obs.: Como foi visto num trabalho prático anterior, a figura 1a apresenta uma representação do circuito interno de um interruptor do Digital Lab (por exemplo, P4), que se encontra montado no interior deste equipamento, pelo que NÃO DEVE MONTAR ESSE CIRCUITO, visto que o sinal P4 indicado na figura já se encontra disponível.

De forma a garantir que a mudança de nível lógico se faça sem oscilações, torna-se necessário utilizar um circuito chamado “**circuito de debounce**” como o apresentado na figura 1b, que é baseado numa latch S’ R’.

Com este circuito, em vez de usar um interruptor mecânico (como o P4), deve usar um fio (como mostra a figura 1b) em que uma extremidade é ligada à massa e a outra faz contacto alternadamente com os terminais das resistências que estão ligados às entradas das portas NAND (pontos X e Y).

Indique o que acontece com o valor da saída OUT do circuito de *debounce* quando a extremidade livre do fio efetua a seguinte sequência:

- Faz contacto com o ponto Y.
- Deixa de fazer contacto com qualquer ponto.
- Passa a fazer contacto com o ponto X.
- Deixa de fazer contacto com qualquer ponto.

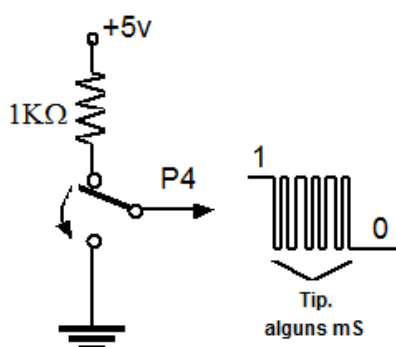


Fig. 1a - Interruptor mecânico.

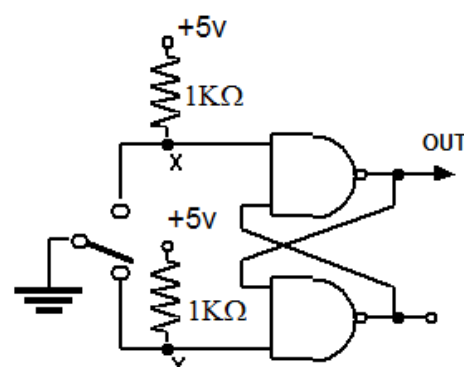


Fig. 1b - Circuito de *debounce*.

Monte o circuito de *debounce* e teste o seu funcionamento, com auxílio de um LED do Digital Lab na sua saída.

Obs.: Não desmonte o circuito de *debounce*, pois este circuito (ou equivalente) é para ser utilizado no exercício 3 e todos os exercícios seguintes que necessitem de *clock*.

2 - Um circuito integrado 74112 contém dois flip-flops JK *negative-edge-triggered* com entradas assíncronas $\overline{\text{PRESET}}$ e $\overline{\text{CLEAR}}$, como mostra a Figura 2.

Responda às seguintes perguntas:

- Quais devem ser os níveis lógicos que deve aplicar nas entradas $\overline{\text{PRESET}}$ e $\overline{\text{CLEAR}}$ para que o flip-flop opere de forma normal, ou seja, que a saída Q responda de forma síncrona às entradas de *clock*, J e K?
- Quais devem ser os níveis lógicos nas entradas $\overline{\text{PRESET}}$ e $\overline{\text{CLEAR}}$ para realizar a operação de SET assíncrono do flip-flop (ou seja, fazer $Q = 1$)?
- Quais devem ser os níveis lógicos nas entradas $\overline{\text{PRESET}}$ e $\overline{\text{CLEAR}}$ para realizar a operação de RESET assíncrono do flip-flop (ou seja, fazer $Q = 0$)?
- Preencha a Tabela 1 com os valores que as entradas J e K devem tomar para possibilitar as transições indicadas do estado atual (Q) para o estado seguinte (Q^*). Utilize *don't care* quando for apropriado.

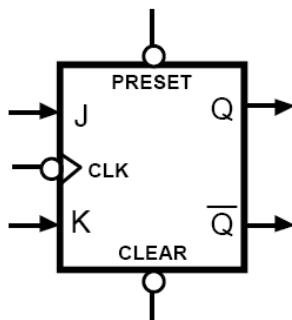


Fig. 2. Flip-flop JK.

Tabela 1.

Q	Q^*	J	K
0	0		
0	1		
1	0		
1	1		

3 - Projete um circuito contador ascendente/descendente de 2 bits utilizando flip-flops JK. O circuito deve possuir uma entrada X que controla a contagem da seguinte forma:

Para $X = 0$ 0, 1, 2, 3, 0, 1, 2, 3, 0, 1 ...

Para $X = 1$ 0, 3, 2, 1, 0, 3, 2, 1, 0, 3 ...

Além disso, o circuito deve ter uma outra entrada, chamada Z, que funciona da seguinte forma: Quando $Z = 0$, o valor inicial da contagem ($Q_1 = Q_0 = 0$, neste caso) é carregado nos flip-flops, de forma assíncrona. Quando $Z = 1$ o circuito efetua a contagem.

- Apresente uma tabela de transição/excitação que relacione como entradas: o estado atual (Q_1 e Q_0) e a entrada X; e como saídas: o estado seguinte (Q_1^* e Q_0^*) e os valores correspondentes nas entradas dos flip-flops (J_1 , K_1 , J_0 e K_0).
- Com base na tabela da alínea anterior, determine as equações de excitação dos flip-flops JK em função de Q_1 , Q_0 e X, com recurso a mapas de Karnaugh.
- Determine os sinais a inserir nas entradas assíncronas $\overline{\text{PRESET}}$ e $\overline{\text{CLEAR}}$ para satisfazer os requisitos deste problema.
- Desenhe o diagrama esquemático do circuito em conformidade com as regras indicadas nos trabalhos práticos anteriores.

Monte o circuito e teste o seu funcionamento **utilizando o circuito de *debounce*** montado no exercício 1 como entrada de *clock*.

Para comprovar a utilidade do circuito de *debounce*, após ter o circuito a funcionar conforme esperado, **observe o que ocorre quando substitui este circuito, na entrada de *clock*, por um interruptor normal do Digital Lab**, como por exemplo P7.

Considere no problema seguinte que A e B são os números mecanográficos (de 5 dígitos decimais) dos dois elementos do grupo, com $A < B$, sendo A1 e B1 os dígitos decimais mais à esquerda dos respectivos números, A5 e B5 os dígitos mais à direita. Caso o grupo tenha apenas um elemento, o número A é obtido da parte inteira de $B/2$, em que B é o número mecanográfico do aluno.

4 - Utilizando flip-flops D disponíveis em circuitos integrados 7474 e portas lógicas auxiliares, projete um circuito detetor de sequência que ative uma saída D sempre que detectar a sequência de 4 bits desejada (S) na sua entrada B.

A sequência S deve ser derivada do valor do dígito A5 do número mecanográfico A através fórmula $S = A5 + 1$.

Por exemplo, para $A = 75324$, $A5 = 4$, pelo que $S = 5$, ou 0101 em binário. Neste caso, temos como exemplo a seguinte correspondência entre valores de entrada e saída da máquina de estados:

B	0	1	0	0	1	1	0	1	0	1	0	1	1	0	1	0	1
D	0	0	0	0	0	0	0	0	0	1	0	1	0	0	0	0	1

O estado inicial da máquina de estados deve, por sua vez, corresponder aos 3 dígitos menos significativos do dígito B5 do número mecanográfico B. Por exemplo, no caso em que $B5 = 9$ (1001) o estado inicial corresponde a $Q2 = 0$, $Q1 = 0$ e $Q0 = 1$.

A atribuição de estados para os demais estados da máquina fica a critério do grupo.

Além disso, o circuito deve ter uma outra entrada, chamada R, que funciona da seguinte forma: Quando $R = 0$, o estado inicial é carregado nos flip-flops, de forma assíncrona. Quando $R = 1$ o circuito funciona em conformidade com as instruções anteriores.

- Construa o diagrama de estados para a sequência de 4 bits do seu grupo.
- Efetue a atribuição de estados tendo em consideração o valor do dígito B5.
- Apresente a tabela de transição/saída para o problema, relacionando como entradas: o estado atual ($Q2$, $Q1$ e $Q0$) e a entrada B; e como saídas: o estado seguinte ($Q2^*$, $Q1^*$ e $Q0^*$) e a saída da máquina de estados (D).
- Com base na tabela da alínea anterior, determine as equações de excitação dos flip-flops D e a equação de saída, com recurso a mapas de Karnaugh.
- Determine os sinais a inserir nas entradas assíncronas $\overline{\text{PRESET}}$ e $\overline{\text{CLEAR}}$ dos flip-flops para satisfazer os requisitos deste problema.
- Desenhe o diagrama esquemático do circuito.

Monte o circuito e teste o seu funcionamento.