

NOME: _____

TURMA _____



Universidade do Porto

Faculdade de Engenharia

Licenciatura em Engenharia Electrotécnica e de Computadores

Sistemas Digitais (1999/2000)

1ª chamada - 14/Junho/1999

Duração: 2h 30m, sem consulta.

Antes de iniciar a prova, tenha em atenção as seguintes recomendações:

- Leia atentamente toda a prova antes de a iniciar.
- Mostre e justifique adequadamente todos os passos das suas respostas.
- A prova deverá ser resolvida no enunciado. Se necessário, utilize o verso para continuar a sua resolução.
- Assine todas as folhas que entregar, indicando em cada uma o número de páginas/folhas que entregou.

1 - Considere a sequência de dígitos 10101

a) Diga qual é o seu valor se essa sequência representar:

i) um número inteiro em base 2 com 6 bits e em complemento para dois

ii) um número inteiro em base 2 com 5 bits e complemento para dois

iii) um número inteiro sem sinal em base 2

b) Determine o número com 6 bits representado em complemento para dois, que adicionado ao número 10101 representado em complemento para dois com 5 bits, dá o resultado -2. Efectue as operações aritméticas em binário que achar convenientes.

NOME: _____ TURMA _____

2 - Considere a função booleana $F(A,B,C,D)$:

$$F(A,B,C,D) = (\overline{B} + A).(\overline{B} + C + D).(B + C + \overline{D})$$

a) Represente $F(A,B,C,D)$ no mapa de Karnaugh junto e obtenha a representação de F na forma simplificada soma de produtos. Indique convenientemente os agrupamentos de uns ou zeros que considerou para construir a expressão simplificada.

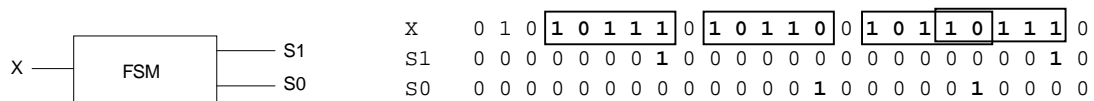
Sugestão: note que não é necessário construir a tabela de verdade para representar a função dada no mapa de Karnaugh!

		A			
		00	01	11	10
C	00				
	01				
	11				
	10				
		B			

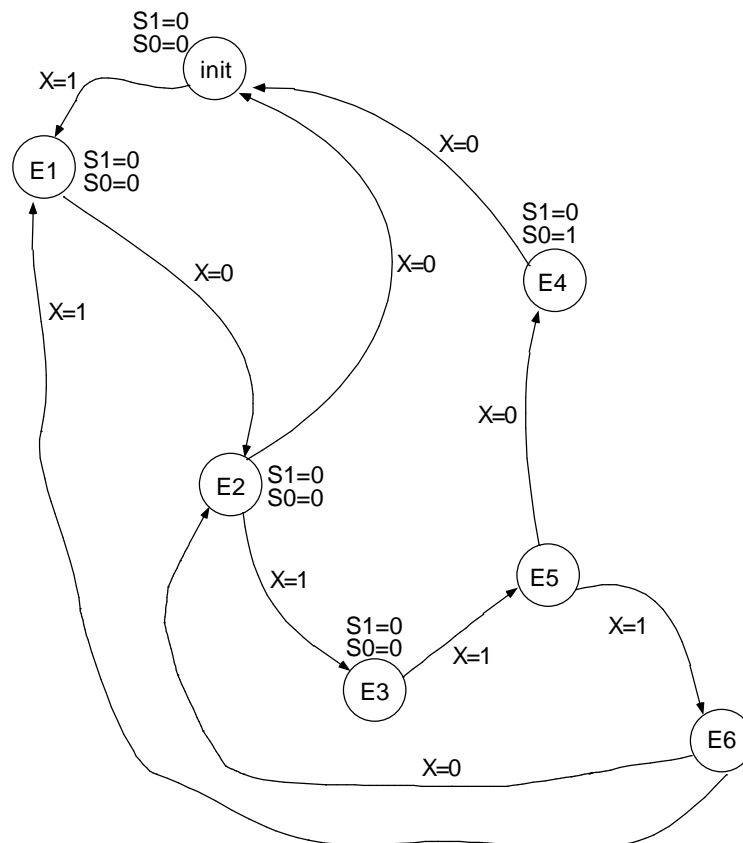
b) Considere agora uma função $G(A,B,C,D)$ que é idêntica a F , excepto no termo $ABCD=1101$ em que é indiferente. Construa um circuito minimizado utilizando apenas portas lógicas NOR de 2 ou 3 entradas que realize a função $G(A,B,C,D)$.

NOME: _____ TURMA _____

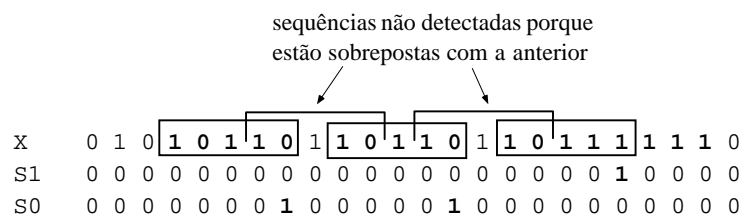
3 - Pretende-se construir uma máquina de estados de Moore com uma entrada X e duas saídas S1 e S0. A saída S1 toma o valor 1 quando é detectada na entrada X a sequência 10111; a saída S0 toma o valor 1 quando é detectada na entrada X a sequência 10110. As sequências a detectar podem ser parcialmente sobrepostas da forma que se exemplifica na figura:



a) A figura representa um diagrama de transição de estados incompleto para a máquina de Moore referida. Complete-o indicando claramente as transições de estado, condições de transição de estado ou valores para as saídas S1 e S0 que faltam.



b) Mantendo o modelo de máquina de Moore, modifique o diagrama de transição de estados de forma a que sejam apenas detectadas sequências não sobrepostas, i.e. sempre que é detectada uma sequência válida, só é iniciada a pesquisa de uma nova sequência com o primeiro bit a seguir à última sequência detectada (ver figura)



c) Mostre que se a máquina de estados referida em b) for implementada como uma máquina de Mealy é possível reduzir o número de estados.

NOME: _____ TURMA _____

4 - A figura seguinte representa a tabela de transição de estados de uma máquina de Mealy.

Estado S	Entrada X	
	X=0	X=1
A	B , 0	A , 1
B	C , 1	B , 1
C	A , 1	C , 0

Estado S	Q1, Q0
A	1 0
B	0 1
C	1 1

próximo estado S*, saída Z

a) Codificando os estados da forma que se indica na figura, preencha a tabela da figura com as funções lógicas que produzem o próximo estado Q1*, Q0* e a saída Z do circuito. Considere que as variáveis de estado são realizadas com *flip-flops* do tipo D e que se pretende minimizar a complexidade do circuito lógico resultante.

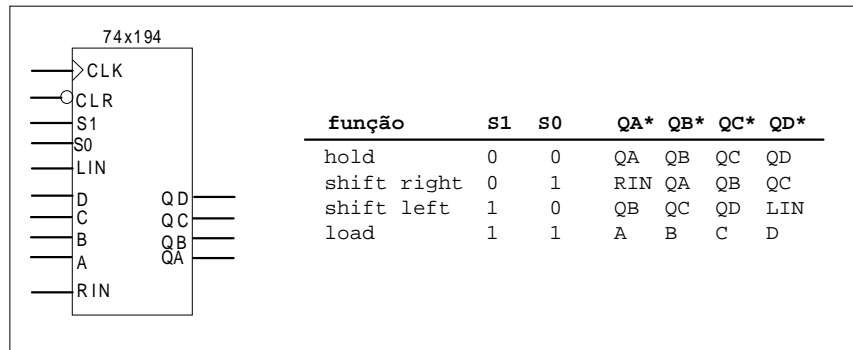
Q1	Q0	X	Q1*	Q0*	Z

b) Implemente a função Q0* utilizando um multiplexador 4 ÷ 1 (com 2 linhas de selecção) e inversores.

NOME: _____ TURMA _____

5 - Pretende-se gerar, utilizando um *universal shift-register* 74x194 (ver tabela), a seguinte sequência:

```
QA QB QC QD
0 0 0 0
0 0 0 1
0 0 1 1
0 1 1 1
1 1 1 1
1 1 1 0
1 1 0 0
1 0 0 0
0 0 0 0
. . .
```



a) Construa o circuito que gere a sequência pretendida nas saídas QA, QB, QC, QD do *shift-register*. Note que a sequência apresentada pode ser gerada por deslocamentos sucessivos de um bit.

Sugestão: para além do 74194, basta utilizar um inversor...

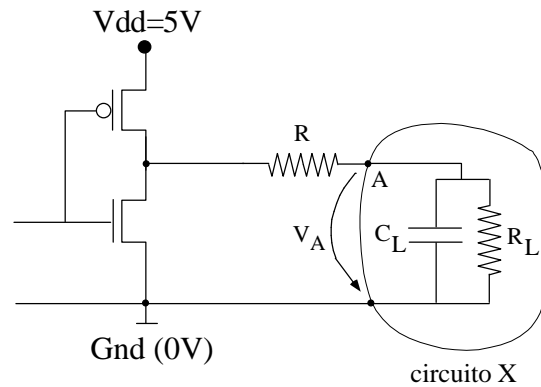
b) Mostre que alterações teria de introduzir no circuito para que uma entrada X permita seleccionar entre a sequência anterior (quando X=0) e a sequência seguinte (para X=1):

Sugestão: construa primeiro o circuito que implementa a nova sequência e só depois procure combinar os dois circuitos introduzindo a entrada X.

```
QA QB QC QD
0 0 0 0
0 0 0 1
0 0 1 1
0 1 1 1
1 1 1 0
1 1 0 0
1 0 0 0
0 0 0 1
0 0 1 1
. . .
```

NOME: _____ TURMA _____

6 - O circuito da figura representa um inversor CMOS cuja saída está ligada à entrada de um circuito digital X. A ligação entre os dois circuitos apresenta uma resistência R e a entrada do circuito X pode ser representada pelo paralelo de uma resistência R_L e um condensador C_L , como se mostra na figura.



Explique justificando, de que forma o valor da resistência R afecta:

- i) Os níveis lógicos na entrada do circuito X (ponto A)
- ii) A potência fornecida pela fonte de tensão V_{dd} .
- iii) Os tempos de subida e de descida da tensão V_A na entrada do circuito X

-FIM -

NOME: _____

TURMA _____

