

Universidade do Minho - Departamento de Eletrónica Industrial

Sistemas Digitais - Laboratórios

Multiplexadores e Descodificadores

Duração máxima: 2 aulas.

Os alunos devem **entregar a preparação prévia ao docente no início da 1ª aula de cada trabalho (imediatamente ao entrar na sala)**, com a resolução de todas as questões indicadas a sublinhado no guia. **O atraso na entrega implicará uma penalização na nota.** A mesma resolução deve estar anotada no *logbook*.

Antes de realizar o trabalho, os alunos devem ter estudado os seguintes tópicos:

- 1) Como funcionam multiplexadores e decodificadores;
- 2) Implementação de funções lógicas com multiplexadores e decodificadores.

Durante a realização do trabalho, os alunos devem:

- 1) Realizar as montagens indicadas no guia;
- 2) Registar no *logbook* todos os valores calculados e medidos.

Depois de realizar o trabalho na totalidade, os alunos devem:

- 1) Ter verificado experimentalmente os tópicos propostos;
- 2) Ter adquirido experiência com multiplexadores e decodificadores.

Elementos de estudo:

- 1) *Slides* de Sistemas Digitais.
- 2) John F. Wakerly, "Digital Design, Principles and Practices", Prentice Hall, 2000.

Nomes dos Pinos e dos Sinais

A partir deste trabalho começamos a utilizar **componentes digitais mais complexos** do que as portas lógicas. Estes componentes são representados na maior parte dos casos por **retângulos**. Como tal, ao contrário do que acontece com as portas lógicas, já não é mais possível saber **quais pinos são entradas e quais são saídas** com base no formato do componente. Sendo assim, é obrigatório **consultar o datasheet** para obter essa informação.

Outra diferença em comparação com as portas lógicas é que **cada pino do componente é identificado (na parte de dentro do retângulo), com um nome único** no âmbito do componente, que normalmente é **sugestivo do seu propósito**. Além de explicar quais são os pinos de entrada e quais são os de saída, **o datasheet também explica o propósito de cada pino e de que forma as entradas afetam as saídas**, na forma, por exemplo, de tabelas ou gráficos temporais.

Sendo assim, ao desenhar um componente deste tipo, é obrigatório indicar os nomes de todos os pinos do lado de dentro do componente, como no exemplo da Figura 1a. A princípio, um pino pode ser desenhado em qualquer lado do componente, seja à esquerda, à direita, acima ou abaixo. Sendo assim, **nunca deve deixar pinos sem nome num desenho** como na Figura 1b (quem consultar o desenho não deve ser forçado a assumir o propósito do pino com base na sua posição, pois isso pode levar a erros).

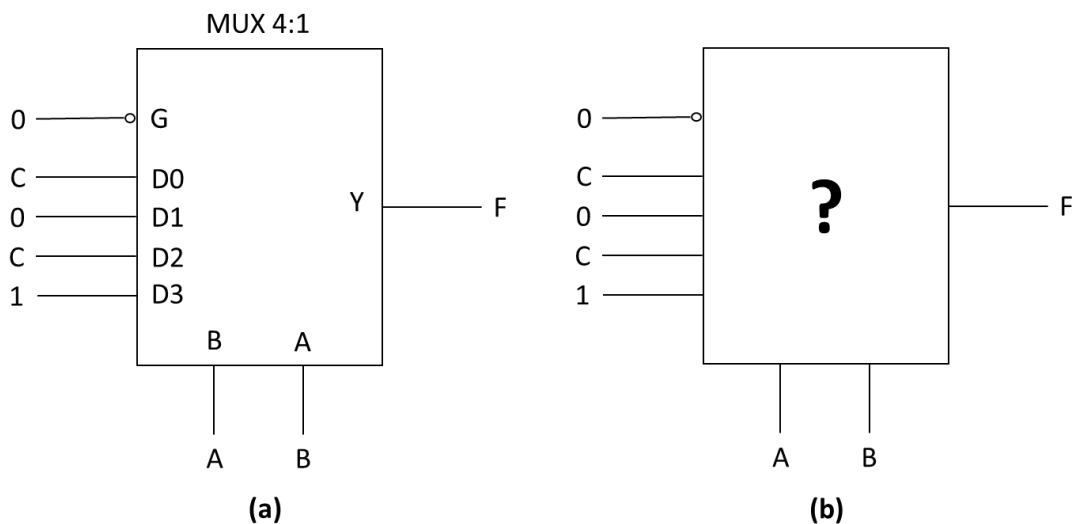


Figura 1 - Exemplo de desenho correto (a) e incompleto (b).

A Figura 1a mostra o exemplo do desenho de um **multiplexador 4:1** genérico (sem fazer parte de um circuito integrado, portanto, sem numeração dos pinos). Como o próprio nome indica, este requer a existência de **4 entradas de dados** (e.g. D0, D1, D2 e D3) e de **uma saída** (e.g. Y). Mas isso não é tudo, pois este multiplexador requer também **2 entradas de seleção** (e.g. B (MSB) e A, ou S1 e S0), visto que $2^2 = 4$. Repare que é necessário clarificar qual é a entrada de seleção mais significativa (ou a menos significativa) quando se utiliza os nomes A e B. Já no caso dos nomes S1 e S0, como foi explicado no trabalho anterior, a norma é usar o índice 0 para o bit menos significativo, o índice 1 para o bit seguinte, e assim por diante. Repare ainda que os nomes das entradas de dados fazem sentido, ajudando na compreensão do funcionamento do componente. Por exemplo, a entrada D2 é selecionada quando temos $BA = 10$ (2 em binário).

O multiplexador pode ter ainda uma ou mais entradas (e.g. G) de *enable*.

Outra convenção importante diz respeito ao nível lógico com que as entradas ou saídas são ativadas. Como pode verificar neste exemplo, o círculo junto à entrada G torna claro que esta é ativada com nível lógico "0" (esta entrada não teria o círculo se fosse ativada com "1"). Da mesma forma, um decodificador deve ser desenhado com círculos nas suas

saídas se estas forem ativadas com nível lógico “0” em vez de “1”. Uma convenção alternativa que também pode ser utilizada consiste em substituir o círculo pela negação do nome do pino (e.g. \overline{G}) quando este é ativado com “0”, como mostra a Figura 2a. Deve sempre utilizar uma dessas duas convenções ao desenhar os circuitos, mas não deve utilizar as duas ao mesmo tempo, como no exemplo da Figura 2b.

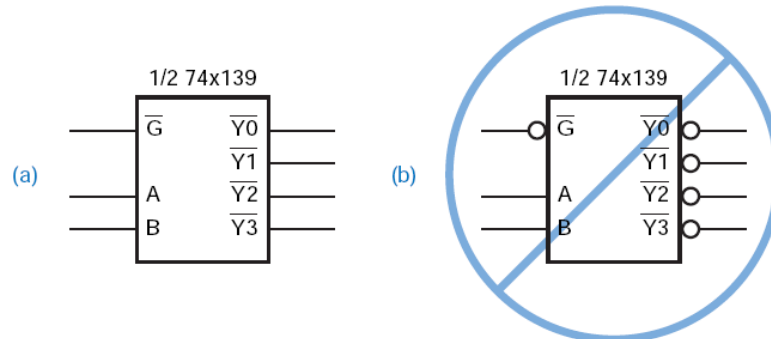


Figura 2 - Convenção alternativa para indicar que entradas ou saídas são ativadas com nível lógico “0” [2].

Enquanto que os nomes dos pinos devem ser desenhados sempre na parte de dentro dos componentes, **os nomes dos sinais devem ser desenhados sempre na parte de fora, junto às ligações** entre os componentes. Para justificar esta regra, vamos supor que nos é proposto um problema no qual são referidos sinais de entrada com os nomes A, B e C e um sinal de saída F. Ao projetar o circuito, reparamos que sinal A deve ser ligado à entrada de seleção mais significativa do multiplexador (pino B), e que o sinal B deve ser ligado ao pino A. Como pode verificar na Figura 1a, **com estas regras não há margem para confusão** porque os nomes dos pinos são desenhados dentro dos componentes e os nomes dos sinais são desenhados do lado de fora.

Quando utilizamos um componente real (contido num circuito integrado) e não um componente genérico, além de indicar no desenho os nomes dos sinais junto às ligações e os nomes dos pinos na parte de dentro do componente, devemos indicar também os **números dos pinos** (na parte de fora, mas junto ao componente), como aliás já foi explicado anteriormente na página 2 do TP2.

PROCEDIMENTO

Antes de iniciar o trabalho, leia atentamente a secção anterior.

Considere no problema seguinte que A e B são os números mecanográficos (de 5 dígitos decimais) dos dois elementos do grupo, com **A < B**, sendo A1 e B1 os dígitos decimais mais à esquerda dos respetivos números, A5 e B5 os dígitos mais à direita. Caso o grupo tenha apenas um elemento, o número A é obtido da parte inteira de B/2, em que B é o número mecanográfico do aluno.

1 - Deseja-se implementar neste problema 3 funções lógicas (F1, F2 e F3) em simultâneo. Cada função deverá ser implementada com recurso a um **multiplexador 4:1** e um mínimo de portas lógicas auxiliares, se for necessário. Para isso deve utilizar multiplexadores disponíveis em circuitos integrados 74153.

A sequência de valores de saída de cada função deve corresponder à sequência de bits de determinados dígitos do número mecanográfico A ou B, começando pela entrada correspondente ao número 0.

Neste sentido, os valores para a saída **F1** devem ser obtidos com base nos bits de **A3**, os valores de **F2** com base nos bits de **A4 e A5**, e os valores de **F3** devem ser obtidos dos bits de **B2, B3, B4 e B5**, nesta ordem.

Tomando como exemplo a função F2, se o número mecanográfico A fosse 79453, dado que A4 = 5 (0101) e A5 = 3 (0011), a sequência de bits seria 01010011, ou seja, devemos ter nível lógico “1” na saída para as entradas 1, 3, 6 e 7, pelo que neste caso temos:

$$F2 = \sum_{A,B,C} (1,3,6,7)$$

Os nomes dos sinais (bits) de entrada de cada função devem ser atribuídos em ordem alfabética, começando pela letra A. Neste exemplo, como F2 tem 8 saídas, são necessários 3 bits de entrada (A, B e C).

Para cada uma das 3 funções, apresente todos os passos associados ao projeto, incluindo:

- a) A identificação do nome e número de sinais (bits) de entrada e saída em conformidade com o enunciado do problema.
- b) A representação formal da função na forma de somatório de termos mínimos, como foi feito no exemplo acima.
- c) A tabela de verdade correspondente a esta função.
- d) As expressões lógicas para as entradas de dados e entradas de seleção do multiplexador em função das entradas da função. **Deve utilizar os mesmos nomes dos pinos que são usados no datasheet e ter atenção ao MSB.**
- e) O diagrama esquemático do circuito, tendo em consideração as numerações dos pinos indicadas nos circuitos integrados.

Monte os 3 circuitos e teste o seu funcionamento.

2 - Implemente, com recurso a **descodificadores 2:4**, um circuito que, em função da combinação dos valores de 3 entradas (A, B e C), habilite os dispositivos (D0 a D9) conforme indicado na tabela abaixo. Considere que **os dispositivos são habilitados com nível lógico “1”**. Utilize para o efeito um circuito integrado 74139 e um mínimo de portas lógicas auxiliares.

Os dispositivos a serem habilitados dependem dos valores dos dígitos dos números mecanográficos dos elementos do grupo. Assim, por exemplo, se $A = 57317$, então $A1 = 5$, portanto $D(A1) = D5$. Pelo mesmo exemplo $A2 = 7$, pelo que $D(A2) = D7$, e assim por diante.

A	B	C	Dispositivos habilitados
0	0	0	D(A2), D(B4)
0	0	1	D(A3)
0	1	0	D(B1), D(A5)
0	1	1	D(B3), D(A1), D(A4)
1	0	0	D(A5)
1	0	1	D(B2), D(A5)
1	1	0	D(B1), D(B4)
1	1	1	D(B5), D(A2), D(A3)

Apresente os seguintes passos associados a este projeto:

- Construa a tabela de verdade (**entradas A, B e C, saídas D0 a D9**) com a indicação dos dispositivos habilitados (com base nos valores dos dígitos dos números mecanográficos).
- Obtenha as expressões lógicas para as **saídas D0 a D9 em função das saídas de um descodificador 3:8 (pode chamá-las $\overline{Z0}$ a $\overline{Z7}$)**, e não das entradas A a C.
- Dado que só dispõe de descodificadores 2:4, explique como pode usá-los para construir um descodificador 3:8. Deve ter em consideração os nomes dos pinos dos descodificadores 2:4 utilizados no *datasheet* e os nomes dos pinos do descodificador 3:8 referidos na alínea anterior.
- Desenhe o diagrama esquemático do circuito que resolve o problema apresentado. Monte o circuito e teste o seu funcionamento.