

NOME: \_\_\_\_\_

TURMA \_\_\_\_\_

**Universidade do Porto**

Faculdade de Engenharia

Licenciatura em Engenharia Electrotécnica e de Computadores

**Sistemas Digitais (1999/2000)****2ª chamada - 5/Julho/2000****Duração: 2h 30m, sem consulta.****Antes de iniciar a prova, tenha em atenção as seguintes recomendações:**

- **Leia atentamente** toda a prova antes de a iniciar.
- **Justifique adequadamente** todos os passos das suas respostas.
- **A prova deverá ser resolvida no enunciado**, uma questão por folha. Se necessário, utilize o verso de cada folha para continuar a sua resolução.
- **Entregue todas as folhas do enunciado**, não se esquecendo de preencher o seu nome.

**1 -**

- a) Indique justificando o resultado da adição binária dos números  $A=011001$  e  $B=110011$ , ambos representados em complemento para dois com 6 *bits*. Efectue os cálculos que achar convenientes em binário

- b) Adicionando os números  $X=0101$  e  $Y=1111$  obtém-se um resultado com 4 *bits* igual a 0100. Diga, justificando, se ocorre *overflow* nessa operação se X e Y representarem números:

i) inteiros em base 2 com 4 *bits* e sem sinal

ii) inteiros em complemento para dois com 4 *bits*

NOME: \_\_\_\_\_ TURMA \_\_\_\_\_

**2** - O mapa de Karnaugh da figura representa uma função booleana  $F(A,B,C,D)$

		AB		A			
		00	01	11	10		
CD	00	1	1	1	0	D	
	01	d	d	1	0		
	11	1	1	1	0		
	10	1	0	0	0		
		B					

**a)** Obtenha a expressão mais simples do tipo POS ou SOP, considerando que pretende uma realização com portas lógicas do tipo inversor, AND ou OR com duas entradas. Note que não se pretende que desenhe o circuito lógico.

		AB		A			
		00	01	11	10		
CD	00	1	1	1	0	D	
	01	d	d	1	0		
	11	1	1	1	0		
	10	1	0	0	0		
		B					

**b)** Considere agora uma função  $G(A,B,C,D)$  que é idêntica a  $F$ , excepto no termo  $ABCD=0010$  em que é indiferente. Construa um circuito minimizado utilizando apenas portas lógicas NAND de 2 entradas que realize essa função .

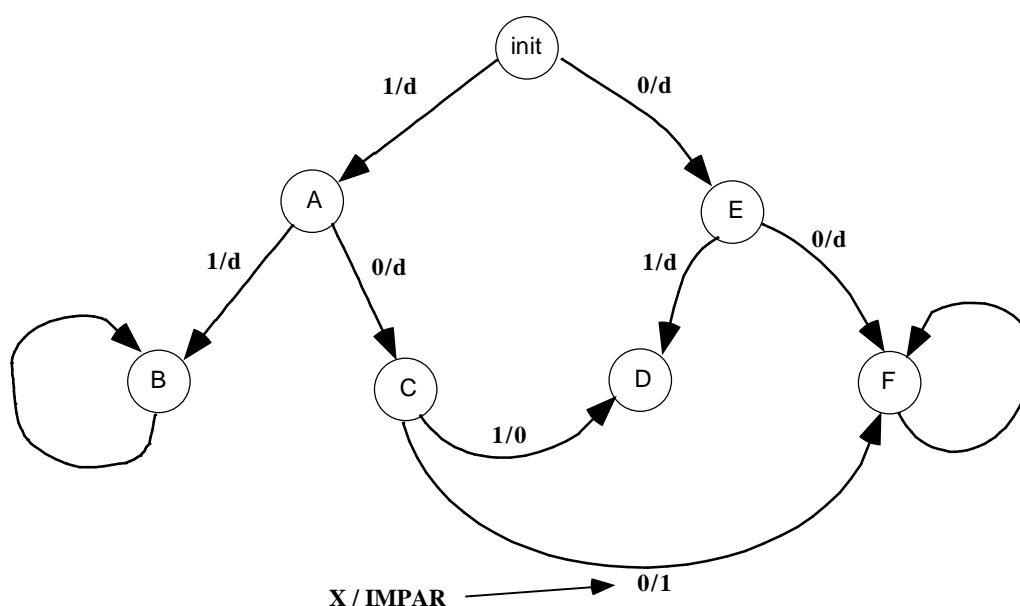
		AB		A			
		00	01	11	10		
CD	00					D	
	01						
	11						
	10						
		B					

NOME: \_\_\_\_\_ TURMA: \_\_\_\_\_

**3** - Pretende-se construir uma máquina de estados de Mealy com uma saída IMPAR que é 1 quando os 3 últimos *bits* consecutivos colocados na sua única entrada X incluírem um número ímpar de uns, e zero no caso contrário. Depois do início do funcionamento da máquina de estados, a saída IMPAR só é considerada válida após o 3º ciclo de relógio. A figura mostra um exemplo de uma sequência de *bits* na entrada X e o valor correspondente para a saída IMPAR

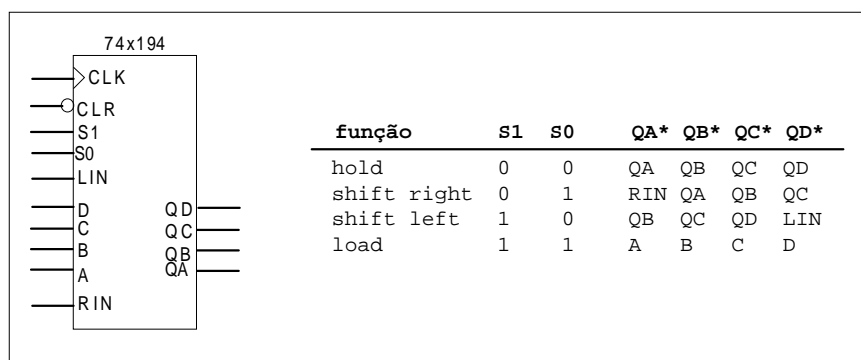
X: 0101101011110100  
 IMPAR: dd10000100110011  
 saída IMPAR é indiferente  
 nos 2 primeiros ciclos

a) A figura representa um diagrama de transição de estados incompleto para a máquina de Mealy referida. Complete-o indicando claramente as transições de estado, condições de transição de estado e valores para a saída IMPAR que faltam.



b) Sabendo que uma porta XOR de 3 entradas realiza a função detecção de paridade ímpar de uma palavra de 3 *bits* (ver tabela), construa um circuito utilizando um 74x194 (*universal shift-register*) que realize a funcionalidade da máquina de estados referida.

A	B	C	A ⊕ B ⊕ C
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	0
1	0	0	1
1	0	1	0
1	1	0	0
1	1	1	1



NOME: \_\_\_\_\_ TURMA \_\_\_\_\_

**4** - A figura seguinte representa a tabela de transição de estados de uma máquina de Moore.

Estado S	Entrada X		Saídas	
	X=0	X=1	Y	Z
E1	E2	E1	0	0
E2	E2	E3	1	1
E3	E3	E4	0	1
E4	E1	E5	0	1
E5	E5	E3	1	1

próximo estado S\*

**a)** Apresente e justifique uma codificação de estados que permita minimizar a complexidade do circuito lógico que realiza as saídas Y e Z.

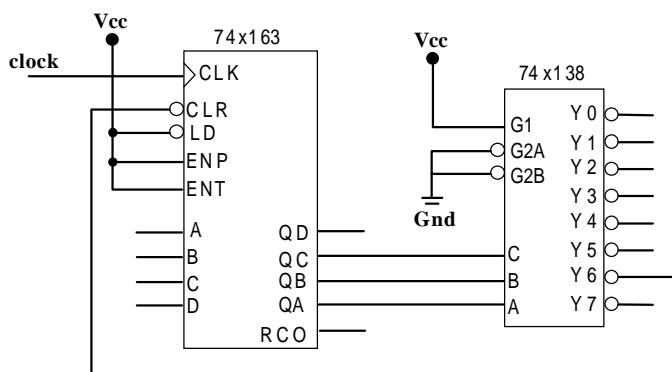
**b)** Considere a codificação de estados seguinte:

Estado S	Q2, Q1, Q0
E1	0 0 0
E2	0 0 1
E3	0 1 0
E4	0 1 1
E5	1 0 0

Obtenha uma expressão lógica minimizada para a saída  $Z=f(Q2, Q1, Q0, X)$ . Admita que Z é indiferente para os estados não especificados na tabela de transição de estados.

NOME: \_\_\_\_\_ TURMA: \_\_\_\_\_

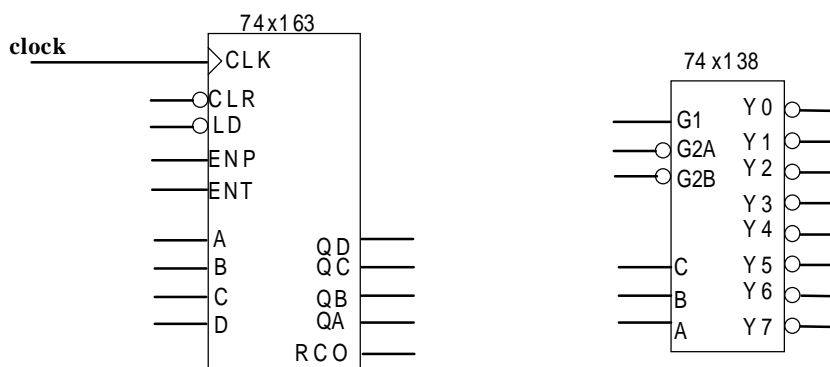
**5** - Considere o circuito síncrono da figura, realizado em torno de um contador binário 74x163 e de um decodificador 74x138



										74x138							
74x163										G1	/G2A	/G2B	C	B	A	/Y7	/Y6
estado presente																	
/CLR	/LD	ENT	ENP	QD	QC	QB	QA	QD*	QC*	QB*	QA*	/Y7	/Y6	/Y5	/Y4	/Y3	/Y2
0	x	x	x	x	x	x	x	0	0	0	0	1	1	1	1	1	1
1	0	x	x	x	x	x	x	D	C	B	A	1	1	1	1	1	1
1	1	0	x	x	x	x	x	QD	QC	QB	QA	1	1	1	1	1	1
1	1	x	0	x	x	x	x	QD	QC	QB	QA	1	1	1	1	1	1
1	1	1	1	N (se N<15)				N + 1				1	1	1	1	1	1
1	1	1	1	1	1	1	1	0	0	0	0	1	0	1	1	1	1

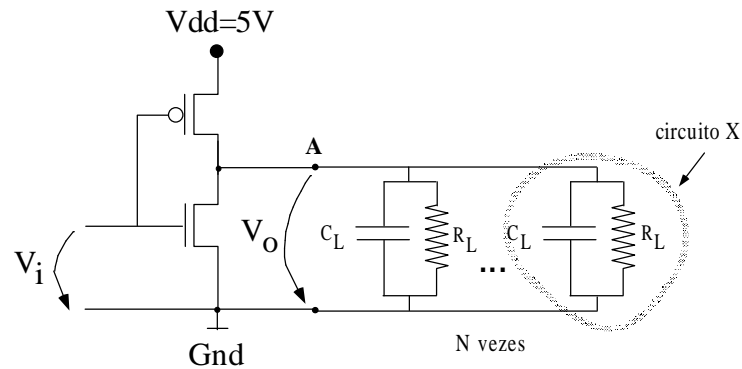
a) Admitindo um estado inicial igual a  $Q_D, Q_C, Q_B, Q_A = 0000$ , determine a sequência de valores que ocorrem nas saídas do contador.

b) Utilizando apenas o contador 74x163 e o decodificador 74x138, modifique o circuito anterior de forma a obter um contador que conte ciclicamente de 6 a 14, admitindo que o estado inicial é  $Q_D, Q_C, Q_B, Q_A = 0110$ .



NOME: \_\_\_\_\_ TURMA: \_\_\_\_\_

**6** - O circuito da figura representa um inversor CMOS cuja saída está ligada às entradas de N circuitos digitais do tipo X, conforme se mostra na figura. Cada entrada do circuito X pode ser representada pelo paralelo de uma resistência  $R_L$  e um condensador  $C_L$ .



**a)** Explique justificando, de que forma o número N de circuitos do tipo X afecta os níveis lógicos na saída do inversor (ponto A)

**b)** Escreva a expressão que relaciona a constante de tempo associada ao tempo de subida da tensão  $V_o$  (no ponto A) com N,  $C_L$ ,  $R_L$  e a resistência de condução do transistor PMOS,  $R_p$

-FIM -