

NOME: \_\_\_\_\_ TURMA \_\_\_\_\_

**FEUP**  
Universidade do Porto  
Faculdade de Engenharia**Departamento de Engenharia Electrotécnica  
e de Computadores****Sistemas Digitais (2000/2001)****Recurso – 8/Fevereiro/2001****Duração: 2 horas , sem consulta.****Antes de iniciar a prova, tenha em atenção as seguintes recomendações:**

- Leia atentamente toda a prova antes de a iniciar.
- Mostre e justifique adequadamente todos os passos das suas respostas.
- A prova deverá ser resolvida no enunciado. Se necessário, utilize o verso para continuar a sua resolução.
- Assine todas as folhas que entregar, indicando em cada uma o número de páginas/folhas que entregou.

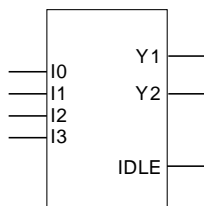
**1 -**

Num sistema digital para aquisição de dados, pretende-se representar e processar em binário valores inteiros de tensão eléctrica compreendidos entre -220 V e +220 V, utilizando uma representação em complemento para 2.

- a) Diga, justificando, qual é o número mínimo de *bits* necessário para representar os valores da tensão.
- b) Considerando que se pretende obter o resultado (correcto!) de operações de adição e subtracção entre quaisquer 2 valores de tensão, diga qual é o número mínimo de bits necessário para representar esse resultado.
- c) Represente em binário e complemento para dois os números  $X=200$  e  $Y=-100$ , e efectue em binário a subtracção  $X-Y$ , utilizando o número mínimo de bits necessário para obter o resultado correcto.

NOME: \_\_\_\_\_ TURMA \_\_\_\_\_

- 2** A figura representa um circuito codificador de prioridade com 4 entradas (I0, I1, I2, I3) e 3 saídas (Y1, Y2 e IDLE), todas activas no nível lógico '1':



A saída IDLE é activa quando nenhuma das entradas está activa; quando uma ou mais entradas estão activas, as saídas Y1, Y2 apresentam o valor binário (entre 0 e 3) correspondente à entrada activa de maior prioridade. Considera-se que a entrada I3 é a de maior prioridade e I0 a de menor prioridade.

- a) Preencha a tabela de verdade dada, de forma a traduzir o funcionamento do circuito codificador de prioridade:

I0	I1	I2	I3	Y1	Y2	IDLE

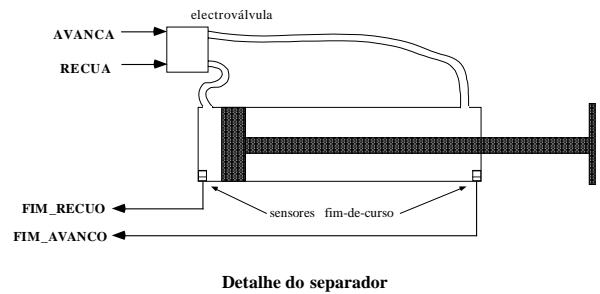
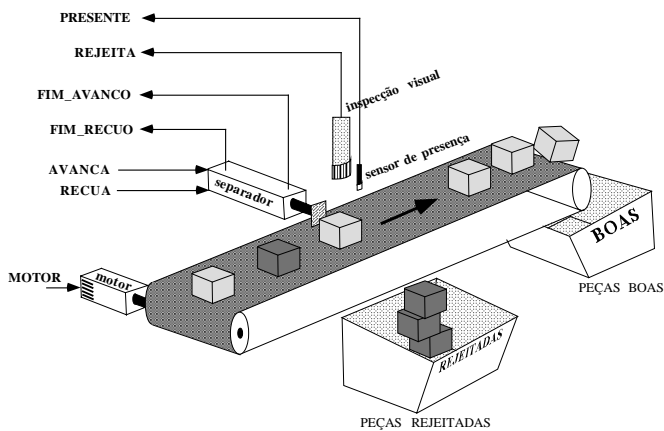
- b) Obtenha expressões simplificadas para as funções lógicas que representam o comportamento das 3 saídas do circuito Y1, Y2 e IDLE.

- c) Desenhe um circuito lógico que implemente o descodificador de prioridade, minimizando o número de portas lógicas dos tipos AND, OR e inversores utilizadas.

NOME: \_\_\_\_\_

TURMA \_\_\_\_\_

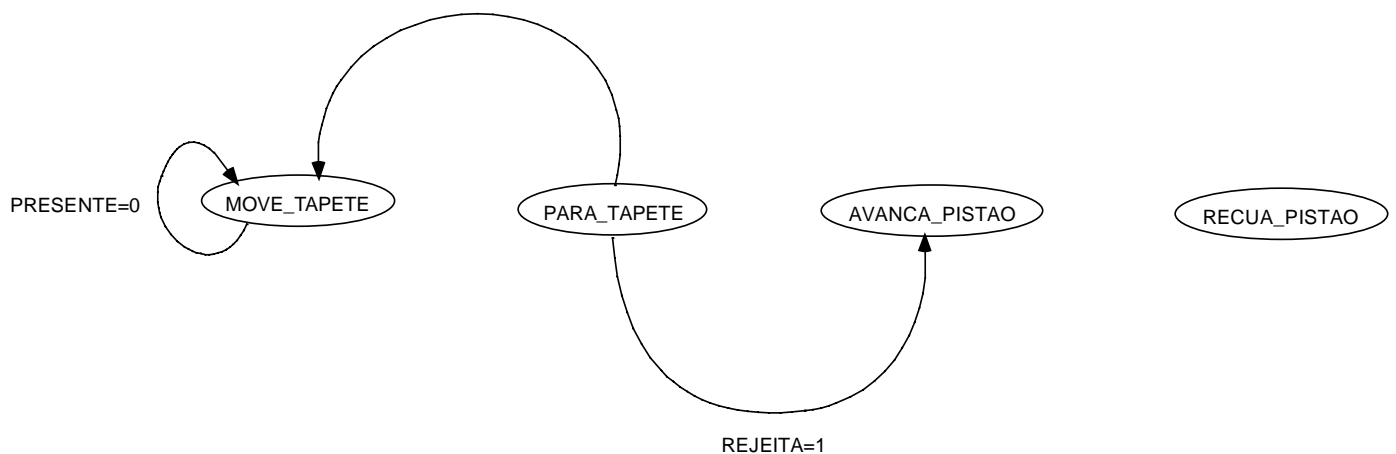
**3** - Pretende-se projectar o sistema de controlo de qualidade de cortiça destinado a separar numa linha de transporte, peças consideradas defeituosas. O sistema é baseado nos seguinte elementos (ver figura):



- Um tapete transportador accionado por um motor, controlado pela entrada MOTOR (quando MOTOR=1 o motor liga).
- Um separador constituído por um pistão accionado por um sistema pneumático, controlado por uma electroválvia e com dois sensores fim de curso. A electroválvia é comandada por dois sinais, AVANÇA e RECUA, que quando activados (iguais a '1'), provocam o movimento do êmbolo no sentido respectivo. Os sensores de fim de curso FIM\_AVANCO e FIM\_RECUE, quando activados, indicam que o êmbolo atingiu os extremos correspondentes.
- Um sensor que indica a presença de uma peça junto ao separador (PRESENTE=1 indica que a peça está presente)
- Um sistema de inspecção visual automático que quando o motor pára apresenta na saída REJEITAR o resultado da inspecção (REJEITAR=1 significa que a peça deve ser rejeitada).

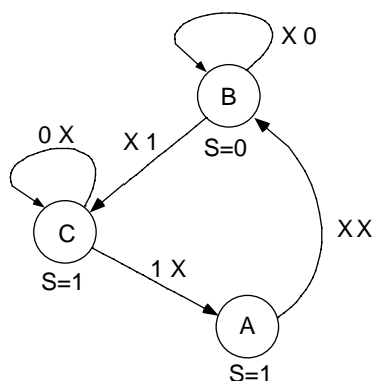
Quando em funcionamento, o sistema de controlo deve ligar o motor (MOTOR=1) até que seja detectada a presença de uma peça junto do separador. De acordo com o resultado da inspecção (REJEITA=1 ou REJEITA=0), a peça deve ser colocada no balde MÁ斯 por actuação do separador, ou continuar no tapete até cair no balde BOAS.

Complete o diagrama de transição de estados do sistema descrito, utilizando apenas os estados já representados e os nomes simbólicos referidos no texto para as entradas e saídas.



NOME: \_\_\_\_\_ TURMA \_\_\_\_\_

- 4 – O diagrama de transição de estados da figura representa uma máquina de Moore com duas entradas E1 e E2 e uma saída S (nas condições de transição de estado o valor 'X' significa indiferente).

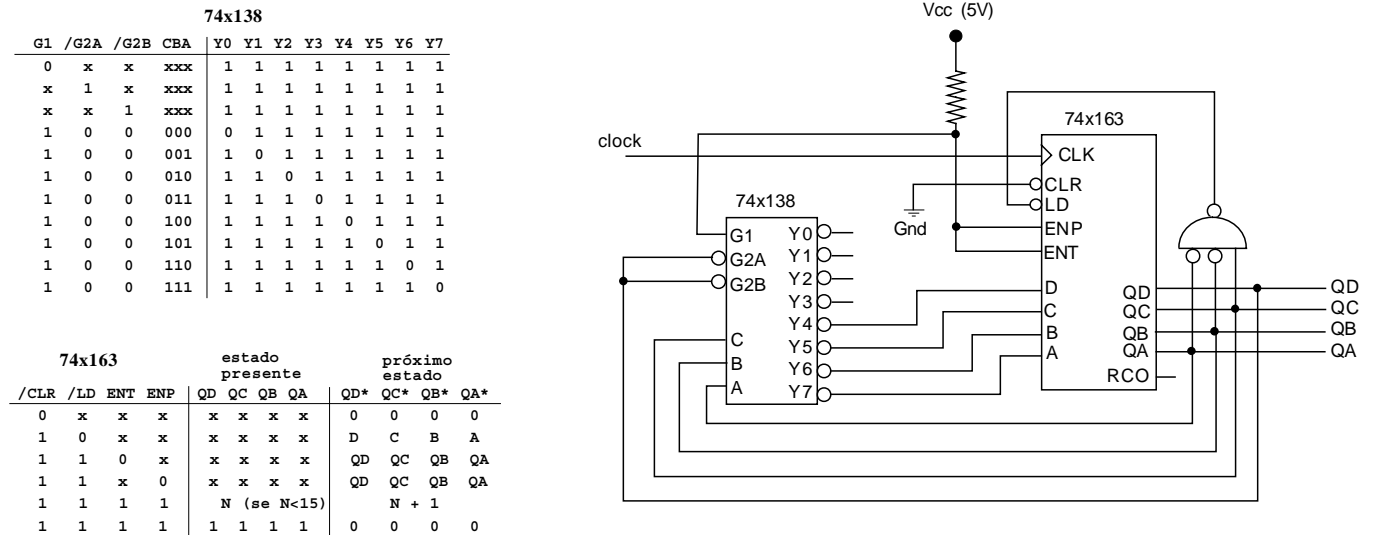


Condições de transição de estado são codificadas como os valores E1 E2

- a) Construa a tabela de transição de estados, atribuindo a seguinte codificação aos estados: A=01, B=10 e C=11.
- b) Desenhe o esquema do circuito lógico que implementa a máquina de estados, utilizando *flip-flops* do tipo D, adotando uma estratégia que lhe permita minimizar a complexidade do circuito resultante.

NOME: \_\_\_\_\_ TURMA \_\_\_\_\_

**5** – Considere o circuito síncrono baseado num contador binário (74x163) e num decodificador 74x138 mostrado na figura:



a) Admitindo que o estado inicial é  $Q_D Q_C Q_B Q_A = 0000$ , determine a sequência de valores apresentados na saída do contador.

b) Modifique o circuito anterior acrescentando-lhe uma entrada X de forma a que quando  $X=1$  o circuito mantenha o comportamento anterior, e quando  $X=0$  seja gerado nas saídas do contador a sequência de valores 0,1,2,3,4,15,0,1,2,3,4,...

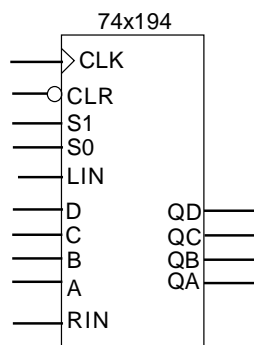
NOME: \_\_\_\_\_ TURMA \_\_\_\_\_

**6** – Pretende-se construir uma máquina de estados com 4 saídas  $Q_D Q_C Q_B Q_A$  que produza nessas saídas a sequência de valores:

0, 1, 2, 4, 8, 1, 2, 4, 8, 1, 2, ...

- a) Desenhe um circuito baseado num *shift-register* 74x194 e em circuitos lógicos adicionais capaz de realizar a funcionalidade pretendida para a máquina de estados.

Universal Shift-register 74x194						
função	S1	S0	QA*	QB*	QC*	QD*
hold	0	0	QA	QB	QC	QD
shift right	0	1	RIN	QA	QB	QC
shift left	1	0	QB	QC	QD	LIN
load	1	1	A	B	C	D



- b) Modifique agora o circuito que desenhou na alínea anterior por forma a produzir nas saídas a sequência de valores:

0, 1, 2, 4, 8, 4, 2, 1, 2, 4, 8, 4, 2, 1, ...

Sugestão: este problema pode ser resolvido utilizando um *flip-flop* do tipo *toggle* com *enable*.