


NOME: _____ 1ª Chamada - Correção	TURMA: _____ <div style="text-align: center;">  <h2 style="margin: 0;">Universidade do Porto</h2> <h3 style="margin: 0;">Faculdade de Engenharia</h3> <h4 style="margin: 0;">Licenciatura em Engenharia Electrotécnica e de Computadores</h4> </div>
--------------------------------------	------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------

Sistemas Digitais (1999/2000)**1ª chamada - 14/Junho/2000****Duração: 2h 30m, sem consulta.****Antes de iniciar a prova, tenha em atenção as seguintes recomendações:**

- Leia atentamente toda a prova antes de a iniciar.
- Mostre e justifique adequadamente todos os passos das suas respostas.
- A prova deverá ser resolvida no enunciado. Se necessário, utilize o verso para continuar a sua resolução.
- Assine todas as folhas que entregar, indicando em cada uma o número de páginas/folhas que entregou.

1 - Considere a sequência de dígitos 10101**a) Diga qual é o seu valor se essa sequência representar:****i) um número inteiro em base 2 com 6 bits e em complemento para dois**

Se a sequência 10101 representa um número com 6 bits, então assume-se que existe um zero à esquerda: 010101. Como neste caso o bit mais significativo é zero (bit de sinal), podemos concluir que o número representado é positivo, sendo o seu valor obtido pela conversão para decimal do valor dado:

$$2^4 + 2^2 + 2^0 = 21$$

ii) um número inteiro em base 2 com 5 bits e complemento para dois

Como o bit mais significativo é 1, podemos concluir que o número é negativo e para obter o seu valor absoluto é necessário calcular o seu simétrico (complemento para dois). Trocando os bits todos obtemos 01010 e adicionando 1 dá 01011 que vale:

$$2^3 + 2^1 + 2^0 = 11 \quad \text{Assim a sequência dada representa a quantidade } -11$$

iii) um número inteiro sem sinal em base 2

Se a sequência 10101 representar um número sem sinal em base 2, o seu valor é obtido calculando a sua conversão para decimal:

$$2^4 + 2^2 + 2^0 = 21$$

b) Determine o número com 6 bits representado em complemento para dois, que adicionado ao número 10101 representado em complemento para dois com 5 bits, dá o resultado -2. Efectue as operações aritméticas em binário que achar convenientes.

Pretende-se calcular um número X com 6 bits e em complemento para 2, tal que $X+Y=-2$, sendo Y o número 10101 representado em complemento para dois com 5 bits. Para simplificar a realização dos cálculos, é conveniente representar todos os operandos no mesmo formato: 6 bits em complemento para dois:

*Y = 10101 representado com 6 bits (estendendo o bit de sinal) fica 110101
 -2 = complemento para 2 de +2: 000010 complementado os bits: 111101 e somando 1 dá 111110*

Podemos então calcular o valor pedido realizando a operação: $X = -2 - Y$:

-2	111110
Y	-110101
X	001001

Assim, o número pedido é X = 001001 que representa a quantidade +9.

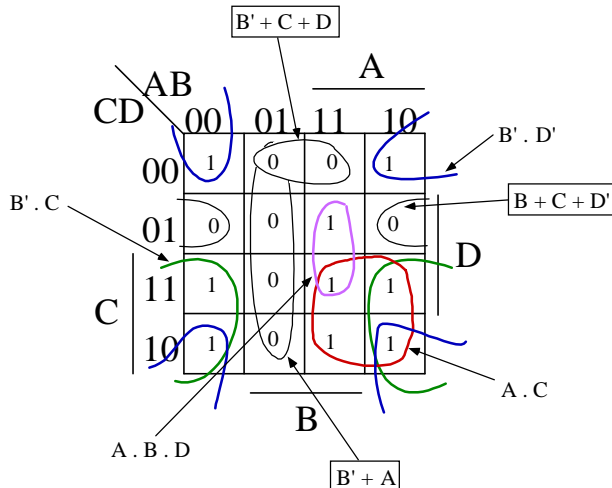
NOME: _____ 1ª Chamada - Correção _____ TURMA _____

2 - Considere a função booleana $F(A,B,C,D)$:

$$F(A,B,C,D) = (\overline{B} + A) \cdot (\overline{B} + C + D) \cdot (B + C + \overline{D})$$

a) Represente $F(A,B,C,D)$ no mapa de Karnaugh junto e obtenha a representação de F na forma simplificada soma de produtos. Indique convenientemente os agrupamentos de uns ou zeros que considerou para construir a expressão simplificada.

Sugestão: note que não é necessário construir a tabela de verdade para representar a função dada no mapa de Karnaugh!

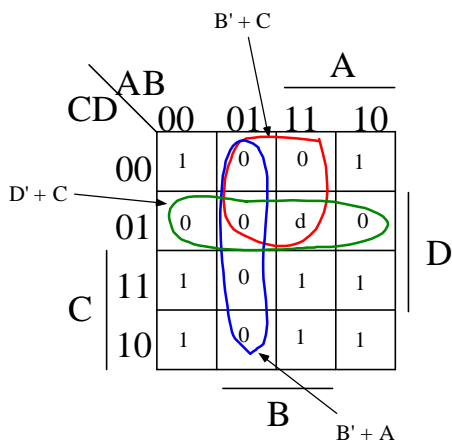


Podemos representar a função $F(A,B,C,D)$ directamente no mapa de Karnaugh, já que esta é apresentada na forma produtos-de-somas. Assim, cada termo de soma corresponderá um grupo de zeros no mapa (assinalados a sombreado). A expressão mínima soma-de-produtos é obtida agrupando os uns da forma que se apresenta na figura, resultando a expressão minimizada:

$$F(A,B,C,D) = B' \cdot C + A \cdot B \cdot D + A \cdot C + B' \cdot D'$$

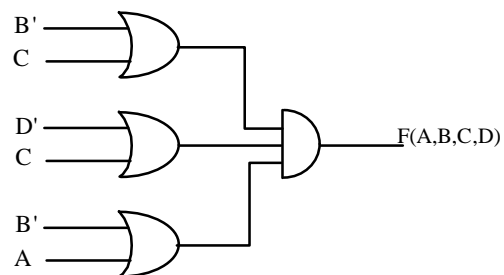
b) Considere agora uma função $G(A,B,C,D)$ que é idêntica a F , excepto no termo $ABCD=1101$ em que é indiferente. Construa um circuito minimizado utilizando apenas portas lógicas NOR de 2 ou 3 entradas que realize a função $G(A,B,C,D)$.

Para construir um circuito minimizado comportas lógicas NOR é conveniente determinar a nova expressão mínima produto-de-somas, considerando agora o termo $ABCD=1101$ indiferente. Reconstruindo o mapa de Karnaugh obtemos a nova expressão mínima:

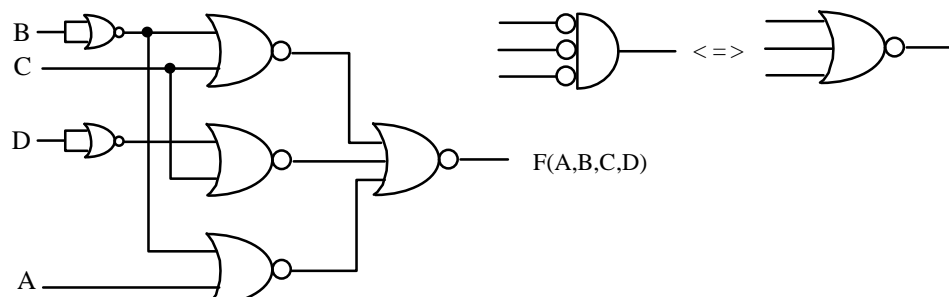


$$F(A,B,C,D) = (B' + C) \cdot (D' + C) \cdot (B' + A)$$

O circuito OR-AND que realiza esta função é:

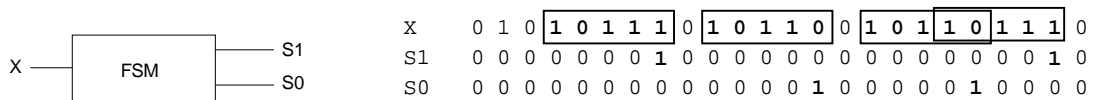


podendo ser transformado no circuito equivalente só com portas NOR por aplicação das leis de DeMorgan:

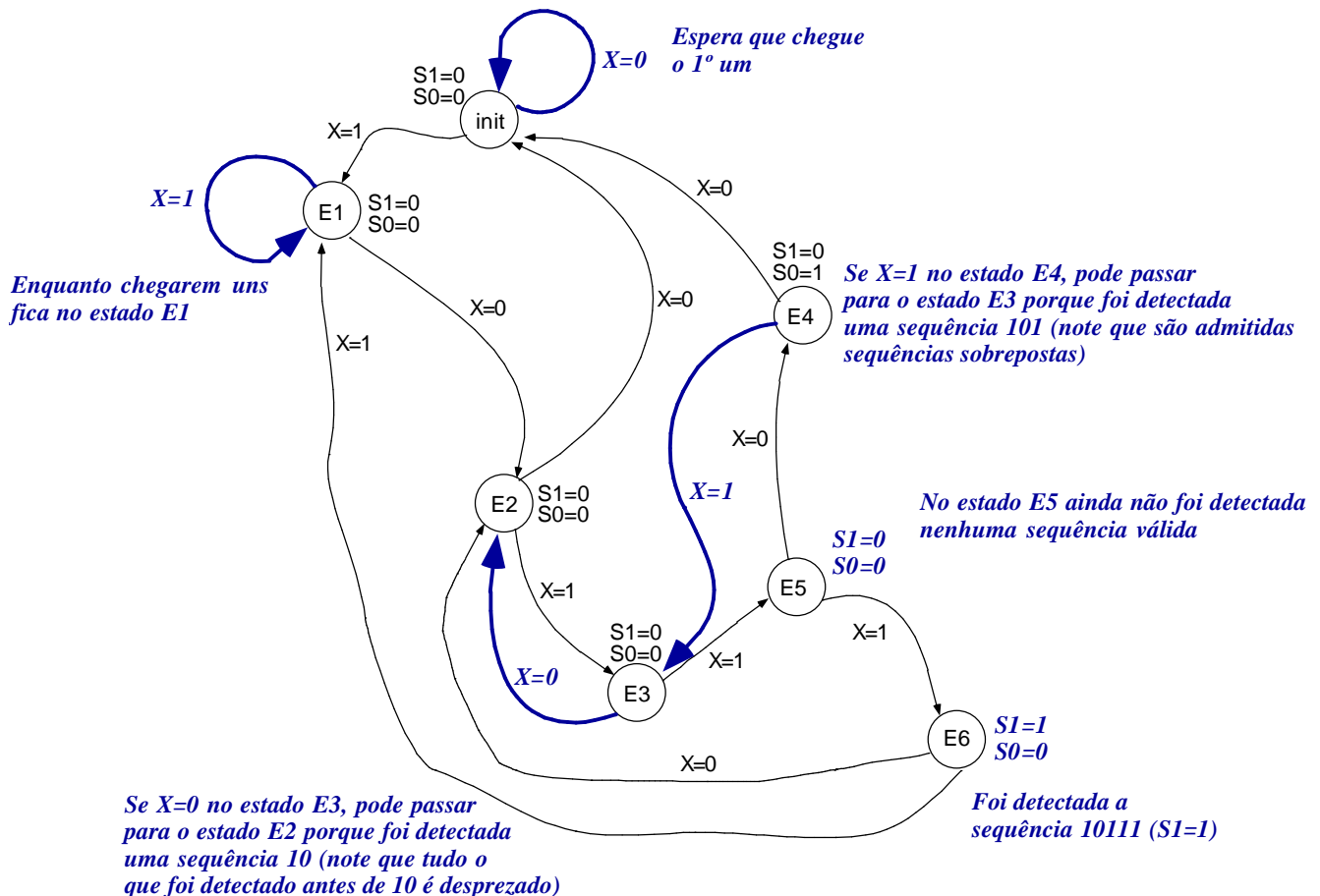


NOME: _____ 1ª Chamada - Correção _____ TURMA _____

3 - Pretende-se construir uma máquina de estados de Moore com uma entrada X e duas saídas S1 e S0. A saída S1 toma o valor 1 quando é detectada na entrada X a sequência 10111; a saída S0 toma o valor 1 quando é detectada na entrada X a sequência 10110. As sequências a detectar podem ser parcialmente sobrepostas da forma que se exemplifica na figura:

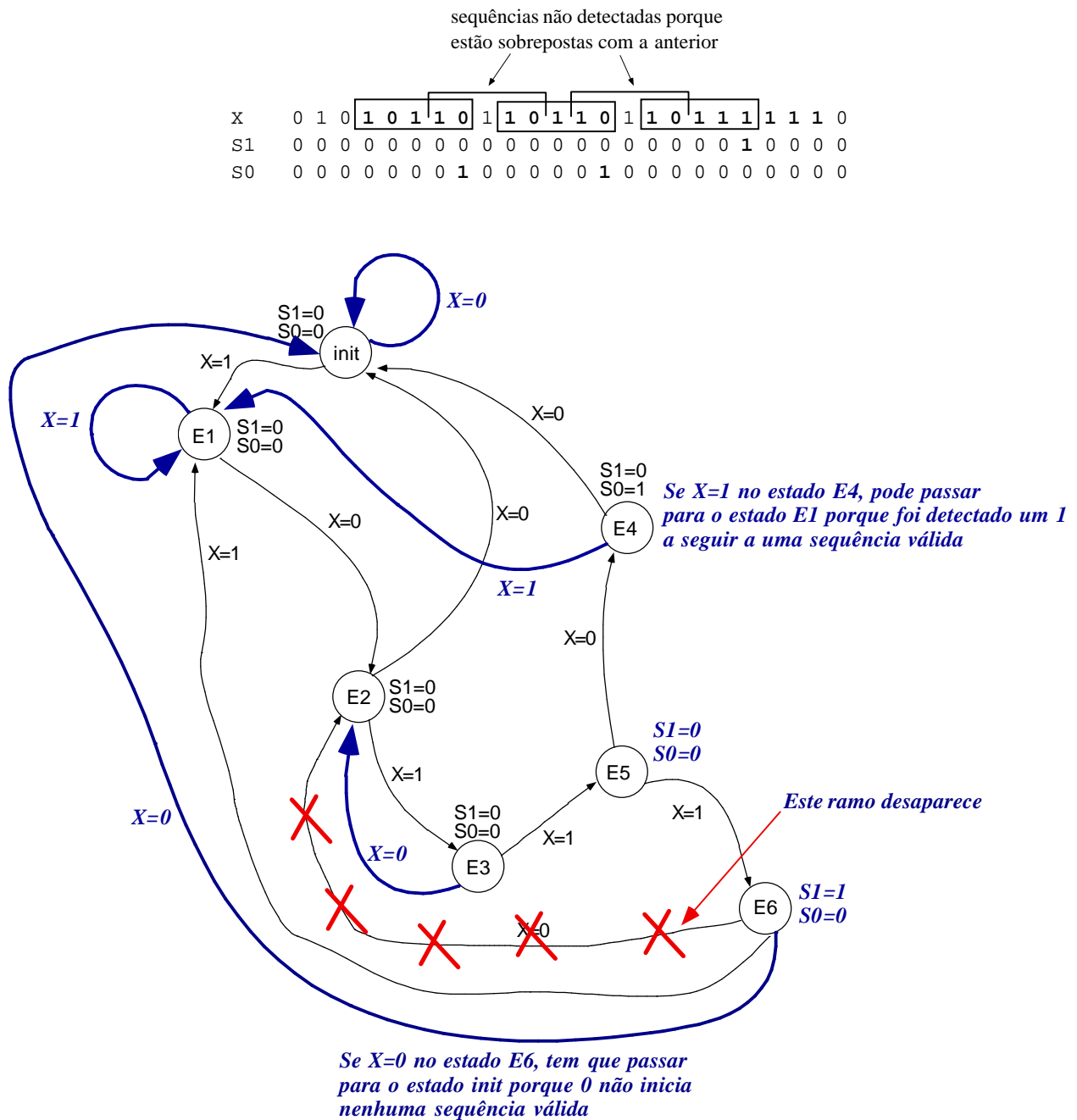


a) A figura representa um diagrama de transição de estados incompleto para a máquina de Moore referida. Complete-o indicando claramente as transições de estado, condições de transição de estado ou valores para as saídas S1 e S0 que faltam.



NOME: _____ 1ª Chamada - Correção _____ TURMA _____

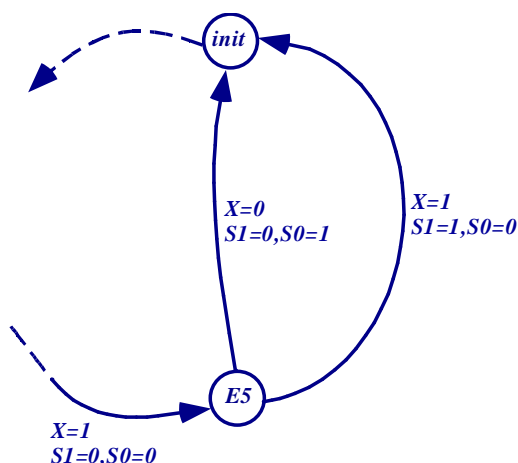
b) Mantendo o modelo de máquina de Moore, modifique o diagrama de transição de estados de forma a que sejam apenas detectadas sequências não sobrepostas, i.e. sempre que é detectada uma sequência válida, só é iniciada a pesquisa de uma nova sequência com o primeiro bit a seguir à última sequência detectada (ver figura)



NOME: _____ 1ª Chamada - Correção _____ TURMA _____

c) Mostre que se a máquina de estados referida em b) for implementada como uma máquina de Mealy é possível reduzir o número de estados.

O estado E5 é atingido quando for detectada a sequência 1011. Isto é válido tanto para o modelo da máquina de estados de Moore (modelo apresentado em b)), tanto para o modelo de Mealy. O estado seguinte ao estado E5 será sempre o estado init porque qualquer que seja o próximo bit recebido em X (1 ou 0) será sempre detectada uma das duas sequências válidas. Nesse caso a máquina deve ser reiniciada já que não se pretende detectar sequências sobrepostas. Assim, do estado E5 irão existir duas transições para o estado init, às quais serão associadas condições diferentes de transição de estado e saídas. Desta forma é possível eliminar os estados E4 e E6, tal como se mostra na figura:



O estado E5 é atingido quando for detectada a sequência 1011. Se neste estado X for 0, então é detectada a sequência 10110 e é activada a saída S0; se X for 1, então é detectada a sequência 10111 sendo activada a saída S1

4 - A figura seguinte representa a tabela de transição de estados de uma máquina de Mealy.

Estado S	Entrada X	
	X=0	X=1
A	B , 0	A , 1
B	C , 1	B , 1
C	A , 1	C , 0

Estado S	Q1, Q0
A	1 0
B	0 1
C	1 1

próximo estado S*, saída Z

a) Codificando os estados da forma que se indica na figura, preencha a tabela da figura com as funções lógicas que produzem o próximo estado Q1*, Q0* e a saída Z do circuito. Considere que as variáveis de estado são realizadas com *flip-flops* do tipo D e que se pretende minimizar a complexidade do circuito lógico resultante.

A tabela com as funções lógicas pretendidas é construída substituindo na tabela dada os nomes simbólicos dos estados (A, B e C) pela codificação dada em Q1, Q0. Para além disso, e como se pretende minimizar a complexidade dos circuitos lógicos, é necessário especificar como don't cares os valores das funções Q1*, Q0* e Z quando as variáveis de estado assumem os valores Q1=1 e Q0=0:

Q1	Q0	X	Q1*	Q0*	Z
0	0	0	0	0	1
0	0	1	0	1	1
0	1	0	1	1	0
0	1	1	0	1	1
1	0	0	d	d	d
1	0	1	d	d	d
1	1	0	1	1	1
1	1	1	0	0	0

NOME: _____ 1ª Chamada - Correção _____ TURMA _____

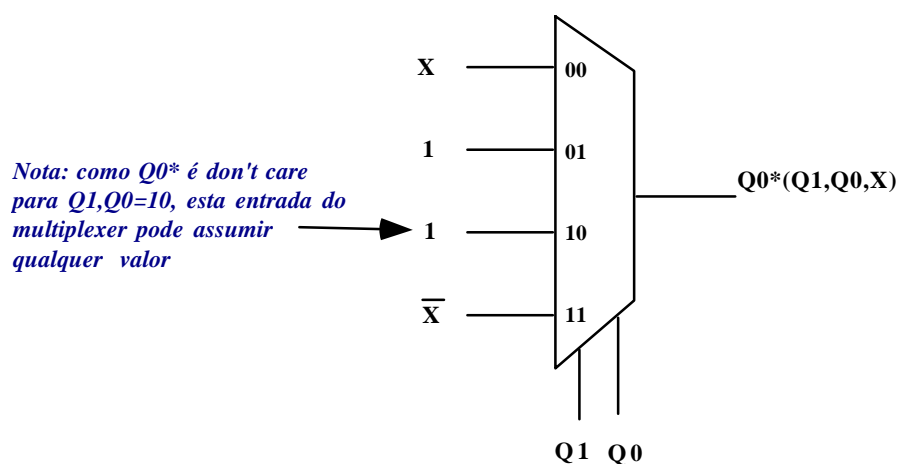
- b) Implemente a função $Q0^*$ utilizando um multiplexador 4 ÷ 1 (com 2 linhas de selecção) e inversores.

Re-arranjando a tabela de verdade da função $Q0^$ na forma mais conveniente para realizar a função com um multiplexer:*

$Q1$	$Q0$	X	$Q1^*$	$Q0^*$	Z
0	0	0		0	
0	0	1		1	
0	1	0		1	
0	1	1		1	
1	0	0		d	
1	0	1		d	
1	1	0		1	
1	1	1		0	

$Q0^* = X$
 $Q0^* = 1$
 $Q0^* = d$ (don't care)
 $Q0^* = \bar{X}$

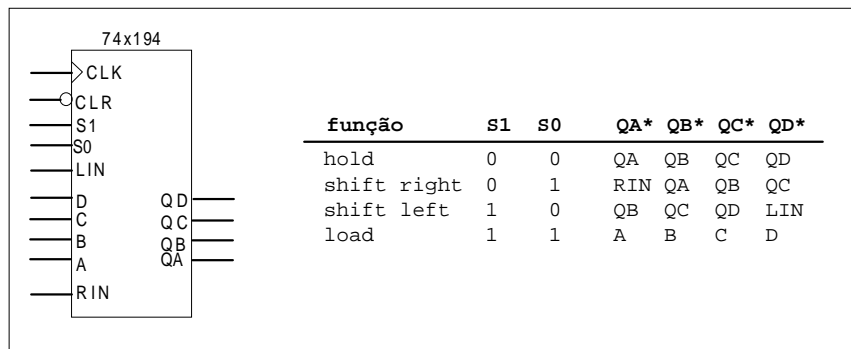
O circuito lógico com um multiplexer é obtido ligando as linhas de selecção às variáveis mais significativas e as entradas aos valores lógicos X, 1 ou X', consoante determinado na tabela acima:



NOME: _____ 1ª Chamada - Correção _____ TURMA _____

5 - Pretende-se gerar, utilizando um *universal shift-register* 74x194 (ver tabela), a seguinte sequência:

QA	QB	QC	QD
0	0	0	0
0	0	0	1
0	0	1	1
0	1	1	1
1	1	1	1
1	1	1	0
1	1	0	0
1	0	0	0
0	0	0	0
.	.	.	.



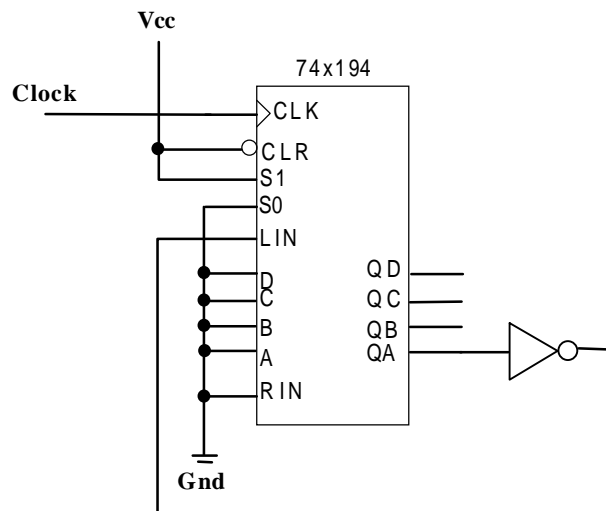
a) Construa o circuito que gere a sequência pretendida nas saídas QA, QB, QC, QD do *shift-register*. Note que a sequência apresentada pode ser gerada por deslocamentos sucessivos de um bit.

Sugestão: para além do 74194, basta utilizar um inversor...

Pela sequência dada podemos verificar que:

- i) o estado seguinte é obtido sempre deslocando os bits do estado anterior para a esquerda. Isto significa que o *shift-register* irá funcionar no modo *shift left*, a que corresponde $S1, S0=1, 0$
- ii) o novo bit que entra pelo lado direito (na entrada LIN) é a negação do bit mais significativo (QA) do estado anterior

Assim (e seguindo a sugestão dada!) o circuito pretendido pode ser obtido ligando a saída QA negada à entrada LIN, necessitando para isso um inversor:



b) Mostre que alterações teria de introduzir no circuito para que uma entrada X permita seleccionar entre a sequência anterior (quando $X=0$) e a sequência seguinte (para $X=1$):

Sugestão: construa primeiro o circuito que implementa a nova sequência e só depois procure combinar os dois circuitos introduzindo a entrada X.

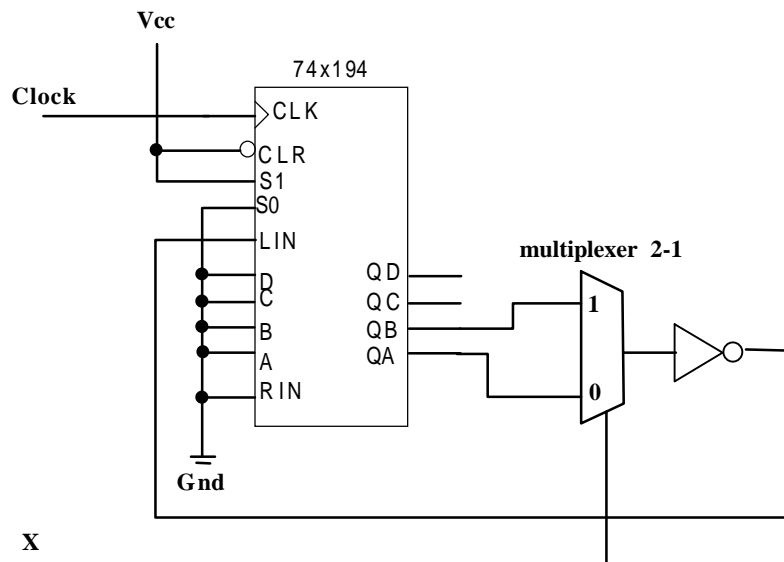
QA	QB	QC	QD
0	0	0	0
0	0	0	1
0	0	1	1
0	1	1	1
1	1	1	0
1	1	0	0
1	0	0	0
0	0	0	1
0	0	1	1
.	.	.	.

A nova sequência é semelhante à anterior, excepto que os estados 0000 e 1111 nunca são atingidos (note que pela tabela dada é assumido que o estado inicial é 0000, mas não é atingido de novo). De forma semelhante à sequência anterior, também neste caso é sempre efectuado um deslocamento para a esquerda, mas agora o bit que entra pela esquerda é a negação do bit QB do estado anterior. A sequência dada pode ser gerada por um circuito semelhante ao apresentado na alínea anterior, com a diferença que a entrada do inversor é ligada à saída QB.

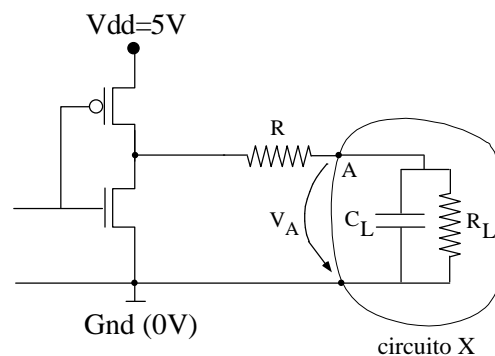
O circuito pedido, com uma entrada X que permita comutar entre as duas sequências pode ser construído recorrendo a um multiplexador que, em função do valor de X ligue a entrada do inversor à saída QA ou QB, consoante se pretenda a primeira ou segunda sequências, respectivamente para $X=0$ e $X=1$. O circuito completo é mostrado na figura seguinte.

NOME: 1ª Chamada - Correção

TURMA: _____



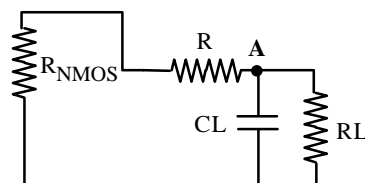
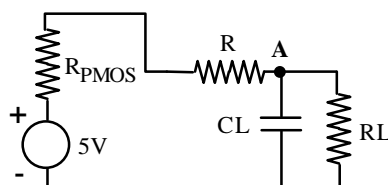
6 - O circuito da figura representa um inversor CMOS cuja saída está ligada à entrada de um circuito digital X. A ligação entre os dois circuitos apresenta uma resistência R e a entrada do circuito X pode ser representada pelo paralelo de uma resistência R_L e um condensador C_L , como se mostra na figura.



Para responder às questões colocadas é conveniente desenhar os circuitos equivalentes ao circuito dado para os níveis lógicos High e Low:

Nível lógico High

Nível lógico Low



Explique justificando, de que forma o valor da resistência R afecta:

- i) Os níveis lógicos na entrada do circuito X (ponto A)

No nível lógico Low, a tensão no ponto A é sempre zero, independentemente do valor da resistência R , já que não existe nenhuma fonte de tensão no circuito. No nível lógico High, a tensão no ponto A decresce com o aumento de R ($V_A = 5V \times R_L / (R_{PMOS} + R + R_L)$), o que significa que quando R cresce o nível lógico High é degradado (a margem de ruído é diminuída).

NOME: _____ 1ª Chamada - Correção _____ TURMA _____

ii) A potência fornecida pela fonte de tensão Vdd.

A fonte de tensão Vdd (ideal) apenas fornece energia à associação das 3 resistências em série no nível lógico High. Como neste caso $P=V^2/R$, podemos concluir que a potência eléctrica fornecida pela fonte Vdd decresce com o aumento de R.

iii) Os tempos de subida e de descida da tensão V_A na entrada do circuito X

No nível lógico High e Low as constantes de tempo associadas às transições da tensão no ponto A (terminais do condensador) são obtidas como produto de C_L pelo paralelo de R_L com a série de R_{PMOS} ou R_{NMOS} com R. Como estas constantes de tempo crescem com R, os tempos de transição também crescem.

Podemos assim concluir que quando a resistência R cresce, o nível lógico High piora, a potência consumida diminui e os tempos de transição aumentam.