

NOME: _____

TURMA _____

**FEUP**
Universidade do Porto
Faculdade de Engenharia**Departamento de Engenharia Electrotécnica
e de Computadores****Sistemas Digitais (2000/2001)****2ª chamada – 25/Janeiro/2001****Duração: 2horas , sem consulta.****Antes de iniciar a prova, tenha em atenção as seguintes recomendações:**

- Leia atentamente toda a prova antes de a iniciar.
- Mostre e justifique adequadamente todos os passos das suas respostas.
- A prova deverá ser resolvida no enunciado. Se necessário, utilize o verso para continuar a sua resolução.
- Assine todas as folhas que entregar, indicando em cada uma o número de páginas/folhas que entregou.

1 - Considere $X=11010011_2$ e $Y=E7_{16}$ que representam números inteiros com sinal em complemento para dois com 8 bits.

- a) Diga, justificando, se pode ocorrer *overflow* na adição de X com Y.
- b) Efectue a adição de X com Y em binário, e indique se ocorre ou não *overflow*.
- c) Qual é o maior número negativo representado em complemento para 2 com 8 bits que adicionado ao o número X provoca *overflow*? Justifique.

NOME: _____ TURMA _____

- 2 Considere a função booleana $F(A,B,C,D)$ representada no seguinte mapa de *Karnaugh*, onde os termos indiferentes (*don't care*) estão representados por **d**.

		AB		A			
		CD					
D			1	1	0	0	
			0	1	0	0	
			d	1	d	d	
			1	1	d	1	
				B		C	

		AB		A			
		CD					
D			1	1	0	0	
			0	1	0	0	
			d	1	d	d	
			1	1	d	1	
				B		C	

- a) Escreva as expressões simplificadas na forma de soma-de-produtos e produto-de-somas para a função $F(A,B,C,D)$ (utilize um mapa de Karnaugh para obter cada expressão)
- b) Desenhe um circuito lógico que realize a função $F(A,B,C,D)$ utilizando um número mínimo de portas lógicas do tipo NAND de duas entradas, ou de portas lógicas do tipo NOR de duas entradas.

NOME: _____

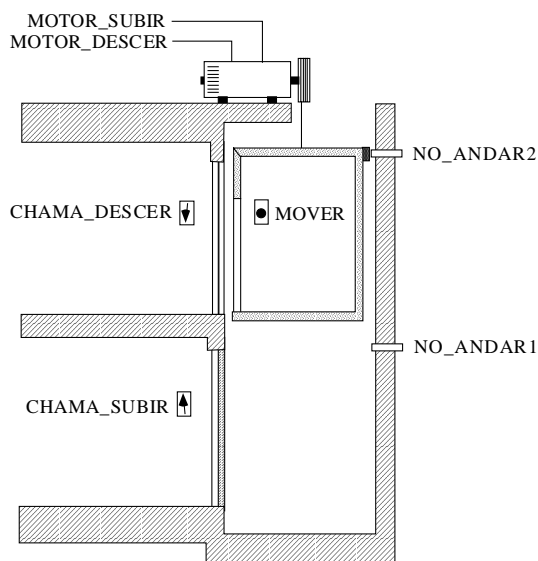
TURMA _____

3 – Pretende-se projectar o sistema de controlo de um monta-cargas que se desloca entre dois andares (ver figura). Para controlar o monta-cargas dispõe-se das seguintes entradas para o sistema de controlo:

- um botão no interior do monta-cargas (MOVER) que é activado para deslocar o monta-cargas para o outro andar.
- dois botões exteriores de chamada, um em cada andar (CHAMA_DESCER e CHAMA_SUBIR), que são activados quando se pretende deslocar o monta-cargas para o andar respectivo.
- dois sensores (NO_ANDAR1 e NO_ANDAR2) que são activados sempre que o monta-cargas está correctamente posicionado no andar respectivo.

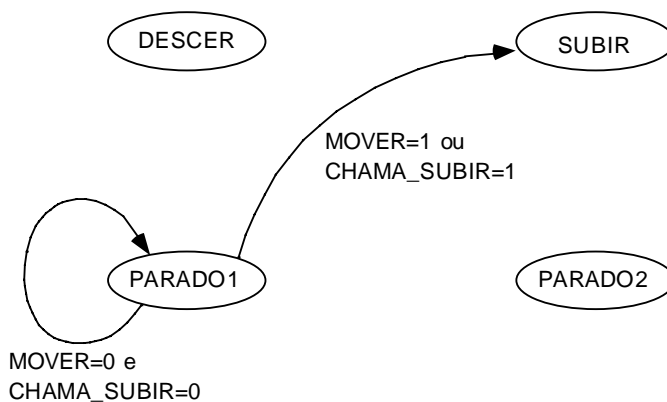
e das saídas do sistema de controlo:

- MOTOR_SUBIR e MOTOR_DESCER que quando activadas provocam o movimento do monta-cargas no sentido respectivo



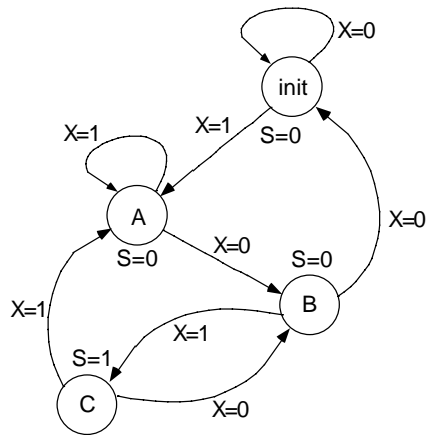
Admita que o sistema de controlo só aceita comandos provenientes dos botões quando o monta-cargas está parado num dos andares.

Complete o diagrama de transição de estados do sistema descrito, utilizando apenas os estados já representados e os nomes simbólicos referidos no texto para as entradas e saídas.



NOME: _____ TURMA _____

4 – O diagrama de transição de estados da figura representa uma máquina de Moore com uma entrada X e uma saída S.



- a) Construa a tabela de transição de estados, atribuindo uma codificação apropriada aos estados.
- b) Desenhe o esquema do circuito lógico que implementa a máquina de estados, utilizando *flip-flops* do tipo D.

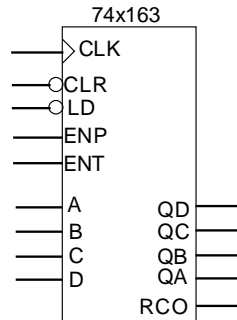
NOME: _____ TURMA _____

5 –

- a) Construa um circuito síncrono baseado num contador binário (74x163) e em circuitos lógicos adicionais capaz de gerar, nas saídas Q_D, Q_C, Q_B, Q_A do contador, a seguinte sequência de valores (admitindo que o estado inicial é igual a $Q_D, Q_C, Q_B, Q_A = 0000$):

0, 1, 2, 3, 4, 5, 6, 7, 10, 11, 12, 0, 1, 2, ...

74x163				estado presente				próximo estado			
/CLR	/LD	ENT	ENP	QD	QC	QB	QA	QD*	QC*	QB*	QA*
0	x	x	x	x	x	x	x	0	0	0	0
1	0	x	x	x	x	x	x	D	C	B	A
1	1	0	x	x	x	x	x	QD	QC	QB	QA
1	1	x	0	x	x	x	x	QD	QC	QB	QA
1	1	1	1	N (se $N < 15$)				N + 1			
1	1	1	1	1	1	1	1	0	0	0	0



- b) Modifique o circuito que construiu, acrescentando-lhe uma entrada X por forma a que quando $X=0$ é mantida a sequência de contagem anterior, e quando $X=1$ passa a ser gerada a sequência:

0, 1, 2, 3, 4, 5, 6, 7, 8, 9, 10, 11, 12, 0, 1, 2, ...

NOME: _____

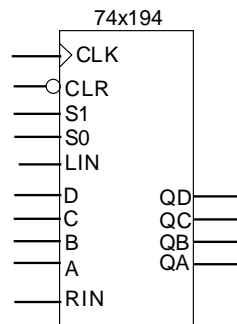
TURMA _____

6 – Pretende-se construir uma máquina de estados com uma saída Z que é '1' quando os 4 últimos bits consecutivos colocados na sua entrada X são 1011 (ver exemplo). Após o início do funcionamento da máquina de estados a saída Z só é considerada válida após o 4º ciclo de relógio.

Entrada X: 0001**1011**01100**1011**000Saída Z: xxxx000**1001**00000**1000**

- a) Desenhe um circuito baseado num *shift-register* 74x194 e em circuitos lógicos adicionais capaz de realizar a funcionalidade pretendida para a máquina de estados.

Universal Shift-register 74x194							
função	S1	S0	QA*	QB*	QC*	QD*	
hold	0	0	QA	QB	QC	QD	
shift right	0	1	RIN	QA	QB	QC	
shift left	1	0	QB	QC	QD	LIN	
load	1	1	A	B	C	D	



- b) Admita agora que a máquina de estados só deve detectar sequências não sobrepostas (ver exemplo). Modifique o circuito anterior por forma a satisfazer este novo requisito (sugestão: é possível realizar este circuito sem introdução de novos circuitos lógicos ao circuito pedido na alínea anterior).

Entrada X: 0001**1011**01100**1011**000Saída Z: xxxx000**100000000****1000**