

- Estágios amplificadores apenas com transístores NMOS
- Portas lógicas
- O interruptor analógico
- O JFET
- Dispositivos em GaAs

Gerardo Rocha

Estágios amplificadores apenas com transístores NMOS

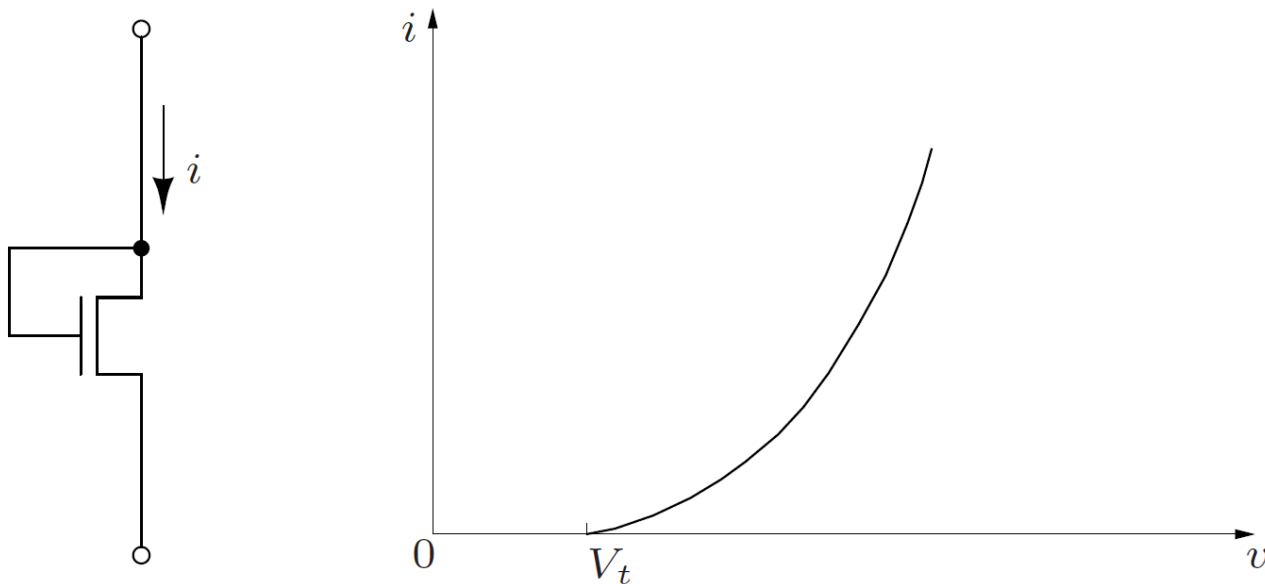
- A tecnologia CMOS atualmente é a mais usada na conceção de circuitos analógicos e digitais.
- O facto de poderem existir tanto dispositivos de canal n como de canal p fornece uma flexibilidade de projeto que não tem paralelo em nenhuma outra tecnologia de circuitos integrados.
- Podem considerar-se duas configurações que usam apenas transístores NMOS.
- Têm a vantagem de os circuitos NMOS requererem um processo de fabrico mais simples do que os CMOS e a densidade de transístores por chip pode ser um pouco aumentada.
- Têm muito poucas aplicações.

Dispositivos de carga NMOS

- Na tecnologia NMOS podem ser usados dois tipos de elementos como carga:
 - MOSFET de intensificação com o drain ligado à gate (configuração de díodo).
 - MOSFET de depleção, com a gate ligada à source.

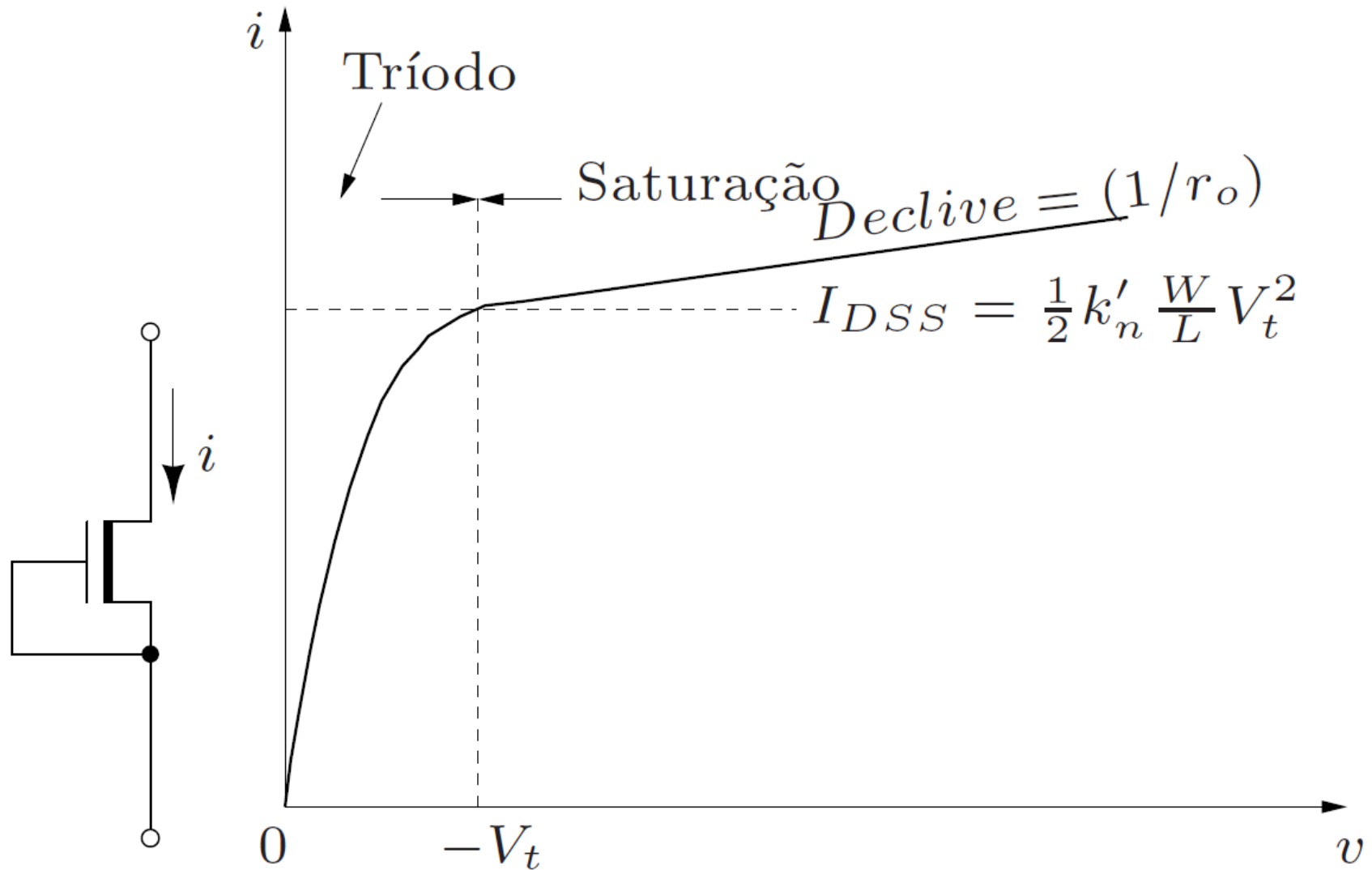
MOSFET de intensificação ligado na configuração de díodo:

$$i = \frac{1}{2}k'_n \frac{W}{L} (v - V_t)^2, \quad v \leq V_t.$$



Usando o modelo do MOSFET para pequenos sinais, pode ver-se facilmente que a configuração em díodo apresenta uma resistência que é dada aproximadamente por $(1/g_m)$.

MOSFET de depleção ligado numa configuração em díodo



MOSFET de depleção ligado numa configuração em díodo

Para operar na região de saturação, $V_{ds} > -V_t$, em que V_t é a tensão de threshold do MOSFET de depleção e é negativa.

Na saturação, a característica $i \times v$ é dada por:
$$i = \frac{1}{2} k'_n \frac{W}{L} V_t^2 \left(1 + \frac{v}{V_A} \right)$$

Esta equação pode ser reescrita na forma:
$$i = I_{DSS} \left(1 + \frac{v}{V_A} \right)$$

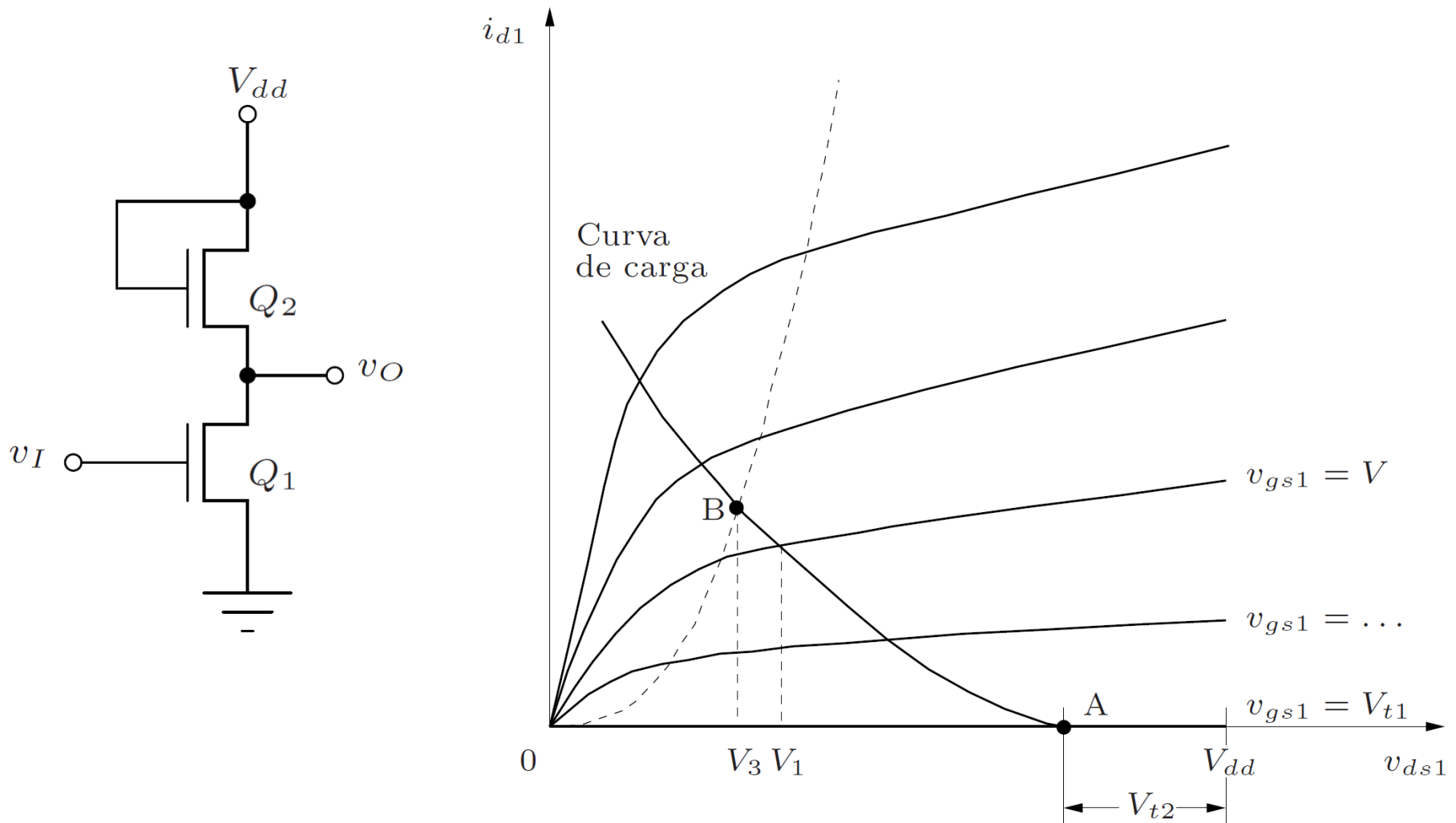
onde I_{DSS} denota a corrente de drain com a gate curto-circuitada à source

$$I_{DSS} = \frac{1}{2} k'_n \frac{W}{L} V_t^2$$

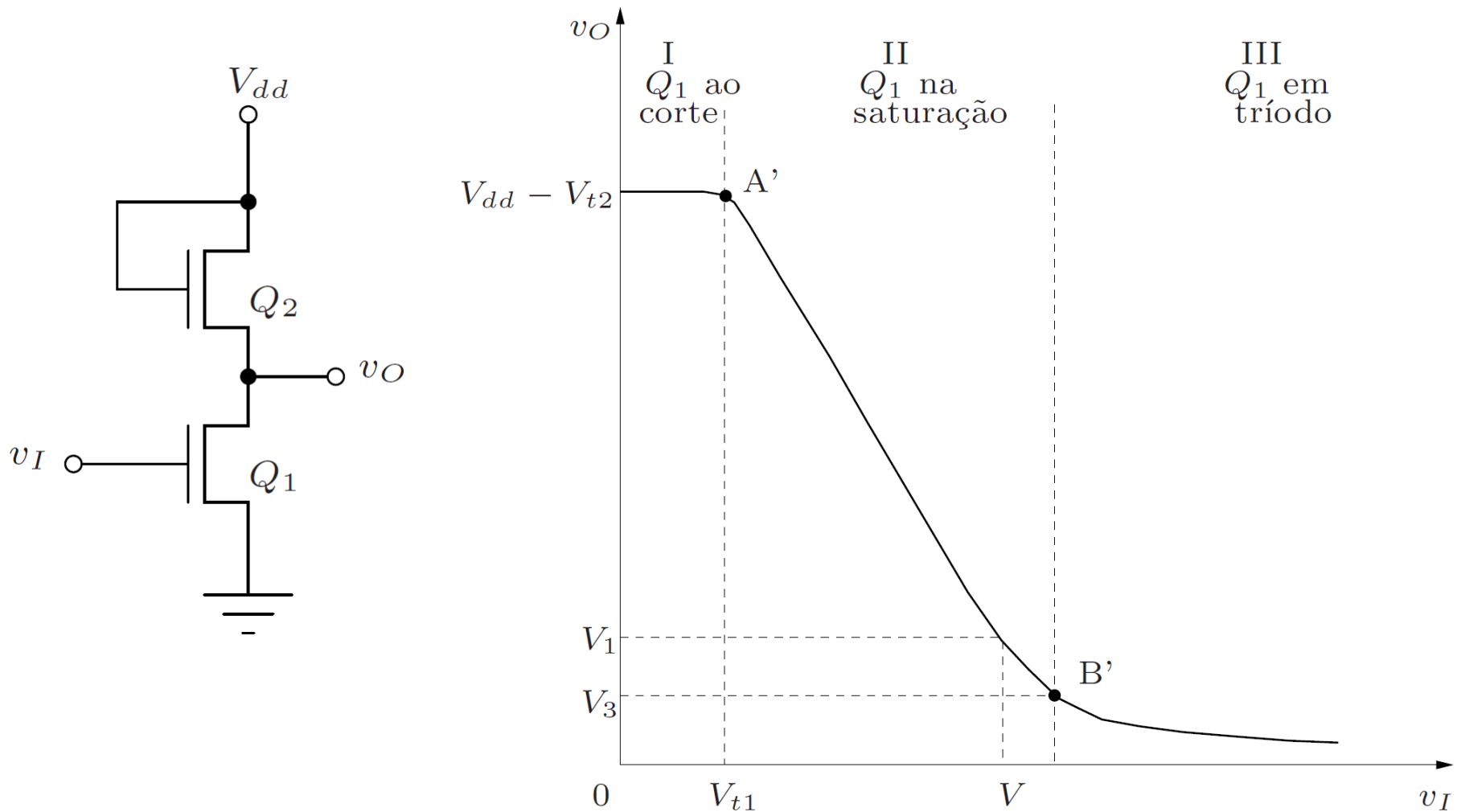
Na saturação, o MOSFET de depleção apresenta uma resistência (r_o) muito maior do que a resistência ($1/g_m$) do dispositivo de intensificação.

Funciona muito melhor como elemento de carga.

Amplificador NMOS com carga de intensificação



Amplificador NMOS com carga de intensificação



Amplificador NMOS com carga de intensificação

Q2 opera sempre na saturação.

Q1 pode operar ao corte (segmento I), na saturação (segmento II), ou na região de tródo (segmento III).

A expressão que relaciona v_O com v_I no segmento II da característica de transferência é:

$$I_d = \frac{1}{2}k'_n \frac{W_2}{L_2} (V_{dd} - V_O - V_t)^2 = \frac{1}{2}k'_n \frac{W_1}{L_1} (v_I - V_t)^2$$

$$v_O = \left(V_{dd} - V_t + \sqrt{\frac{(W_1/L_1)}{(W_2/L_2)}} V_t \right) - \sqrt{\frac{(W_1/L_1)}{(W_2/L_2)}} v_I$$

onde se assume que a tensão de threshold é igual nos dois transístores, $\lambda = 0$ e o efeito de corpo é desprezado.

Amplificador NMOS com carga de intensificação

Pode observar-se que esta é uma relação linear, indicando que o amplificador é linear para sinais grandes, com um ganho que é dado por:

$$A_v = \frac{v_o}{v_i} = -\sqrt{\frac{(W_1/L_1)}{(W_2/L_2)}}$$

Esta expressão obtém-se a partir da anterior substituindo as fontes de tensão contínuas (V_{dd} , V_t , V_i e V_o) por curto-circuitos.

O ganho em tensão do circuito amplificador NMOS com carga de intensificação é determinado apenas pela geometria dos transístores que o compõe.

Para a obtenção de ganhos elevados, Q1 deve ser curto e largo, enquanto que Q2 deve ser comprido e estreito.

Apesar disso, é difícil conseguir ganhos superiores a 10.

Amplificador NMOS com carga de intensificação

A source de Q2 não está ligada à terra, por isso o comportamento deste transístor é influenciado pelo efeito de corpo.

Usando os modelos equivalentes para pequenos sinais, chega-se à conclusão de que se for considerado o efeito de corpo (desprezando o λ), a expressão do ganho fica:

$$A_v = -\sqrt{\frac{(W_1/L_1)}{(W_2/L_2)}} \frac{1}{1 + \chi_2}$$

em que $\chi_2 = g_{mb2}/g_{m2}$.

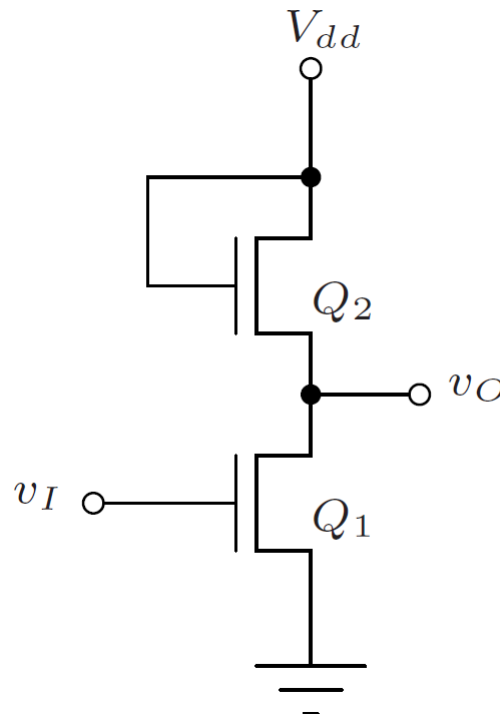
Como χ_2 tem um valor típico de 0.1 a 0.3, o ganho é reduzido de 10% a 30%.

Desvantagens:

- Tem um ganho baixo e fixo (independente da corrente I_d).
- A excursão máxima do sinal de saída é limitado, não podendo ir para além de $V_{dd} - V_t$, pois nesse caso Q2 ficaria ao corte.

Exemplo

O amplificador com carga de intensificação representado na figura tem os seguintes parâmetros: $W_1 = 100 \mu\text{m}$, $L_1 = 6 \mu\text{m}$, $W_2 = 6 \mu\text{m}$ e $L_2 = 30 \mu\text{m}$. O parâmetro de efeito de corpo de Q_2 é de $\chi_2 = 0.2$. Calcule o ganho em tensão da montagem considerando ou desprezando o efeito de corpo. Considere $\lambda = 0$.



R:

Desprezando o efeito de corpo:

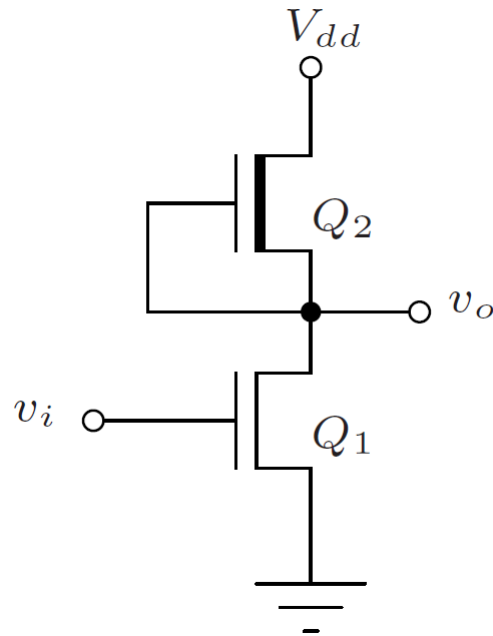
$$A_v = -\sqrt{\frac{(W_1/L_1)}{(W_2/L_2)}} =$$
$$-\sqrt{\frac{(100/6)}{(6/30)}} = -9.13 \text{ V}$$

Considerando o efeito de corpo:

$$A_v = -\sqrt{\frac{(W_1/L_1)}{(W_2/L_2)}} \frac{1}{1 + \chi_2} =$$
$$-\sqrt{\frac{(100/6)}{(6/30)}} \frac{1}{1 + 0.2} = -7.61 \text{ V}$$

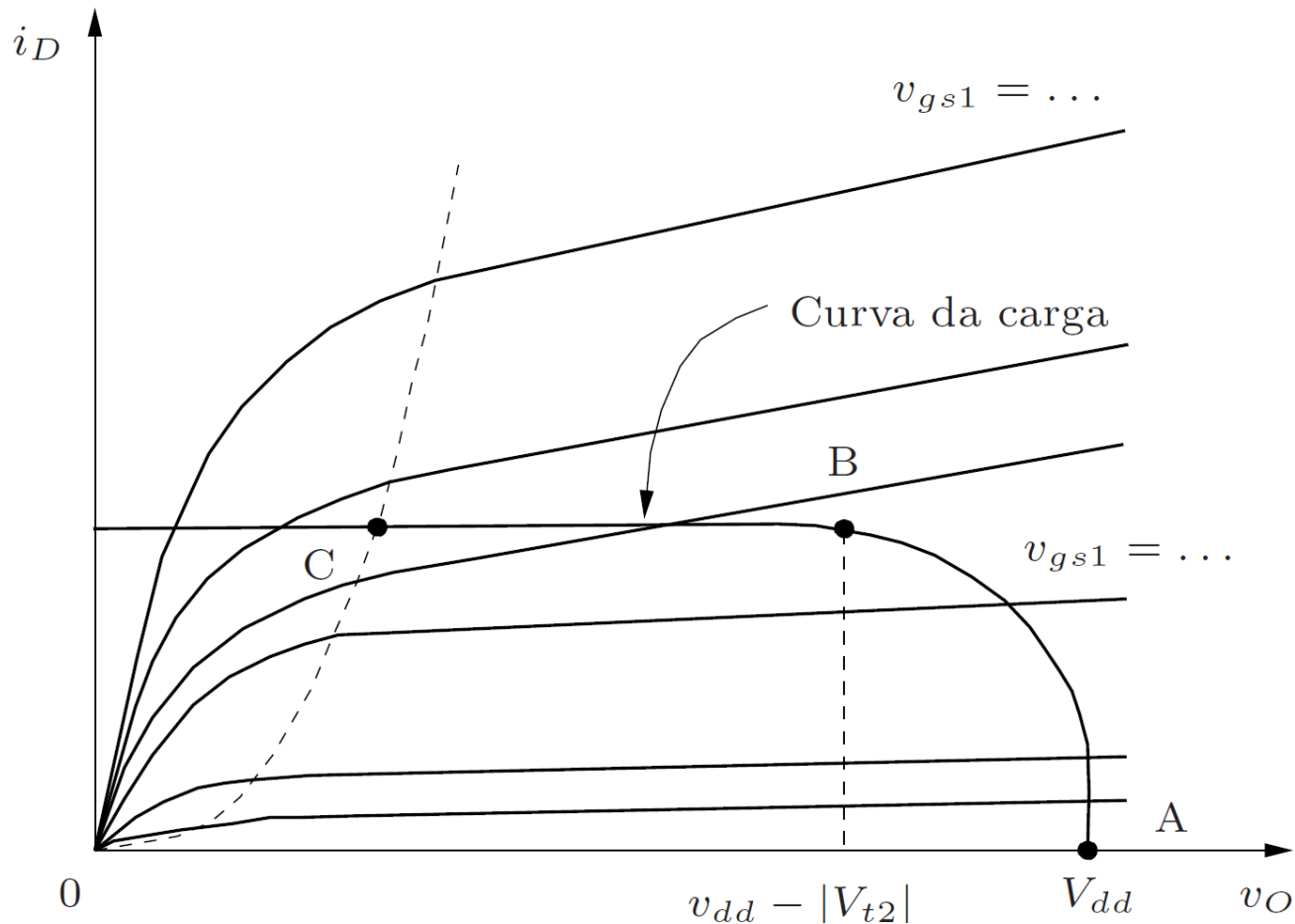
Amplificador NMOS com carga de depleção

Se for usado um MOSFET de depleção como carga do circuito amplificador, resulta num desempenho superior ao caso em que é usada uma carga de intensificação.



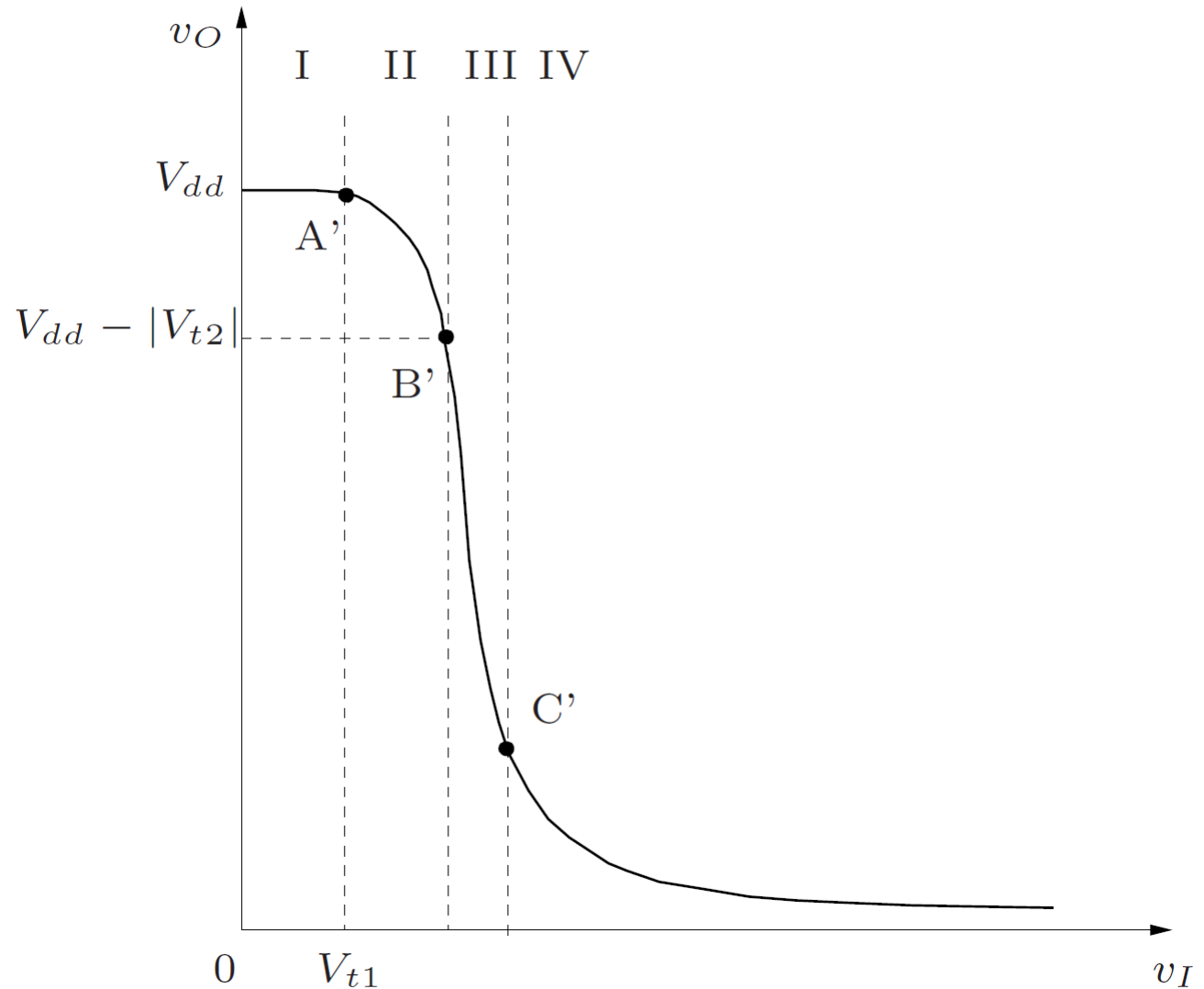
Amplificador NMOS com carga de depleção

Desprezando o efeito de corpo do transístor de carga Q2, pode usar-se a construção gráfica da Figura para se obter a característica de transferência.



Amplificador NMOS com carga de depleção

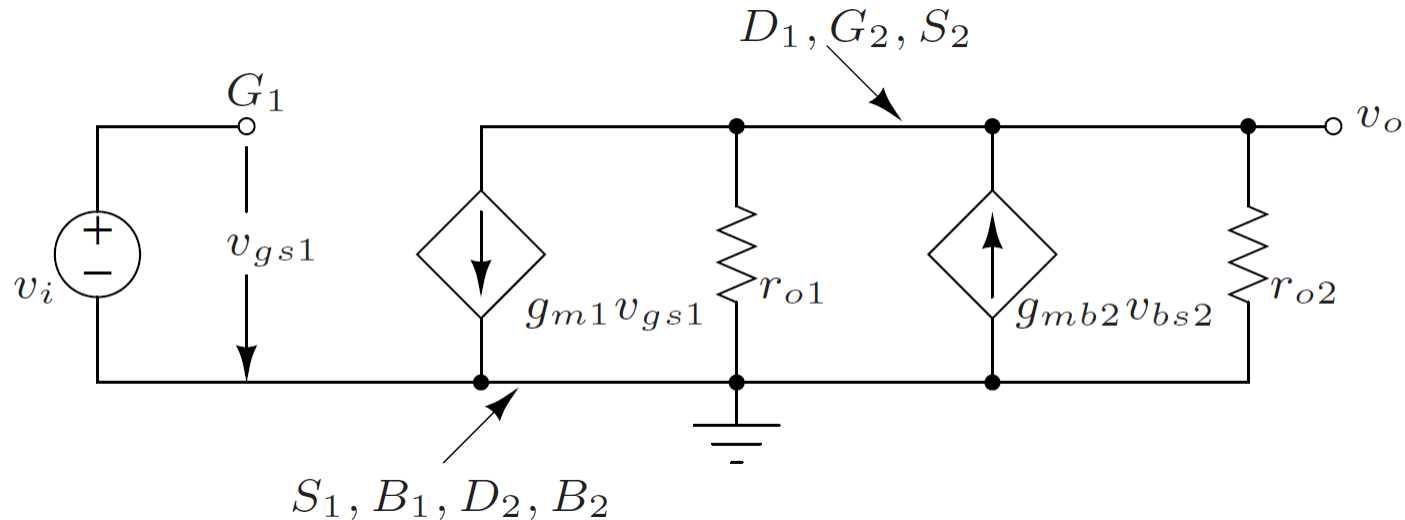
Caraterística de
transferência v_O/v_I



Amplificador NMOS com carga de depleção

A característica é bastante inclinada na região III, indicando que a montagem tem um ganho elevado quando ambos os transístores estão a operar na saturação.

Modelo equivalente para pequenos sinais quando este funciona na região III:



Aqui foi incorporada a fonte de corrente controlada $g_{mb2}v_{bs2}$ que modela o efeito de corpo de Q2.

Além disso, o outro parâmetro associado a Q2 é a sua resistência de saída r_{o2} .

Amplificador NMOS com carga de depleção

Usa-se o teorema da supressão da fonte para substituir a fonte controlada $g_{mb2}v_{bs2}$ por uma resistência de valor $(1/g_{mb2})$.

A expressão do ganho é dada por

$$A_v = \frac{v_o}{v_i} = -g_{m1} [(1/g_{mb2}) || r_{o1} || r_{o2}]$$

Normalmente o valor de $(1/g_{mb2})$ é muito menor do que r_{o1} e r_{o2} , resultando num ganho que é dado aproximadamente por:

$$A_v \simeq -\frac{g_{m1}}{g_{mb2}} = -\frac{g_{m1}}{\chi_2 g_{m2}}$$

e como:

$$g_m = \sqrt{2k'_n I_d \frac{W}{L}}, \quad A_v = -\sqrt{\frac{(W_1/L_1)}{(W_2/L_2)}} \frac{1}{\chi_2}$$

Comparando esta expressão com a do ganho do amplificador com carga de intensificação, chega-se à conclusão de que este amplificador tem um ganho $(1 + \chi)/\chi$ vezes maior.

Amplificador NMOS com carga de depleção

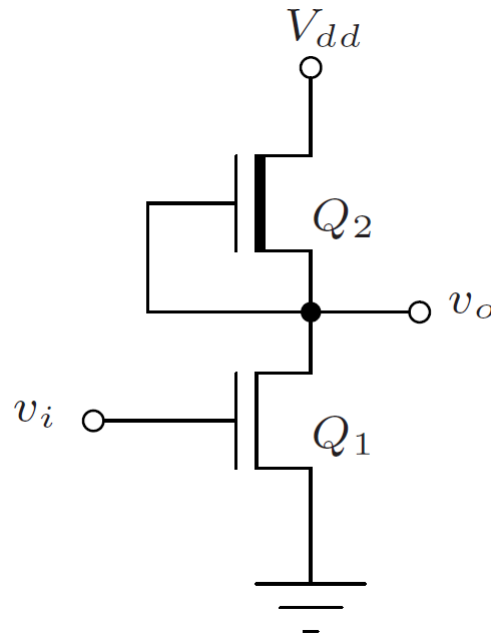
Como χ tipicamente está entre 0.1 e 0.3, o ganho é de 4.3 a 11 vezes maior.

Continua a estar um pouco abaixo do ganho esperado num amplificador CMOS.

Apesar de o amplificador com carga de depleção ser um pouco mais simples do que o CMOS, este último tem um desempenho superior e muito maior flexibilidade de projeto.

Exemplo

Os transístores do amplificador com carga de depleção da figura têm as seguintes dimensões: $W_1 = 100 \mu\text{m}$, $L_1 = 6 \mu\text{m}$, $W_2 = 6 \mu\text{m}$ e $L_2 = 30 \mu\text{m}$. Supondo que o parâmetro de efeito de corpo é igual a 0.2, calcule o ganho em tensão. Despreze λ .



R:

$$A_v = -\sqrt{\frac{(W_1/L_1)}{(W_2/L_2)}} \frac{1}{\chi}$$

$$A_v = -\sqrt{\frac{(100/6)}{(6/30)}} \frac{1}{0.2}$$

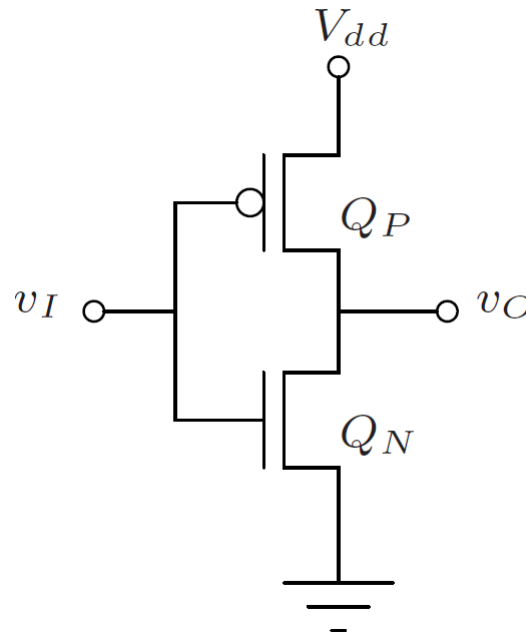
$$A_v = -45.6.$$

Inversor digital CMOS

São utilizados dois transístores de intensificação: um de canal n e outro de canal p.

O substrato de cada transístor é ligado à respetiva source, não existindo o efeito de corpo.

Como cada transístor funciona como interruptor complementar do outro, controlados por v_I , este circuito implementa o inversor lógico básico.



Inversor digital CMOS

Considere-se os dois estados extremos:

- Quando v_i está ao nível lógico baixo (0Volts)
- Quando v_i está ao nível lógico alto (V_{dd} Volts).

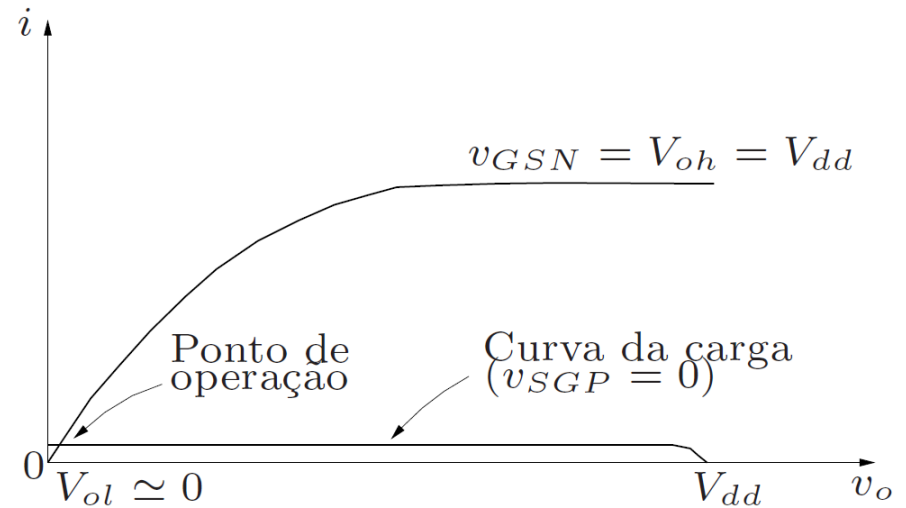
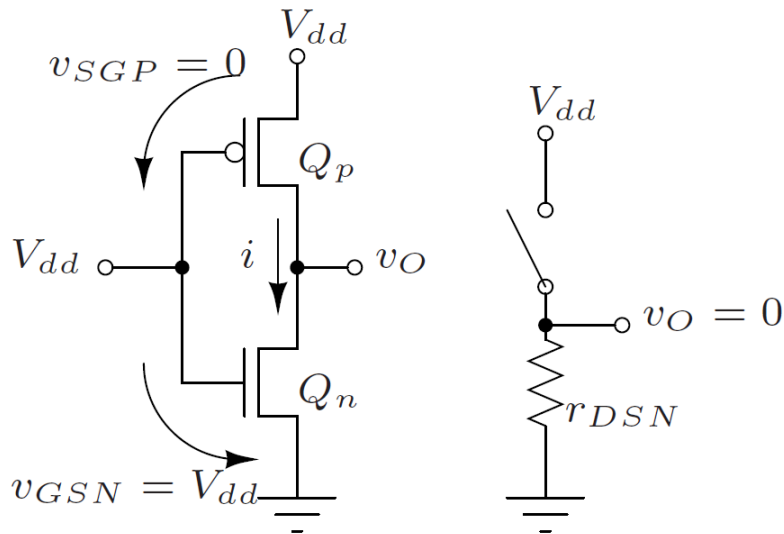
Em qualquer dos casos considera-se que o transístor de canal n é o amplificador e o de canal p é a carga.

Como o circuito é completamente simétrico, esta consideração é puramente arbitrária, e se fosse considerado o inverso seriam obtidos os mesmos resultados.

Inversor digital CMOS

Caso em que $v_i = V_{dd}$.

A tensão gate-source de Q_n é igual a V_{dd} e a tensão gate-source de Q_p é igual a zero.



Inversor digital CMOS

A curva da carga, (curva $i_{DP} \times v_{SDP}$ do transistor de canal p quando $v_{SGP} = 0 \text{ V}$) é desenhada em cima da curva característica do transistor amplificador Q_n .

Como $v_{SGP} < |V_t|$, a curva da carga irá ser uma linha horizontal a um nível de corrente próximo de zero.

O ponto de operação será na interseção das duas curvas, onde a tensão de saída será muito próxima de zero (normalmente menor do que 10 mV) e a corrente também é muito próxima de zero.

A potência dissipada pelo circuito é muito baixa (menor do que $1 \mu\text{W}$).

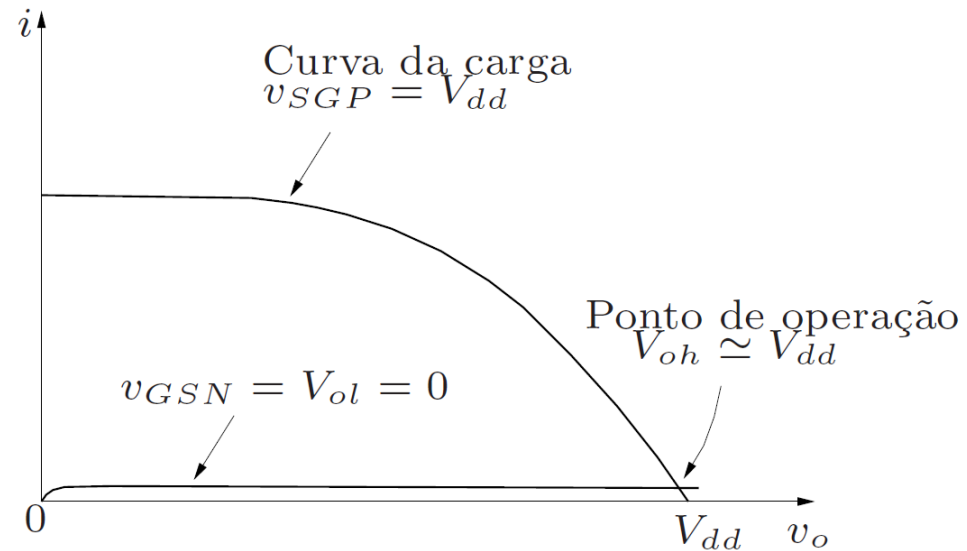
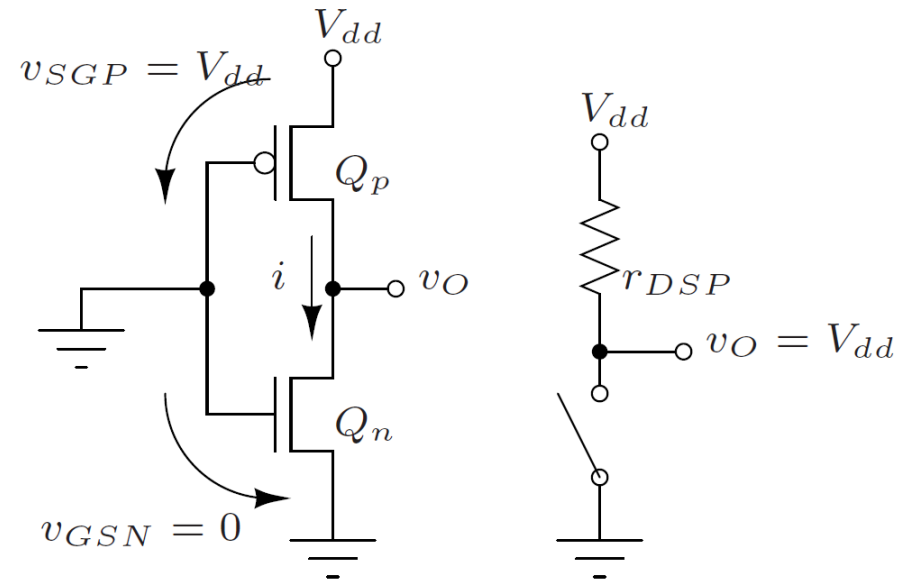
Q_n encontra-se na região de triodo, o que significa que apresenta uma resistência baixa entre o terminal de saída e a terra.

A resistência é dada por:

$$r_{DSN} = \frac{1}{k'_n (W/L) (V_{dd} - V_{tn})}$$

Inversor digital CMOS

Outro caso extremo, quando $v_i = 0$ V :



Inversor digital CMOS

Neste caso, Q_n opera com $v_{GSN} = 0$, o que faz com que a sua característica $I_{DN} \times v_{DSN}$ seja uma linha horizontal ao nível zero de corrente.

A curva da carga é a característica $I_{DP} \times v_{SDP}$ do dispositivo de canal p, quando $v_{SGP} = V_{dd}$.

No ponto de operação, a tensão de saída é praticamente igual a V_{dd} (tipicamente menos de 10 mV abaixo de V_{dd}), e a corrente está muito próxima de zero.

A potência dissipada é mais uma vez muito baixa.

O transistor Q_p é substituído por uma resistência de valor baixo entre a saída e V_{dd} .

A resistência é dada por:

$$r_{DSP} = \frac{1}{k'_p(W/L)(V_{dd} - |V_{tp}|)}$$

Inversor digital CMOS

Apesar de a corrente ser nula, o inversor CMOS tem uma alta capacidade de atuar cargas externas.

Quando a entrada está ao nível alto, o transístor Q_n pode absorver uma corrente significativa da carga.

No caso da carga externa ser capacitiva, é descarregada rapidamente.

Devido a esta ação de absorver corrente da carga externa, e de colocar a tensão de saída ao nível da terra, o transístor Q_n é conhecido como o dispositivo de “**pull-down**”.

De um modo similar, com a entrada ao nível baixo o transístor Q_p pode fornecer uma corrente relativamente grande à carga.

Se esta for capacitiva, pode carregá-la rapidamente, ou seja, coloca a tensão de saída ao nível de V_{dd} .

Por este facto, Q_p é conhecido como o dispositivo de “**pull-up**”.

Inversor digital CMOS

O inversor CMOS se comporta como um sistema quase ideal:

1. Os níveis das tensões de saída são 0 V e Vdd. A excursão do sinal é a máxima possível. Se o inversor for projetado para ter uma característica de transferência simétrica, resulta em margens de ruído largas.
2. A dissipação estática de potência é nula em ambos os estados.
3. Existe um caminho de baixa resistência entre o terminal de saída e a terra no estado baixo ou entre o terminal de saída e Vdd no estado alto. Esta resistência baixa garante que a tensão de saída seja 0 V ou Vdd, independentemente dos valores de (W/L) ou de outros parâmetros dos transístores. Além disso, a baixa impedância de saída faz com que o inversor seja menos sensível aos efeitos do ruído e outras perturbações.
4. Os dispositivos ativos de pull-up e de pull-down garantem uma alta capacidade de conduzir correntes de carga em ambas as direções. Isto aumenta consideravelmente a velocidade de operação.
5. A impedância de entrada do dispositivo é infinita. Isto faz com que a saída do inversor possa ser ligada a um número elevado de entradas de outros inversores sem que haja perdas no nível do sinal. No entanto, cada inversor adicional ligado na saída aumenta a capacitância da carga, diminuindo a velocidade de operação.

Inversor digital CMOS

Caraterística de transferência

- Para $v_O < v_I - V_{tn}$,

$$i_{DN} = k'_n \frac{W_n}{L_n} \left[(v_I - V_{tn})v_O - \frac{1}{2}v_O^2 \right]$$

- Para $v_O \geq v_I - V_{tn}$,

$$i_{DN} = k'_n \frac{W_n}{L_n} (v_I - V_{tn})^2$$

- Para $v_O \geq v_I + |V_{tp}|$,

$$i_{DP} = k'_p \frac{W_p}{L_p} \left[(V_{dd} - v_I - |V_{tp}|)(V_{dd} - v_O) - \frac{1}{2}(V_{dd} - v_O)^2 \right]$$

- Para $v_O < v_I + |V_{tp}|$,

$$i_{DP} = k'_p \frac{W_p}{L_p} (V_{dd} - v_I - |V_{tp}|)^2$$

Inversor digital CMOS

O inversor CMOS normalmente é projetado com:

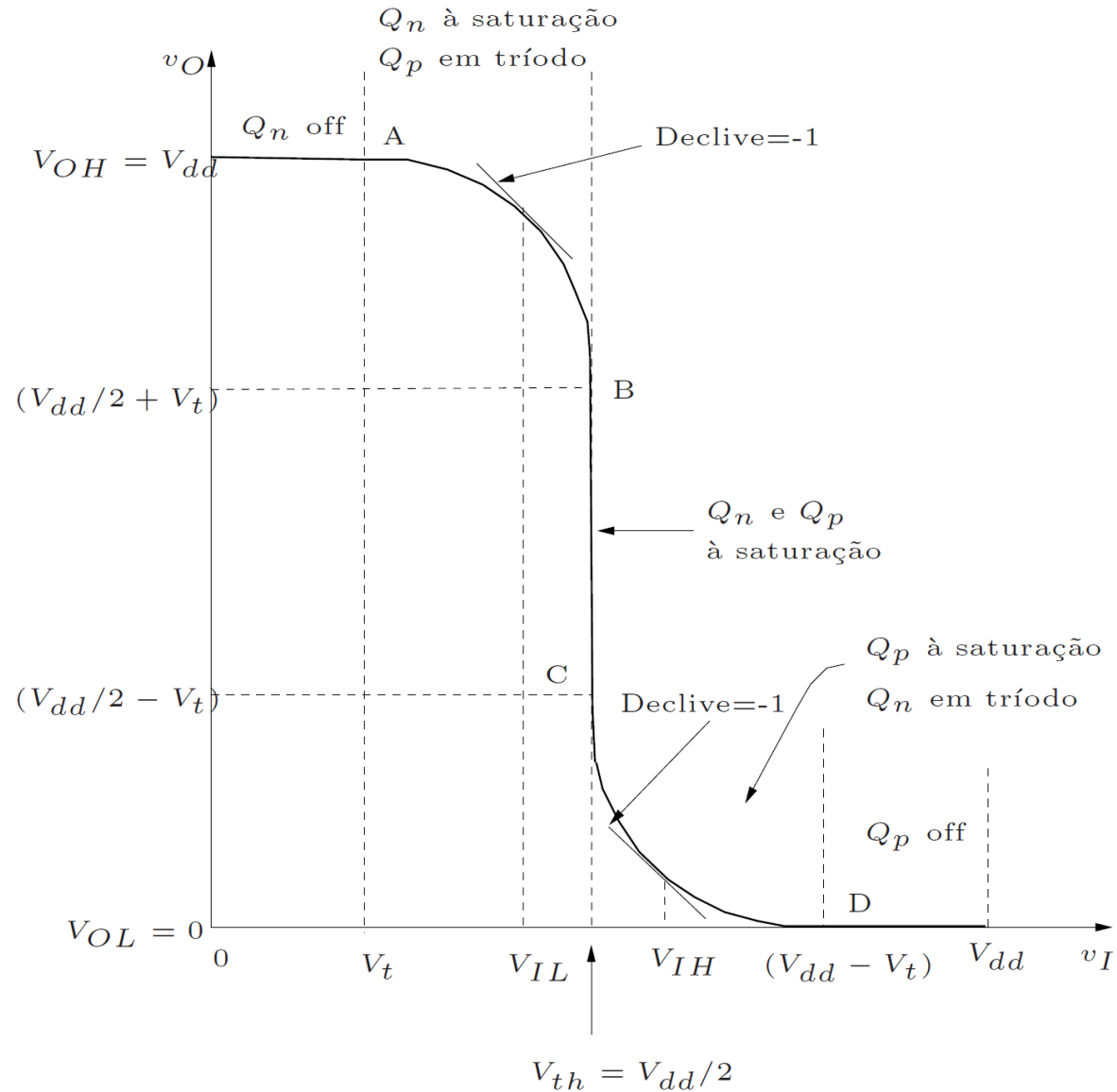
$$V_{tn} = |V_{tp}|$$

$$k'_n (W_n/L_n) = k'_p (W_p/L_p).$$

Como k'_n normalmente é duas a três vezes maior do que k'_p , o transistor de canal p tem uma largura duas a três vezes maior do que o de canal n.

Neste caso, o inversor apresenta uma característica de transferência de tensão simétrica e uma capacidade igual de conduzir a corrente nas duas direções.

Inversor digital CMOS



Inversor digital CMOS

A característica de transferência tem cinco segmentos distintos que correspondem a diferentes combinações dos modos de operação de Q_n e de Q_p .

O segmento vertical BC é obtido quando os dois transístores estão na saturação.

Desprezando a resistência de saída na saturação, o ganho do inversor é infinito.

Devido à simetria referida anteriormente, este segmento vertical ocorre quando $v_i = V_{dd}/2$ e é limitado pelo ponto B, em que $v_o = V_{dd}/2 + V_t$ e pelo ponto C onde $v_o = V_{dd}/2 - V_t$.

As tensões de entrada assinaladas por V_{IL} e V_{IH} correspondem respetivamente ao valor máximo para que seja reconhecido o nível lógico baixo e ao valor mínimo para que seja reconhecido o nível lógico alto.

Estão definidos por dois pontos da curva em que o valor do ganho é unitário, ou seja, o declive é igual a -1.

Inversor digital CMOS

Para determinar V_{IH} , Q_n está na região de triodo e Q_p está na região de saturação. Fazendo $i_{DN} = i_{DP}$, vem

$$(v_I - V_t)v_O - \frac{1}{2}v_O^2 = \frac{1}{2}(V_{dd} - v_I - V_t)^2$$

Derivando ambos os termos relativamente a v_I , vem:

$$(v_I - V_t)\frac{dv_O}{dv_I} + v_O - v_O\frac{dv_O}{dv_I} = - (V_{dd} - v_I - V_t).$$

Substituindo v_I por V_{IH} e dv_O/dv_I por -1 (declive da curva no ponto V_{IH}), vem:

$$v_O = V_{IH} - \frac{V_{dd}}{2}$$

Substituindo na primeira equação, dá:

$$V_{IH} = \frac{1}{8}(5V_{dd} - 2V_t)$$

Inversor digital CMOS

V_{IL} pode ser determinada de uma forma similar, ou usando a relação de simetria:

$$V_{IH} - \frac{V_{dd}}{2} = \frac{V_{dd}}{2} - V_{IL}$$

obtendo-se

$$V_{IL} = \frac{1}{8}(3V_{dd} + 2V_t)$$

Como era de esperar, os valores de V_{IL} e V_{IH} são simétricos em relação a $V_{dd}/2$.

Isto acontece apenas porque se considerou que os transístores tinham características idênticas.

Isto nem sempre acontece, sobretudo para que as dimensões do circuito sejam as mínimas.

Portas lógicas CMOS

Qualquer circuito lógico CMOS é uma extensão, ou uma generalização do inversor CMOS.

O inversor consiste num transístor PMOS de pull-up e num transístor NMOS de pull-down a operarem de uma forma complementar, controlados pela tensão de entrada.

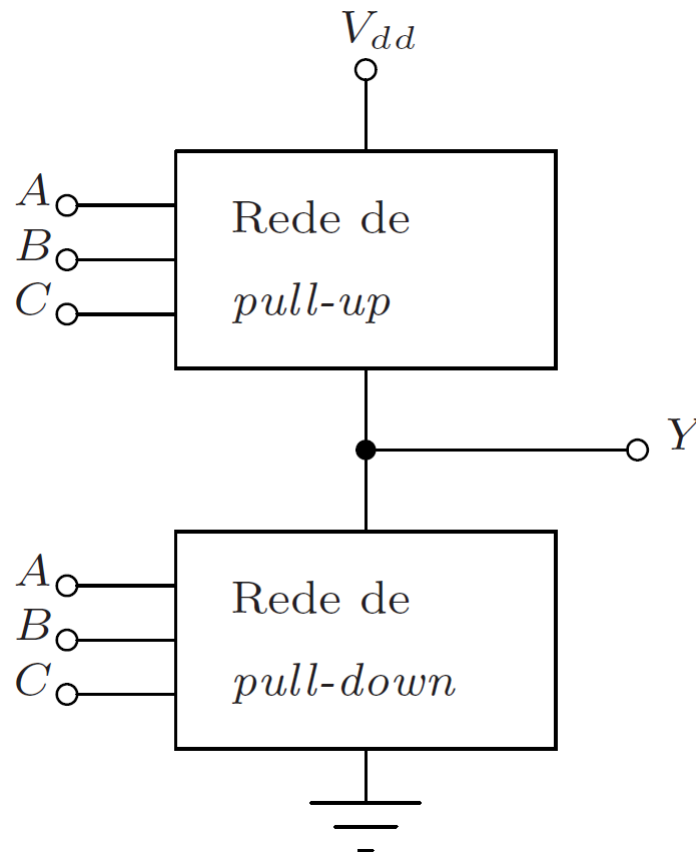
Qualquer porta lógica CMOS consiste em duas redes:

- A de pull-up, constituída por transístores PMOS.
- A de pull-down constituída por transístores NMOS.

Portas lógicas CMOS

Representação de uma porta lógica CMOS de três entradas.

A rede de pull-up é constituída por transístores PMOS e a rede de pull-down é constituída por transístores NMOS.



Portas lógicas CMOS

As duas redes operam de uma forma complementar, controladas pelas tensões aplicadas às entradas.

A rede de pull-down conduz em todas as combinações que levem a saída ao nível baixo ($Y = 0$), colocando o nó de saída ligado diretamente à terra.

Simultaneamente, a rede de pull-up estará desligada, não existindo qualquer caminho para a corrente entre V_{dd} e a saída.

A rede de pull-up conduz em todas as combinações que levem a saída ao nível lógico alto ($Y = 1$), ligando o nó de saída a V_{dd} .

A rede de pull-down estará ao corte, não havendo qualquer caminho para a corrente entre a saída e a terra.

Portas lógicas CMOS

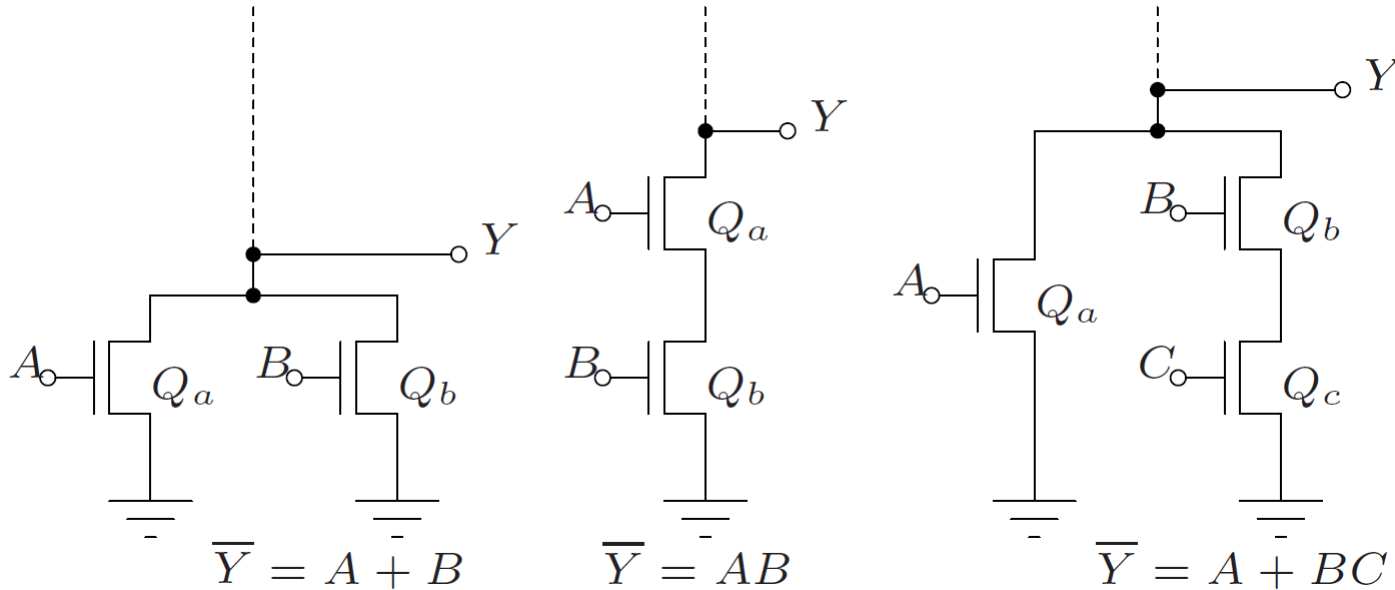
Como a rede de pull-down é constituída apenas por transístores NMOS, e como os transístores NMOS só conduzem com uma tensão de gate de nível alto, esta é ativa com as entradas a 1.

Contrariamente à anterior, a rede de pull-up é constituída por transístores PMOS, que conduzem quando a tensão aplicada nas suas gates é baixa, logo está activa quando as suas entradas estiverem a 0.

Cada uma das redes usa transístores em paralelo para formar funções OR e transístores em série para formar ANDs.

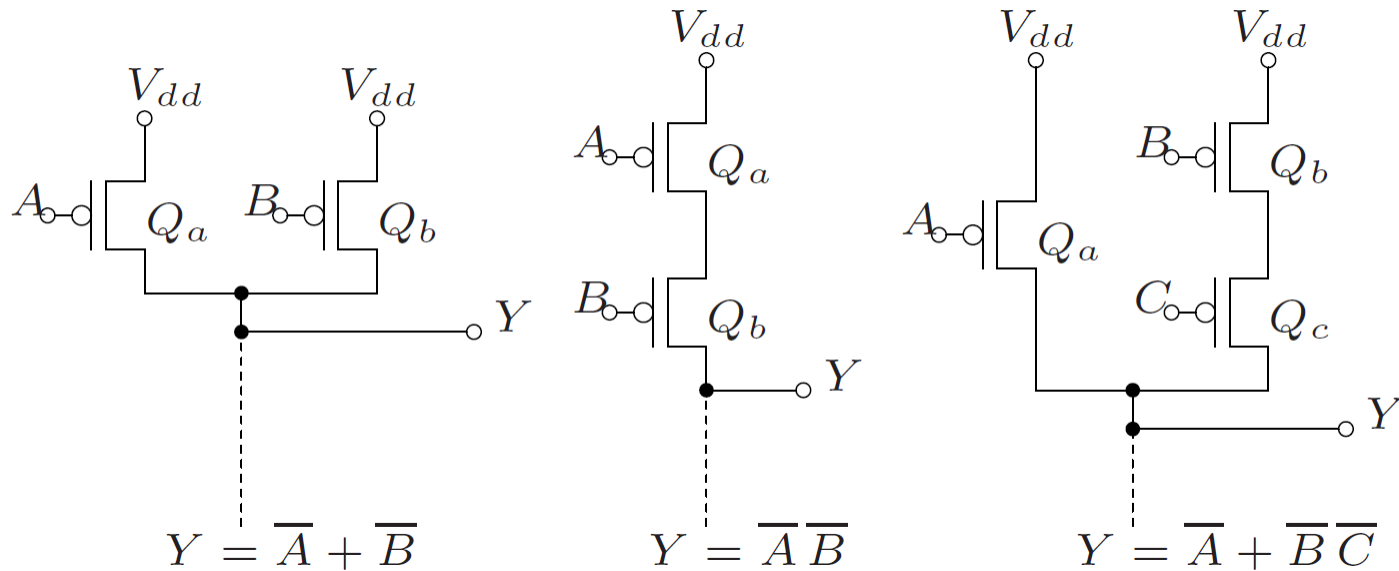
Portas lógicas CMOS

Exemplos de redes de pull-down:



Portas lógicas CMOS

Exemplos de redes de pull-up:



NOR de duas entradas

Equação: $Y = \overline{A + B} = \overline{A} \overline{B}$

Y deve ser baixo (rede de pull-down a conduzir) quando A for alto ou B for alto.

A rede de pull-down consiste em dois dispositivos NMOS em paralelo, com A e B como entradas.

Para a rede de pull-up pode observar-se a partir do último termo da equação que Y é alto quando A e B forem baixos em simultâneo.

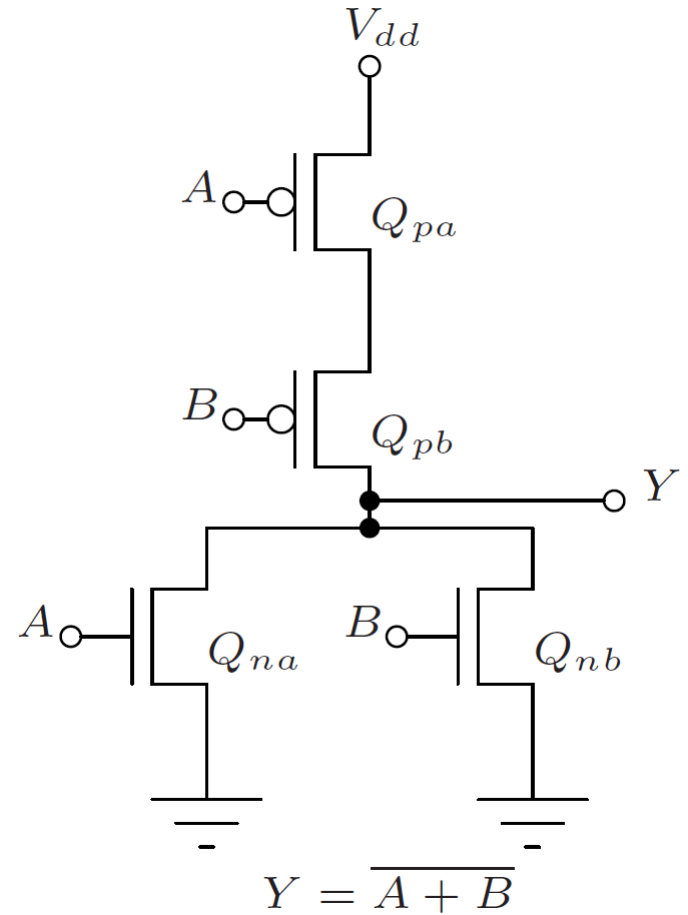
Portanto, a rede de pull-up consiste em dois dispositivos PMOS em série com A e B como entradas.

Juntando a rede de pull-down com a de pull-up, obtém-se a porta lógica NOR CMOS de duas entradas.

NOR de duas entradas

Porta lógica NOR CMOS de duas entradas:

Aumentar o número de entradas é relativamente simples: para cada entrada adicional, basta adicionar um transístor NMOS em paralelo com Q_{na} e Q_{nb} e um transístor PMOS em série com Q_{pa} e Q_{pb} .



NAND de duas entradas

Expressão: $Y = \overline{AB} = \overline{A} + \overline{B}$.

Para construir a rede de pull-down considera-se a combinação das entradas necessária para que a saída seja baixa.

Só há uma forma possível, com A e B altas ao mesmo tempo.

A rede de pull-down consiste apenas em dois transístores NMOS ligados em série

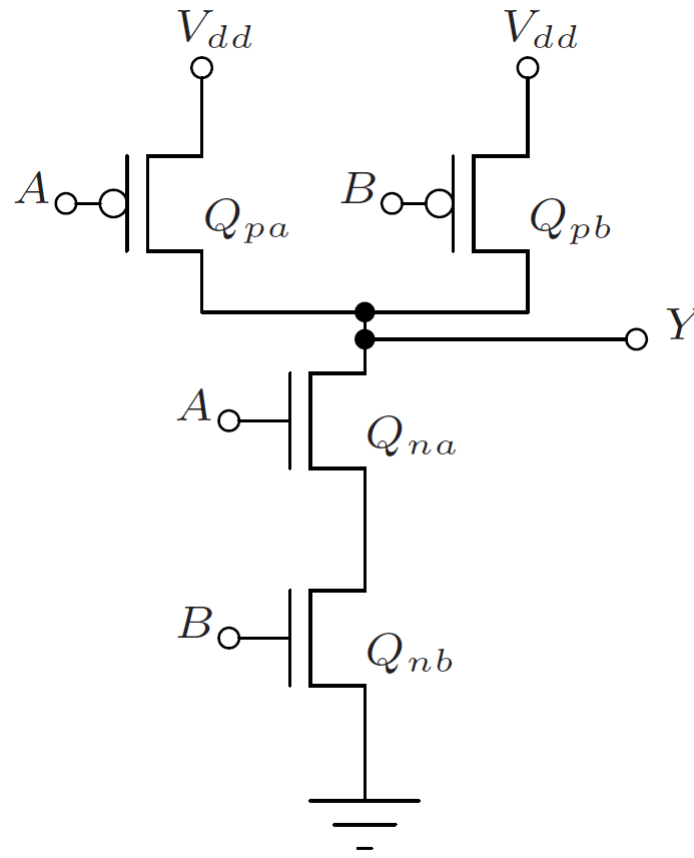
Para construir a rede de pull-up, consideram-se as combinações que levam Y ao nível alto.

Isto acontece quando A ou B estiverem ao nível lógico baixo.

Portanto, a rede de pull-up consiste em dois transístores PMOS ligados em paralelo.

Conectando as duas redes, obtém-se o circuito da porta NAND.

NAND de duas entradas



$$Y = \overline{AB}$$

Função lógica mais complexa

Considere-se a seguinte função lógica: $Y = \overline{A(B + CD)}$

Como $\overline{Y} = A(B + CD)$

obtém-se diretamente a rede de pull-down.

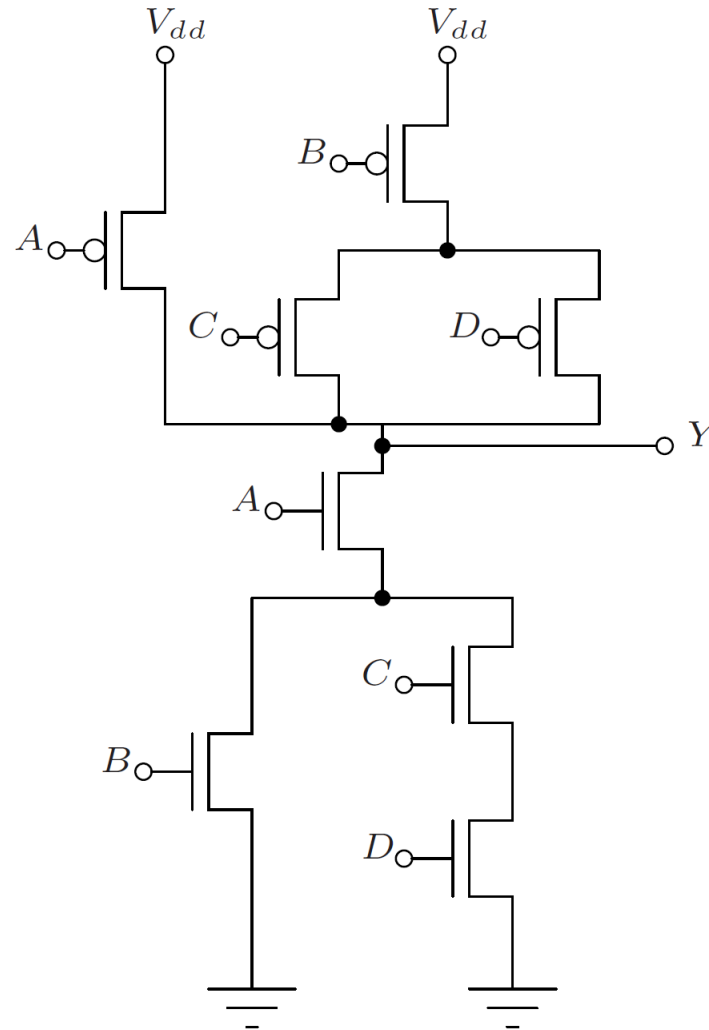
Para obter a rede de pull-up é necessário expressar Y em termos do complemento das variáveis de entrada.

Isto pode ser obtido aplicando repetidamente a lei de DeMorgan:

$$\begin{aligned} Y &= \overline{A(B + CD)} \\ &= \overline{A} + \overline{B + CD} \\ &= \overline{A} + \overline{B} \overline{CD} \\ &= \overline{A} + \overline{B}(\overline{C} + \overline{D}) \end{aligned}$$

Função lógica mais complexa

Circuito:



$$Y = \overline{A(B + CD)}$$

O MOSFET como interruptor analógico

O inversor CMOS demonstra uma aplicação importante dos MOSFETs, nomeadamente o seu uso como interruptores controlados.

Especificamente, a tensão aplicada à gate cde cada um dos MOSFETs liga-o ou desliga-o.

Na posição de desligado, o MOSFET opera como um circuito aberto entre o drain e a source, enquanto que na posição de ligado, o MOSFET apresenta uma resistência r_{DS} entre o drain e a source.

O valor da resistência do interruptor no estado ligado depende da localização do ponto de funcionamento $i_D \times v_{DS}$ na região de tródo, da tensão aplicada à gate e das caraterísticas do dispositivo.

O MOSFET como interruptor analógico

Especificamente, para uma operação perto da origem, um MOSFET de canal n tem:

$$r_{DS} = \frac{1}{k'_n (W/L)(V_{gs} - V_t)}$$

Apesar de ser desejável obter um valor baixo para r_{DS} , a operação do inversor digital não é afetada de forma crítica por este valor.

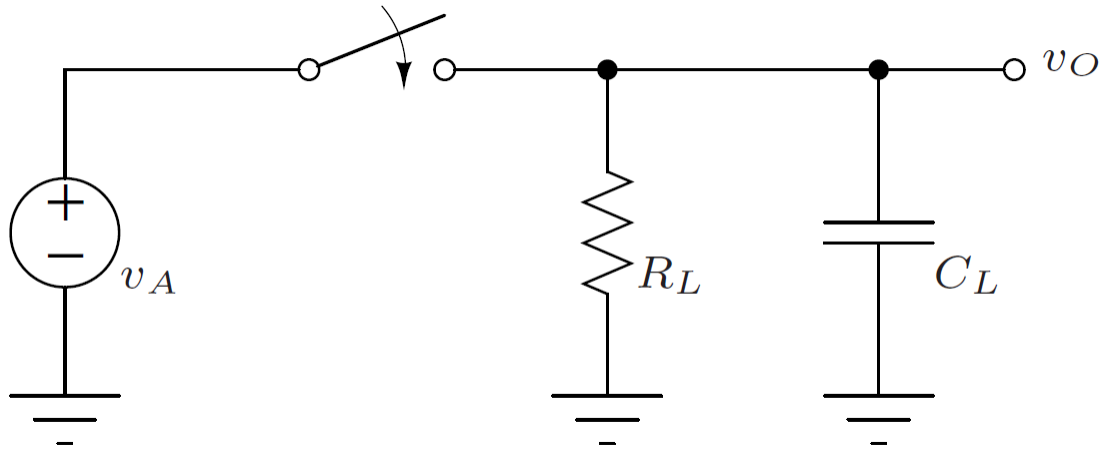
Passa-se o mesmo em todas as aplicações em que o MOSFET funciona como interruptor digital.

No entanto, em muitas aplicações, o MOSFET deve funcionar como interruptor em circuitos analógicos.

Nestes casos, o interruptor é denominado de analógico e o desempenho do circuito pode ser muito afetada pelas suas características.

O interruptor analógico

Interruptor analógico a ligar a tensão analógica v_A à carga formada pela resistência R_L e pelo condensador C_L .



O interruptor analógico

Quando o interruptor está aberto, como é óbvio, deve comportar-se o mais próximo possível de um circuito aberto.

Portanto, a resistência do interruptor deve ser muito elevada e idealmente infinita.

Na posição de fechado, o interruptor deve funcionar o mais próximo possível de um curto-circuito.

Salienta-se o facto de a resistência do interruptor formar um divisor de tensão com a carga, fazendo com que o sinal seja atenuado.

Pelo facto de a carga ter uma componente capacitiva, a resistência do interruptor vai provocar um atraso na sua carga, atraso esse que pode ser visto como um desvio de fase do sinal.

Isto leva a que a amplitude e a fase do sinal que aparece na carga dependem muito das características do interruptor.

O interruptor analógico

Um problema ainda mais grave ocorre se o valor da resistência do interruptor depender da tensão de entrada v_A .

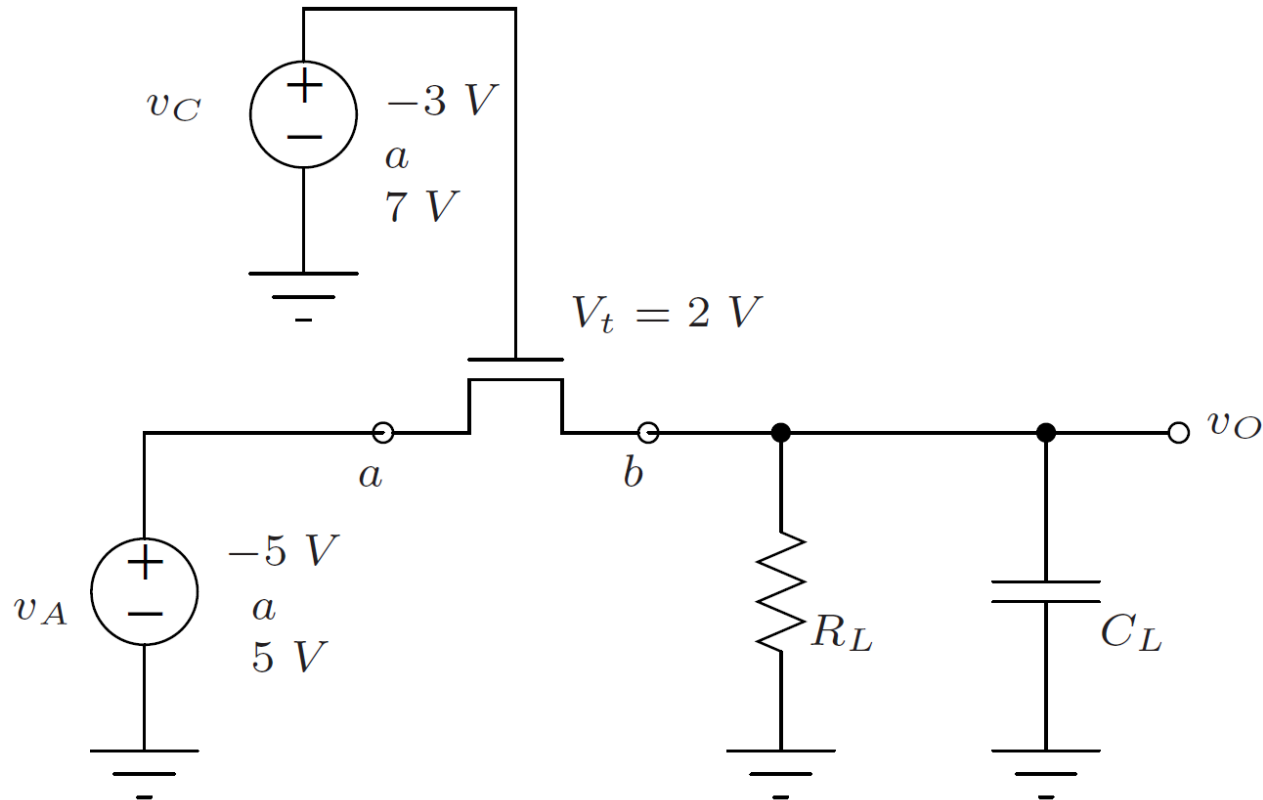
Se isto acontecer, a atenuação do sinal na carga vai depender da amplitude de v_A , ou seja, vai apresentar distorção não linear.

Como v_A pode ser positivo ou negativo, o interruptor deve ser capaz de conduzir a corrente nos dois sentidos.

O interruptor analógico NMOS

Interruptor analógico formado por um único transistor.

O substrato do transistor deve estar ligado à tensão mais negativa do circuito, ou seja, a -5 V .



Para manter as junções pn drain-substrato e source-substrato inversamente polarizadas em toda a gama de operação, o terminal do substrato deve ser ligado a -5 V .

O interruptor analógico NMOS

O objetivo do sinal de controlo v_C é ligar e desligar o interruptor.

Se o dispositivo tiver uma tensão de threshold $V_t = 2 \text{ V}$, para que o transístor conduza para todos os níveis do sinal de entrada, o valor mais elevado de v_C deve ser de 7 V .

De um modo análogo, para que o transístor não conduza para nenhum nível do sinal de entrada, v_C deve ser de -3 V .

É de notar que na prática estes limites são insuficientes, já que o transístor não se encontra bem ligado nem bem desligado nos limites.

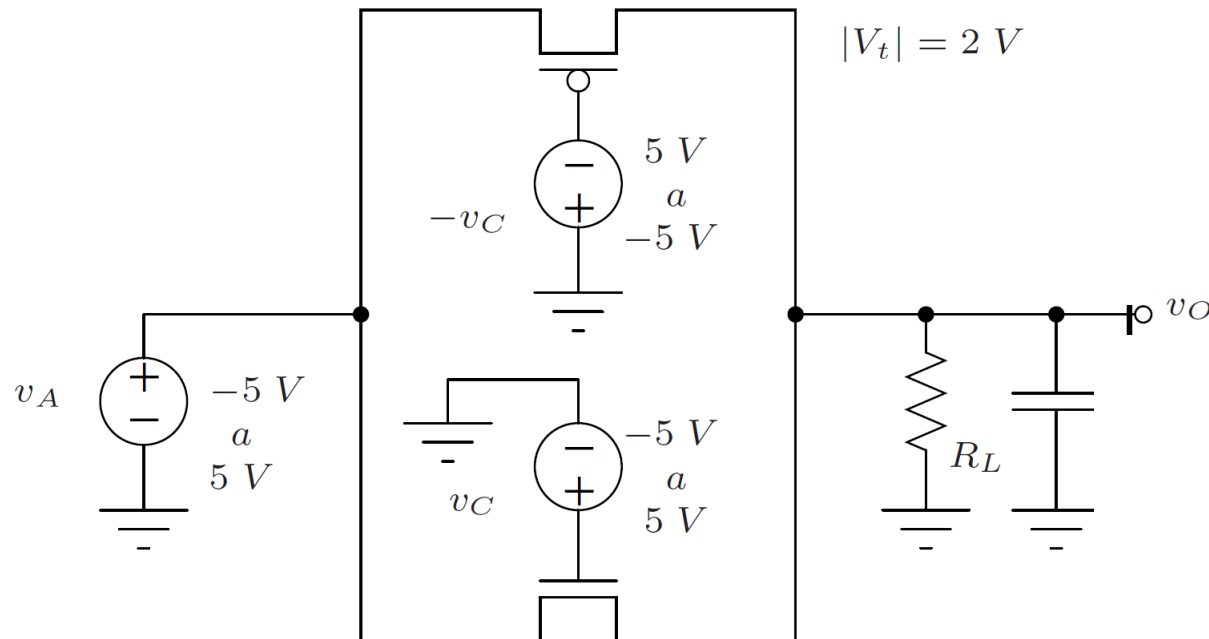
De qualquer modo, fica a ideia de que a gama de valores para a tensão de controlo deve ser pelo menos igual em amplitude à gama de tensões de entrada.

O interruptor analógico NMOS

Infelizmente, nesta montagem a resistência do interruptor no estado ligado depende muito do valor da tensão de entrada, uma das características classificada anteriormente de indesejada.

Outro inconveniente desta montagem está relacionado com os níveis de tensão necessários para v_C : de -3 V a 7 V .

A porta de transmissão CMOS



Para evitar que as junções com os substratos fiquem diretamente polarizadas, o substrato do transistor de canal p é ligado à tensão mais positiva do circuito (5 V) e o do dispositivo de canal n é ligado à tensão mais negativa (-5 V).

As gates dos transístores são controladas por dois sinais complementares, v_C e $-v_C$.

A porta de transmissão CMOS

Ao contrário do interruptor com apenas um transistor NMOS, aqui os limites da tensão v_C podem ser os mesmos do sinal de entrada, ou seja, v_C pode variar de -5 V a 5 V .

Quando v_C está ao nível baixo, a tensão na gate do dispositivo de canal n será de -5 V , evitando que ele conduza, qualquer que seja o valor de v_A (na gama de -5 V a 5 V).

Simultaneamente, a gate do dispositivo de canal p estará a 5 V , o que evita que ele conduza, qualquer que seja o valor de v_A .

Portanto, quando v_C está ao nível baixo, o interruptor está aberto.

A porta de transmissão CMOS

Para que o interruptor esteja fechado, o sinal de controlo v_C deve estar ao nível alto, ou seja, a 5 V.

Correspondentemente, o transístor NMOS conduz para valores de v_A entre -5 V e 3 V.

Simultaneamente, o transístor PMOS tem a sua gate a -5 V e conduz para valores de v_A entre -3 V e 5 V.

Portanto, para v_A menor do que -3 V apenas conduz o transístor NMOS, enquanto que para v_A maior do que 3 V, apenas o transístor PMOS conduz.

Na gama de valores de v_A entre -3 V e 3 V, ambos os transístores conduzem.

Além disso, pode observar-se que quando um transístor conduz mais intensamente, o outro reduz a sua condução, ou seja, quando a resistência de um dispositivo diminui, a do outro aumenta.

A porta de transmissão CMOS

A resistência do interruptor no estado de ligado, que é dada pelo paralelo das resistências r_{DS} dos dois transístores permanece aproximadamente constante.

Esta é claramente uma vantagem da porta de transmissão CMOS em relação ao interruptor que usa apenas um transístor NMOS.

Outra vantagem provém dos níveis mais convenientes a usar na tensão de controlo v_C .

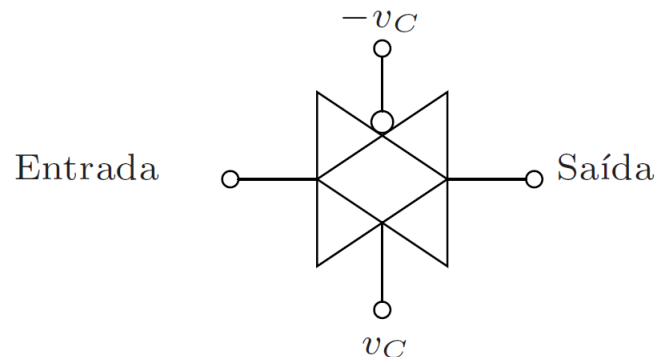
A porta de transmissão CMOS

Quando comparado com o interruptor formado por um único transistor, a porta de transmissão CMOS oferece um desempenho muito melhor à custa de uma maior complexidade do circuito e de área de chip.

A escolha entre os dois interruptores depende sobretudo da aplicação em particular.

Além de ser um interruptor analógico muito bom, a porta de transmissão CMOS também é aplicada em circuitos digitais, sobretudo em dispositivos que partilham as mesmas linhas de entrada e ou saída e necessitam de um estado de alta impedância quando estão inativos.

Símbolo da porta de transmissão CMOS usada vulgarmente em circuitos digitais:



O JFET

O transistor de efeito de campo de junção, JFET, é o transistor mais simples de todos.

Tem algumas características interessantes, nomeadamente a sua muito alta impedância de entrada.

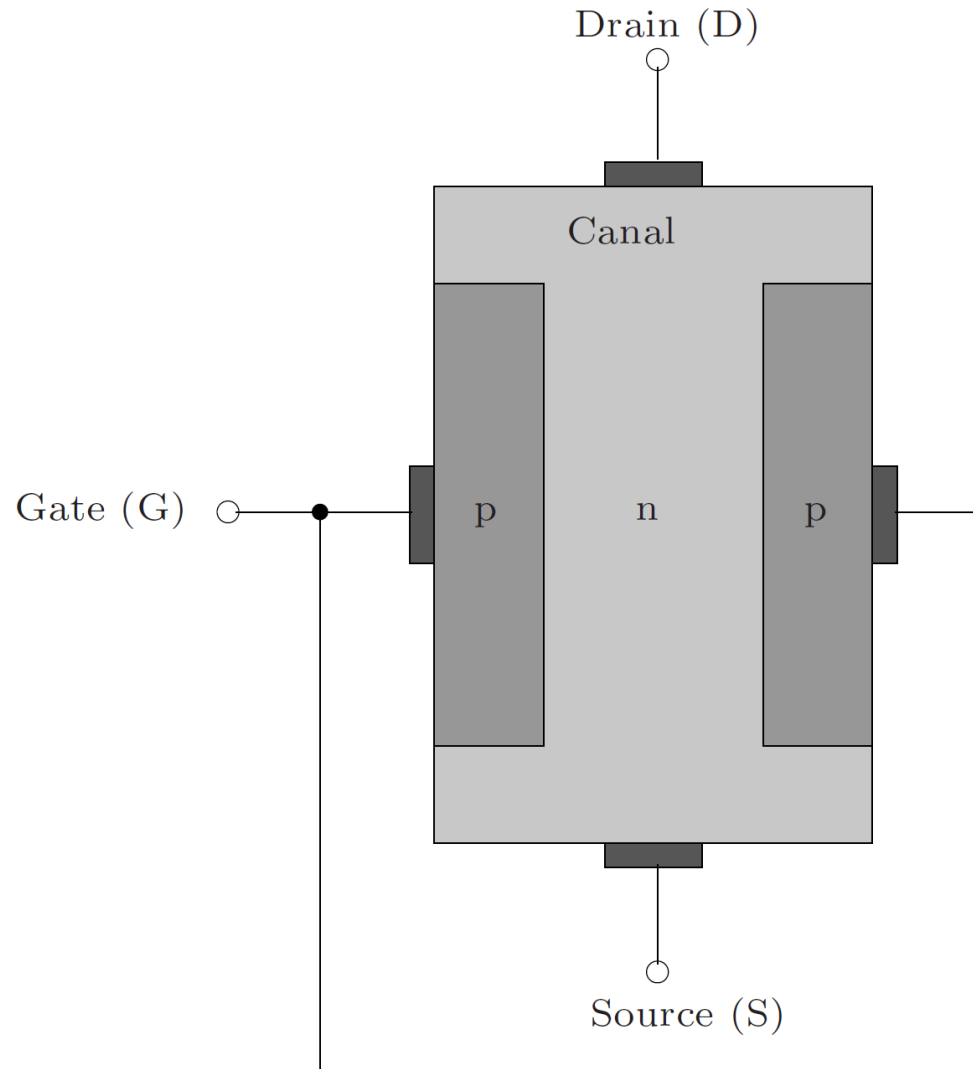
Infelizmente para ele, o MOSFET tem uma impedância de entrada ainda maior, o que aliado a outras vantagens tornou o JFET praticamente obsoleto.

As suas aplicações limitam-se a muito poucos projetos de eletrónica discreta.

Também é usado em estágios de entrada de alguns amplificadores operacionais comerciais (ex: TL084).

O JFET

JFET de canal n.



O JFET

O JFET consiste numa placa de silício do tipo n, com duas regiões do tipo p difundidas dos dois lados.

A região do tipo n forma o canal e as regiões do tipo p estão ligadas uma à outra para formarem a gate.

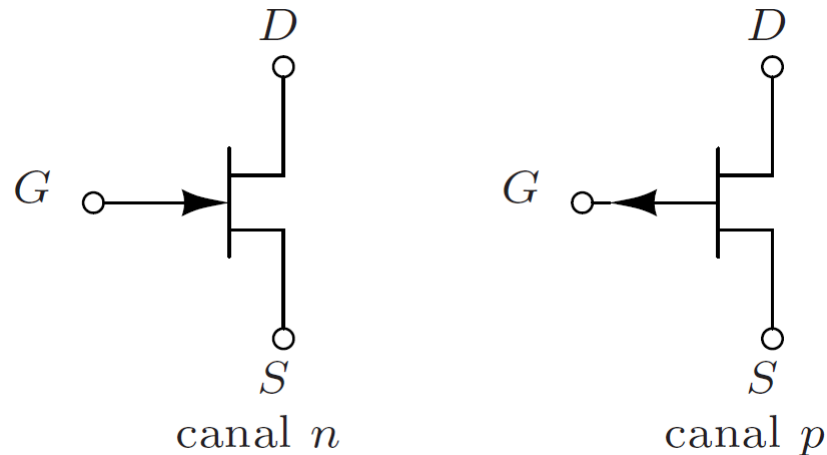
O funcionamento do dispositivo é baseado na polarização inversa das duas junções pn existentes entre a gate e o canal.

É a tensão inversa de polarização destas junções que controla a largura do canal e por consequência, a corrente que circula do drain para a source.

Para construir um dispositivo de canal p, basta inverter a polaridade dos semicondutores usados, ou seja, usar silício do tipo p no canal e do tipo n nas regiões de gate.

O JFET

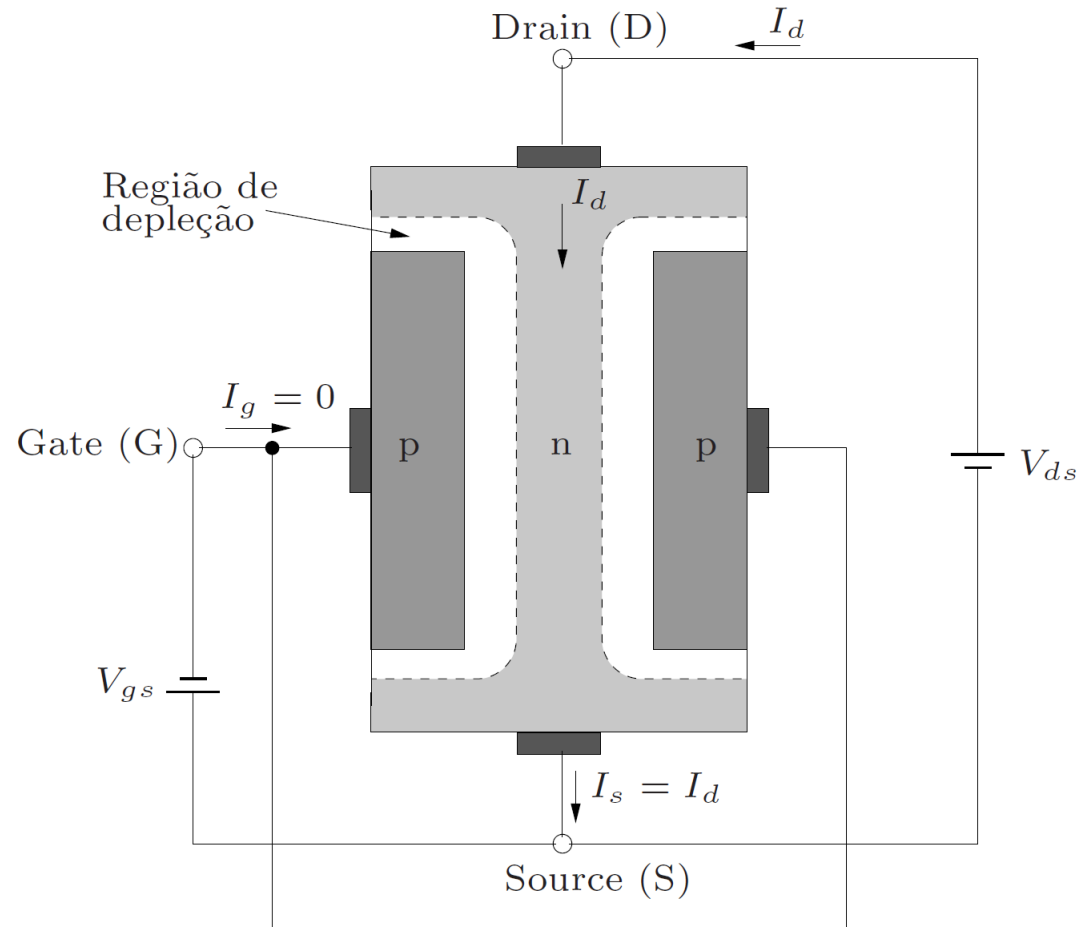
Símbolos dos JFETs de canal n e de canal p .



O JFET é um dispositivo simétrico, o que faz com que a sua source e o seu drain possam ser intermutáveis. No entanto, o projeto de circuitos torna-se mais fácil se for designado um desses terminais como source.

O JFET

Princípio de
operação:



O JFET

Quando $V_{gs} = 0$, a aplicação de uma tensão V_{ds} causa uma corrente que circula do drain para a source.

Quando é aplicada uma tensão V_{gs} negativa, a região de depleção da junção gate-canal alarga-se fazendo com que o canal seja cada vez mais estreito.

Portanto, a resistência do canal aumenta e a corrente I_d diminui.

Enquanto V_{ds} for pequena, o canal tem uma largura praticamente constante.

O JFET funciona como uma resistência, cujo valor é controlado por V_{gs} .

Se se continuar a aumentar V_{gs} no sentido negativo, é atingido um valor para o qual a região de depleção ocupa todo o canal.

O JFET

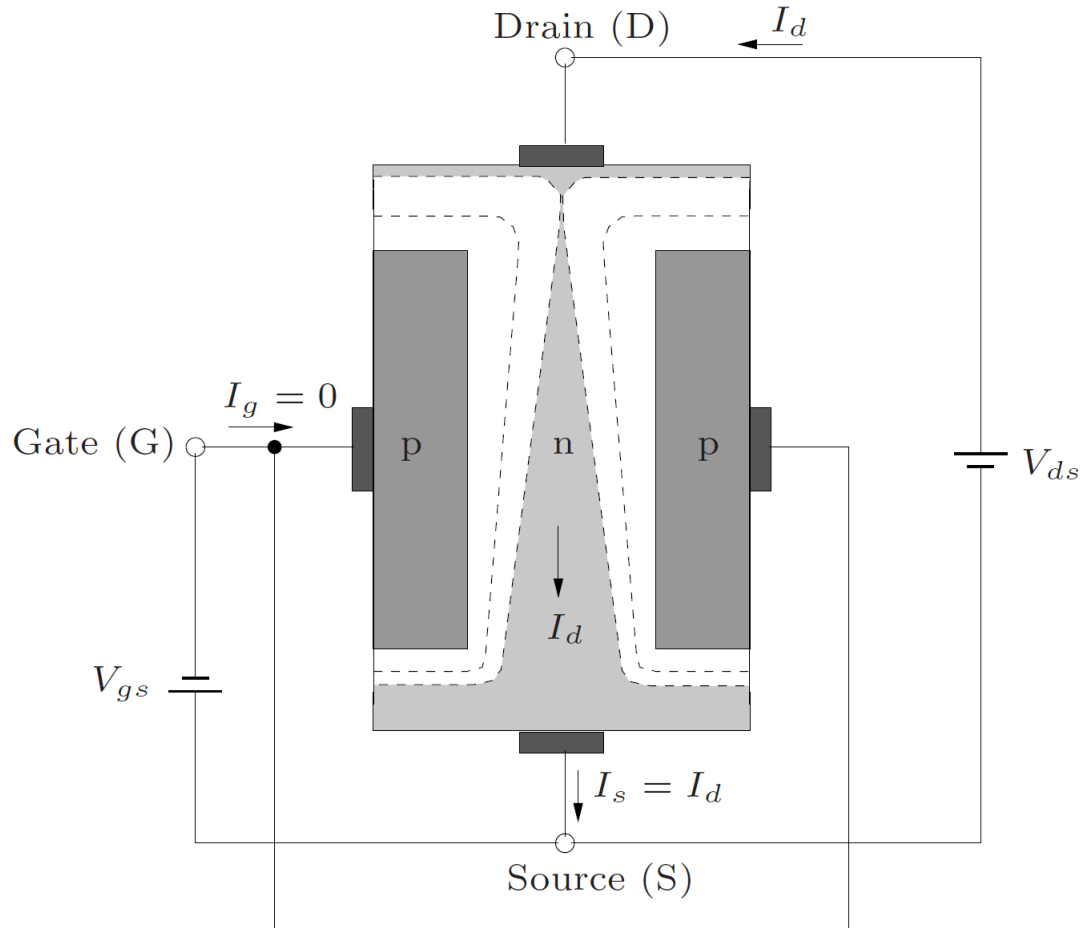
Para esse valor de V_{gs} , o canal fica livre de qualquer carga, ou seja, em termos práticos o canal desaparece.

Este valor de V_{gs} não é mais do que a tensão de threshold V_t do dispositivo, que é negativa para um dispositivo de canal n.

No caso particular dos JFETs, a tensão de threshold é mais conhecida como tensão de corte (pinch-off) e é denotada de V_p .

O JFET

Operação do JFET de canal n para tensões V_{ds} grandes.
O canal toma a forma afunilada.



O JFET

A tensão V_{gs} é mantida constante a um valor menos negativo do que V_p , enquanto V_{ds} aumenta.

Como V_{ds} aparece como uma queda de tensão ao longo do canal, a tensão aumenta à medida que se vem da source para o drain.

Isto faz com que a tensão de polarização inversa entre a gate e o canal varie ao longo do canal, sendo maior perto do drain.

Neste caso, o canal toma a forma afunilada e a característica $I_d \times V_{ds}$ deixa de ser linear.

Quando a tensão de polarização, do lado do drain V_{gd} for mais baixa do que V_p , o canal fica cortado na extremidade do drain e diz-se que a corrente satura.

A descrição do que se passa de seguida é em tudo similar ao MOSFET de depleção.

O JFET

A descrição anterior indica claramente que o JFET é um dispositivo de depleção e as suas características são similares ao MOSFET do tipo depleção.

Isto é verdade, apenas com uma exceção importante: enquanto que o MOSFET de depleção pode operar no modo de intensificação (aplicando uma tensão V_{gs} positiva no dispositivo de canal n), o JFET apenas pode operar no modo de depleção.

Se for aplicada uma tensão positiva em V_{gs} , as junções pn ficam diretamente polarizadas e deixa de haver controlo sobre o canal.

Portanto, a tensão V_{gs} máxima está limitada a 0 V.

Na prática pode ir-se um pouco mais além, pois uma junção pn só começa a conduzir para tensões de 0.6 a 0.7 V .

O JFET

Características tensão-corrente:

As características tensão-corrente de um JFET são idênticas às do MOSFET de depleção, excepto que para o JFET a tensão V_{gs} máxima permitida é de 0 V.

Além disso, as características do JFET são especificadas em termos da tensão de corte do canal V_p (que corresponde à tensão de threshold do MOSFET) e da corrente drain-source com a gate curto-circuitada à source, I_{dss} , que corresponde a

$$(1/2)k'_n V_t^2.$$

O JFET

Região de corte:

$$V_{gs} \leq V_p, \quad I_d = 0$$

Região de triodo:

$$V_p \leq V_{gs} \leq 0 \quad \text{e} \quad V_{ds} < V_{gs} - V_p$$

$$I_d = I_{dss} \left[2 \left(1 - \frac{V_{gs}}{V_p} \right) \left(\frac{V_{ds}}{-V_p} \right) - \left(\frac{V_{ds}}{V_p} \right)^2 \right]$$

Região de saturação:

$$V_p \leq V_{gs} \leq 0 \quad \text{e} \quad V_{ds} \geq V_{gs} - V_p$$

$$I_d = I_{dss} \left(1 - \frac{V_{gs}}{V_p} \right)^2 (1 + \lambda V_{ds})$$

em que λ é o inverso da tensão de Early: $\lambda = 1/V_A$.

O JFET

Como a junção gate-canal está sempre inversamente polarizada, no terminal da gate apenas circula uma corrente de fuga da ordem dos 10^{-9} A.

Apesar de ser muito baixa e poder ser considerada nula na maior parte das aplicações, deve notar-se que a corrente de gate de um JFET é muito maior do que a corrente de gate de um MOSFET, devido à estrutura de gate isolada deste último.

Outra desvantagem do JFET é que a sua corrente de gate depende fortemente da temperatura, podendo vir a ser o dobro para cada 10°C de aumento desta.

O JFET de canal p

As características tensão-corrente do JFET de canal p são descritas pelas mesmas equações das do de canal n.

É de notar, no entanto que para o JFET de canal p, V_p é positivo, v_{DS} é negativo, λ e V_A são negativos e a corrente I_d circula da source para o drain.

Para que o JFET de canal p opere com o canal estrangulado, a tensão de drain deve ser menor do que a tensão de gate pelo menos $|V_p|$ volts.
Se não for, o JFET opera na região de tríodo.

Modelo para pequenos sinais do JFET

O modelo para pequenos sinais do JFET é idêntico ao do MOSFET:

$$g_m = \left(\frac{2I_{dss}}{|V_p|} \right) \left(1 - \frac{V_{gs}}{V_p} \right)$$

ou em alternativa:

$$g_m = \left(\frac{2I_{dss}}{|V_p|} \right) \sqrt{\frac{I_d}{I_{dss}}}$$

onde V_{gs} e I_d representam a tensão e a corrente contínuas no ponto de funcionamento.

A resistência de saída é dada por:

$$r_o = \frac{|V_A|}{I_d}$$

Dispositivos em GaAs: O MESFET

Praticamente todos os dispositivos semicondutores vistos até aqui eram fabricados tendo por elemento base o silício.

Isto reflete a situação da indústria da microeletrônica nas últimas cinco décadas.

Além disso, devido aos avanços que continuam a ter lugar nas tecnologias dos dispositivos e dos circuitos de silício, o domínio deste material vai continuar por muitos mais anos.

No entanto, apareceu outro material semiconductor que tem feito incursões nas aplicações digitais de muito alta velocidade e em aplicações analógicas de muito altas frequências.

Dispositivos em GaAs: O MESFET

Este semiconductor é o arsenieto de gálio (GaAs), um composto formado por gálio, um elemento da terceira coluna da tabela periódica e arsénio, da quinta coluna.

Devido à disposição dos seus elementos na tabela periódica, o GaAs é conhecido como um semiconductor III-V.

A maior vantagem do GaAs em relação ao silício é que os eletrões viajam muito mais rápido no primeiro do que no último.

Este facto resulta de a mobilidade por difusão, μ_n , que é constante e relaciona a velocidade de difusão dos eletrões com a velocidade do campo elétrico, ser de cinco a dez vezes maior no GaAs do que no silício.

Portanto, para as mesmas tensões de entrada, os dispositivos de GaAs têm correntes de saída maiores e maior g_m do que os correspondentes em silício.

Dispositivos em GaAs: O MESFET

As correntes de saída mais altas permitem cargas e descargas mais rápidas das capacitâncias de carga e parasitas, resultando num aumento de velocidade.

Os dispositivos de arsenieto de gálio foram usados durante alguns anos no projeto de amplificadores discretos para aplicações em microondas (na gama dos gigahertz).

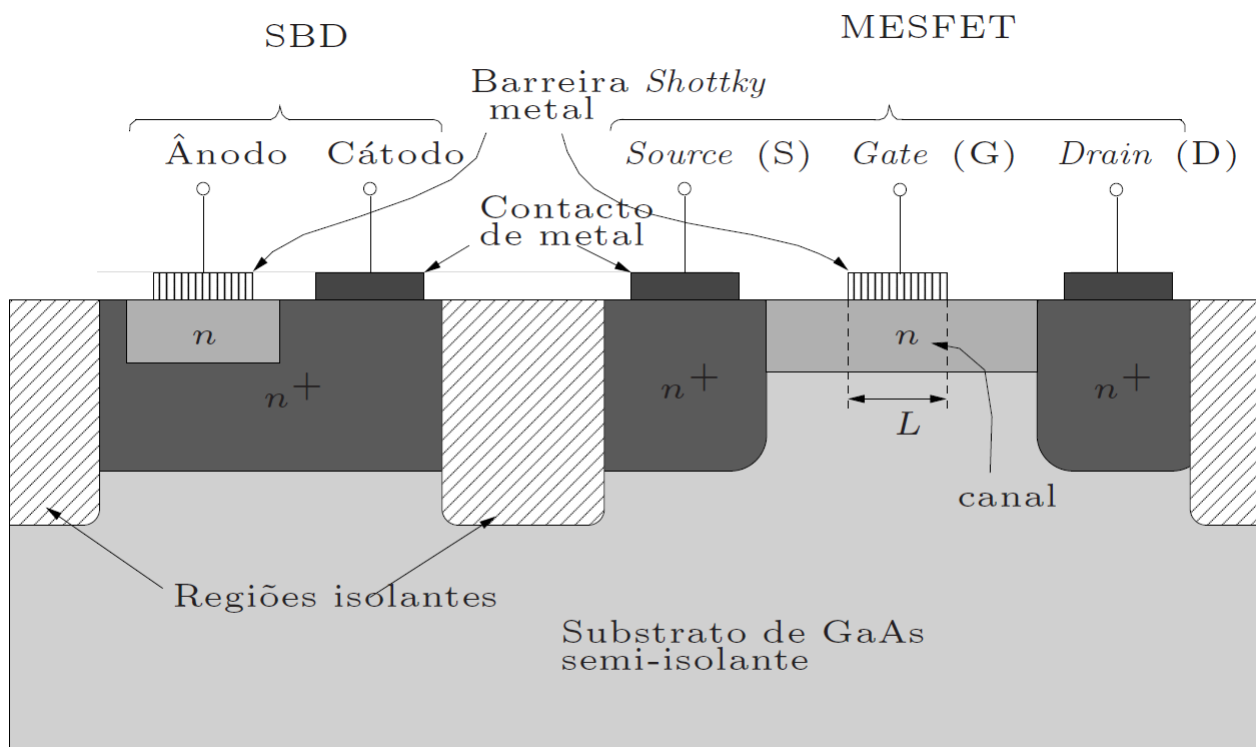
Mais recentemente, os dispositivos de GaAs são usados no projeto de circuitos digitais de muito alta velocidade e em circuitos integrados analógicos a operarem na gama das centenas de megahertz.

Os dispositivos básicos em GaAs

Apesar de existirem vários dispositivos em várias fases de desenvolvimento, apenas irão ser abordados os dispositivos mais usados.

O dispositivo ativo disponível em GaAs é um FET de canal n conhecido por “Metal Semiconductor Field Effect Transistor” ou MESFET.

A tecnologia também disponibiliza um tipo de díodo conhecido por “Schottky-Barrier Diode” ou SBD.



Os dispositivos básicos em GaAs

Os dispositivos são construídos a partir de um substrato de GaAs que não é dopado.

Como a condutividade do GaAs não dopado é muito baixa, diz-se que o substrato é semi-isolante.

Isto é uma vantagem da tecnologia de GaAs, já que simplifica o processo de isolamento entre os dispositivos do mesmo chip, resultando também em menores capacitâncias entre os dispositivos e a terra.

Os dispositivos básicos em GaAs

Um díodo de barreira Schottky consiste apenas numa junção metal-semicondutor.

O metal, referido como o metal de barreira Schottky, forma o ânodo do díodo.

Uma região de GaAs do tipo n forma o cátodo.

É usada uma região fortemente dopada, denotada de n^+ , entre a região n e o contacto do cátodo, para que a resistência série do díodo seja baixa.

Os dispositivos básicos em GaAs

Para o MESFET, a sua gate é formada por metal de barreira Schottky em contacto direto com uma região de GaAs do tipo n, que forma o canal.

As dimensões do canal são definidos pelo comprimento e pela largura do eletrodo de gate.

Os contactos da source e do drain são rodeados por GaAs fortemente dopado, para que a sua resistência parasita seja diminuída.

Os dispositivos básicos em GaAs

Como uma das principais razões do uso de GaAs é a velocidade que os dispositivos podem atingir, o comprimento do canal deve ser pequeno.

Tipicamente anda entre os 0.2 μm e os 2 μm .

Também, normalmente os transístores do mesmo chip são construídos com o mesmo comprimento, sendo apenas a sua largura da responsabilidade do projetista.

Na tecnologia de GaAs apenas existem dispositivos de canal n.

Isto deve-se ao facto de as lacunas terem uma mobilidade de difusão relativamente baixa, o que torna os MESFETs de canal p pouco atrativos.

Este facto é sem dúvida uma das maiores desvantagens desta tecnologia

Princípio de funcionamento do MESFET

O princípio de funcionamento do MESFET é em tudo similar ao do JFET, com a barreira Shottky a tomar o papel da região p da gate do JFET.

Basicamente, é formada uma região de depleção no canal, por baixo do elétrodo de gate.

A sua profundidade é controlada pela tensão v_{GS} .

Na prática, esta tensão controla as dimensões do canal e por consequência a corrente que circula entre o drain e a source, quando é aplicada uma tensão v_{DS} .

Tal como no JFET, esta última tensão causa um afunilamento no canal e eventualmente um corte na extremidade do drain.

Princípio de funcionamento do MESFET

Os MESFETs de GaAs são do tipo depleção com uma tensão de threshold V_t ou equivalentemente V_p na gama entre os -0.5 V aos -2.5 V.

Estes dispositivos podem operar com tensões v_{GS} que variam entre a tensão negativa V_t até valores positivos.

No entanto, quando v_{GS} atinge uma tensão de cerca de 0.7 V, o díodo de barreira Shottky entre a gate e o canal entra em condução e a tensão de gate não controla mais a corrente de drain.

A condução pelo terminal da gate é outra das desvantagens do MESFET em relação ao MOSFET.

Princípio de funcionamento do MESFET

Apesar de serem pouco comuns, existem em algumas tecnologias os MESFETs de intensificação.

Esses dispositivos estão normalmente ao corte com $V_{gs} = 0 \text{ V}$.

São construídos de modo a que a zona de depleção que existe quando $V_{gs} = 0 \text{ V}$ ocupe toda a profundidade do canal, fazendo com que $I_d = 0 \text{ A}$.

Para que a corrente circule do drain para a source, o canal deve ser aberto aplicando-se uma tensão positiva com amplitude suficiente para reduzir a espessura da zona de depleção para baixo da região do canal.

O valor típico para a tensão de threshold destes dispositivos anda entre 0.1 V e 0.3 V .

Princípio de funcionamento do MESFET

A descrição anterior do funcionamento do MESFET sugere que as características $i_D \times v_{DS}$ saturem para $v_{DS} = v_{GS} - V_t$, tal como no caso do JFET.

Pode observar-se no entanto, que as características $i_D \times v_{DS}$ dos MESFETs de GaAs saturam para valores menores de v_{DS} , e além disso, a tensão de saturação v_{DSsat} não depende muito de v_{GS} .

Este fenómeno de saturação prematura ocorre devido à velocidade dos eletrões no canal não permanecer proporcional ao campo elétrico, que por sua vez é determinado por v_{DS} e L .

Em vez disso, a velocidade dos eletrões atinge um valor de pico para o qual se torna constante e independente de v_{DS} .

O efeito da saturação da velocidade é mais acentuado em dispositivos de canal curto ($L \leq 1 \mu\text{m}$).

Princípio de funcionamento do SBD

A corrente direta é conduzida pelos portadores majoritários (elétrões) que fluem para o metal da barreira Schottky (ânodo).

Ao contrário do díodo de junção pn, no SBD os portadores minoritários não desempenham qualquer papel.

Como resultado, o SBD não exhibe os fenômenos de armazenamento de cargas minoritárias que dão origem à capacitância de difusão da junção pn dos díodos de silício.

Portanto, o SBD apenas apresenta um efeito capacitivo associado à capacitância da região de depleção.

Características básicas e modelos do MESFET

Um modelo de primeira ordem do MESFET, adequado para a realização de cálculos manuais é obtido desprezando-se o efeito da saturação da velocidade, ficando o modelo muito parecido com o do JFET:

- Para $v_{GS} < V_t$

$$i_D = 0$$

- Para $v_{GS} \geq V_t$ e $v_{DS} < v_{GS} - V_t$

$$i_D = \beta [2(v_{gs} - V_t)v_{DS} - v_{DS}^2] (1 + \lambda v_{DS})$$

- Para $v_{GS} \geq V_t$ e $v_{DS} \geq v_{GS} - V_t$

$$i_D = \beta (v_{GS} - V_t)^2 (1 + \lambda v_{DS})$$

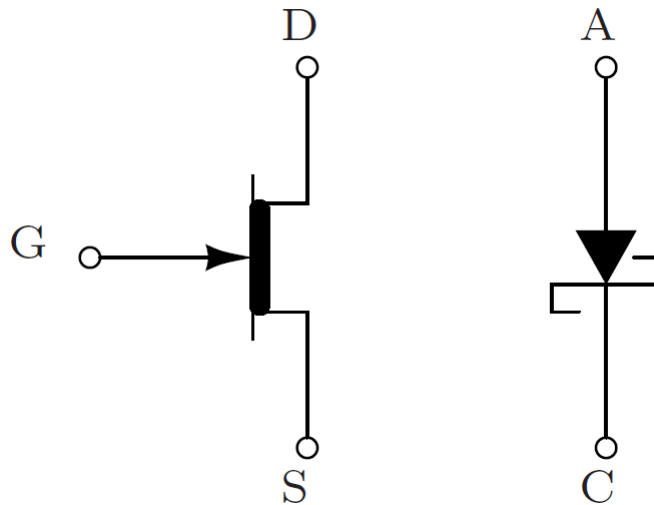
Características básicas e modelos do MESFET

As diferenças entre este modelo e o do JFET são:

1. O fator de modulação do comprimento do canal ($1 + \lambda v_{ds}$) também é incluído na equação da região de tródo, simplesmente porque o λ dos MESFETs é normalmente grande e incluindo-o obtém-se valores teóricos mais próximos dos experimentais.
2. O parâmetro de transcondutância é usado aqui para manter a coerência com outra literatura. Obviamente está relacionado com I_{dss} do JFET e com $k'n (W/L)$ do MOSFET. Não tem nada a ver com o β do transistor bipolar.

Símbolos

Símbolos do MESFET de depleção de canal n de arsenieto de gálio e do SBD.



Modelo para pequenos sinais do MESFET

O modelo para pequenos sinais do MESFET é idêntico ao dos outros tipos de FETs:

$$g_m = 2\beta(V_{gs} - V_t)(1 + \lambda V_{ds}),$$

$$r_o = 1/(\lambda\beta(V_{gs} - V_t)^2)$$

O valor de λ é relativamente elevado (de 0.1 V^{-1} a 0.3 V^{-1}), resultando numa resistência r_o de valor baixo.

Esta é uma grande desvantagem do MESFET, já que com valores baixos de r_o não é possível a obtenção de ganhos elevados.

Além disso, na prática observa-se que r_o diminui com a frequência, o que deve ser levado em conta nos projetos de amplificadores.

Desempenho dos MESFETs

Os dispositivos de GaAs têm piores desempenhos do que os MOSFETs em quase todos os aspectos.

No entanto, como foi dito anteriormente, a razão principal do uso deste tipo de dispositivos e circuitos é a sua capacidade de operar a frequências muito elevadas.