

NOME: _____ CORRECÇÃO _____ TURMA _____



FEUP
Universidade do Porto
Faculdade de Engenharia

Departamento de Engenharia Electrotécnica
e de Computadores

Sistemas Digitais (2001/2002)

2ª chamada – 24/Janeiro/2002

Duração: 2horas , sem consulta.

Antes de iniciar a prova, tenha em atenção as seguintes recomendações:

- Leia atentamente toda a prova antes de a iniciar.
- Mostre e justifique adequadamente todos os passos das suas respostas.
- A prova deverá ser resolvida no enunciado. Se necessário, utilize o verso para continuar a sua resolução.
- Assine todas as folhas que entregar, indicando em cada uma o número de páginas/folhas que entregou.

1 -

a) Considere o número binário 10000000_2 . Diga qual é o seu valor se:

(i) representar um número inteiro sem sinal.

Se 10000000_2 representar um número binário sem sinal então o seu valor é $1x2^7+0x2^6+...+0x2^0=128_{10}$

(ii) representar um número inteiro com sinal em complemento para dois com 8 bits.

Se 10000000_2 representar um número com sinal em complemento para dois então o seu valor é $-1x2^7+0x2^6+...+0x2^0=-128_{10}$ (o bit mais significativo tem peso -2^7). Outra forma de obter o valor representado pelo número dado consiste em: (i) concluir que o valor é negativo porque o bit mais significativo é 1, (ii) obter o seu valor absoluto “trocando” o sinal (complementando todos os bits e somando 1 obtemos o simétrico de 10000000 que também é 10000000) e (iii) calculando o valor sem sinal representado por $10000000_2=128_{10}$

b) Considere os números $A=00010111_2$ e $B=00101111_2$

(i) Efectue a subtracção A-B em binário.

$$\begin{array}{r} 00010111 \\ -00101111 \\ \hline 11101000 \end{array}$$

(ii) Comente o resultado obtido admitindo que A, B e o resultado são números inteiros sem sinal.

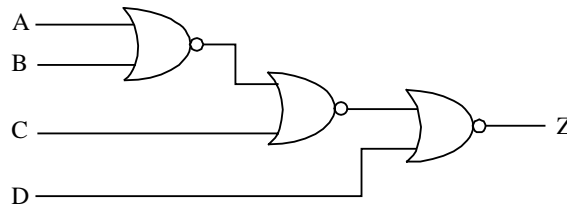
Se A e B representarem números inteiros sem sinal, então há overflow (ou o resultado não pode ser representado) porque é gerado um bit de borrow para além do número de bits dos operandos A e B. Note que como B é maior do que A o resultado correcto será negativo, o que não pode ser representado como um número sem sinal.

(iii) Comente o resultado obtido admitindo que A, B e o resultado são números inteiros com sinal representados em complemento para dois com 8 bits.

Se A e B representarem números inteiros com sinal em complemento para dois, podemos concluir que não ocorre overflow já que são subtraídos dois operandos de sinal igual (ou, o que é equivalente, são adicionados dois operandos com sinais opostos). Como tal, e apesar de ter ocorrido um borrow-out, o número 11101000_2 representa correctamente o resultado da diferença A-B.

NOME: _____ CORRECÇÃO _____ TURMA _____

2 – O circuito da figura resultou de uma tentativa para construir um circuito que realize a função NOR de 4 entradas $F=(A+B+C+D)'$



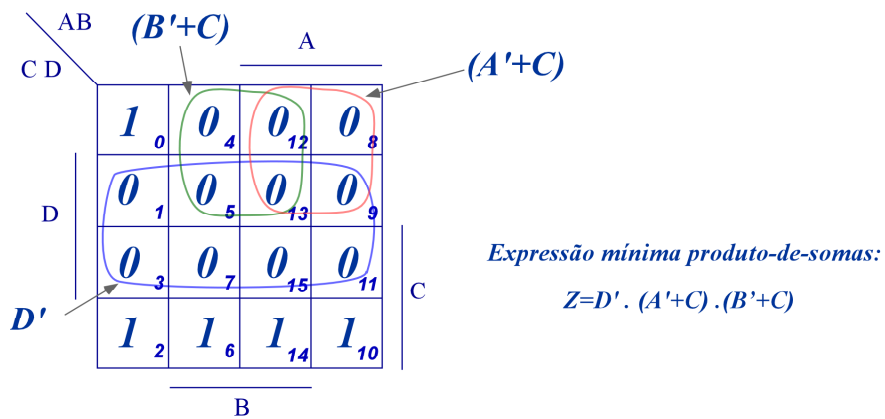
- a) Construa a tabela de verdade do circuito da figura e mostre que não realiza a função pretendida.

Para provar que o circuito dado não realiza a função pretendida basta mostrar que existe pelo menos uma combinação das entradas para a qual as duas funções produzem resultados diferentes. A tabela de verdade do circuito dado é:

A	B	C	D	Z
0	0	0	0	1
0	0	0	1	0
0	0	1	0	1
0	0	1	1	0
0	1	0	0	0
0	1	0	1	0
0	1	1	0	1
0	1	1	1	0
1	0	0	0	0
1	0	0	1	0
1	0	1	0	1
1	0	1	1	0
1	1	0	0	0
1	1	0	1	0
1	1	1	0	1
1	1	1	1	0

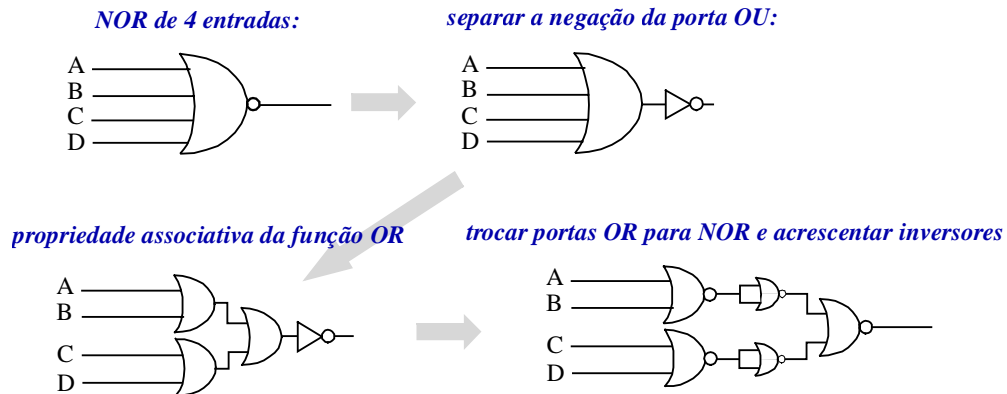
Como a função $F=(A+B+C+D)'$ (NOR de 4 entradas) só é 1 quando todas as entradas são 0, pode-se concluir que o circuito dado não realiza esta função (por exemplo, para $ABCD=1110$, $Z=1$ e $F=0$).

- b) Utilizando Mapas de Karnaugh obtenha uma expressão simplificada do tipo produto-de-somas para a função realizada pelo circuito.

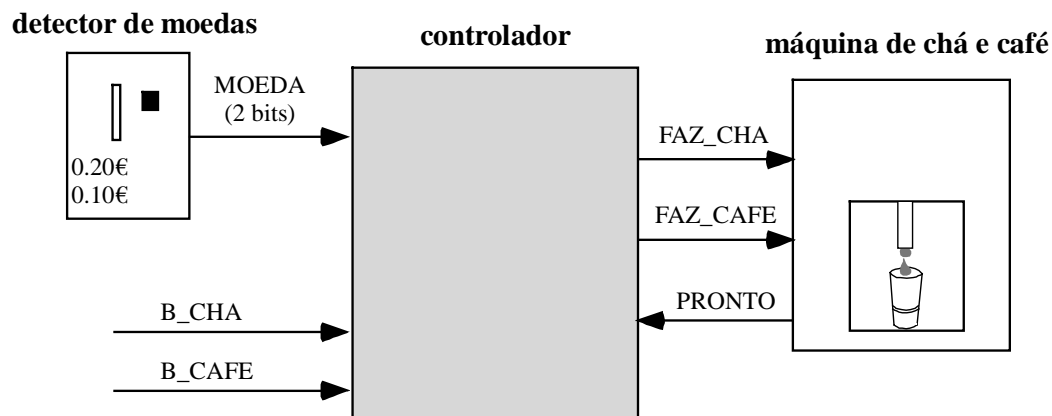


NOME: _____ CORRECÇÃO _____ TURMA _____

- c) Mostre como se realizaria o circuito pretendido (função NOR de 4 entradas) utilizando o menor número possível de portas NOR de duas entradas (**utilize o verso da folha**)



3 — Pretende-se projectar uma máquina de estados (**controlador**) para controlar a contabilização de moedas entradas e a selecção da bebida, numa máquina de distribuição de chá e café (ver figura). O **detector de moedas** detecta a entrada de moedas de 0.10€ e 0.20€ e assinala, para a máquina de estados, o tipo de moeda através da entrada **MOEDA** (2 bits).. A máquina de estados apenas aceita moedas de 0.20€ e 0.10€ e não dá troco. O custo de qualquer uma das bebidas é 0.40€, sendo ignoradas as moedas que sejam introduzidas depois de atingida esta importância. Quando for atingido o valor de 0.40€, a selecção da bebida é feita pressionando um de dois botões que activam as entradas **B_CHA** e **B_CAFE** com o nível lógico 1. Para proceder à confecção da bebida o controlador deve activar (com o valor lógico 1) a saída **FAZ_CHA** ou **FAZ_CAFE** e esperar que a entrada **PRONTO** seja activada, indicando que foi concluída a confecção. Este sistema interactua com as restantes unidades desta máquina (detector de moedas e a máquina de confeccionar as bebidas) através das seguintes entradas e saídas (ver figura):



Entradas:

MOEDA (2 bits): identifica a moeda introduzida na máquina de acordo com a tabela seguinte:

MOEDA (2 bits)	Significado
0x	Não detectou moeda
10	Detectou moeda de 0.10€
11	Detectou moeda de 0.20€

B_CHA: botão que quando premido (valor lógico 1) escolhe a bebida chá, se já tiver sido atingido o valor de 0.40€.

B_CAFE: botão que quando premido (valor lógico 1) escolhe a bebida café, se já tiver sido atingido o valor de 0.40€.

PRONTO: indica que o processo de confecção (de chá ou café) foi terminado.

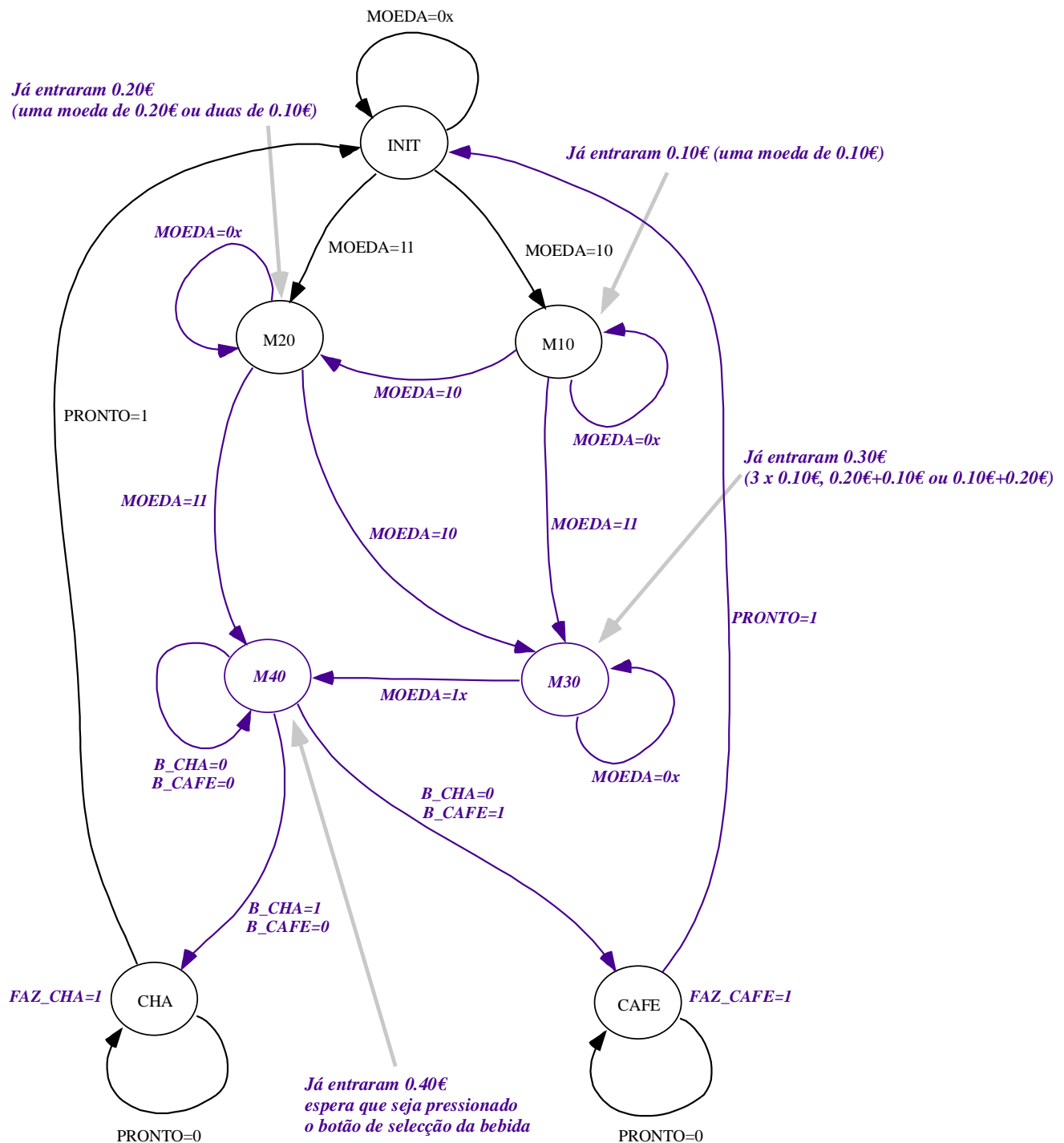
Saídas:

FAZ_CHA: quando activa (valor lógico 1) dá ordem para se iniciar a confecção do chá.

FAZ_CAFE: quando activa (valor lógico 1) dá ordem para se iniciar a confecção do café.

NOME: _____ CORRECÇÃO _____ TURMA _____

Complete o diagrama de estados da figura (próxima página), indicando claramente as condições de transição de estado e os valores das saídas em cada estado.

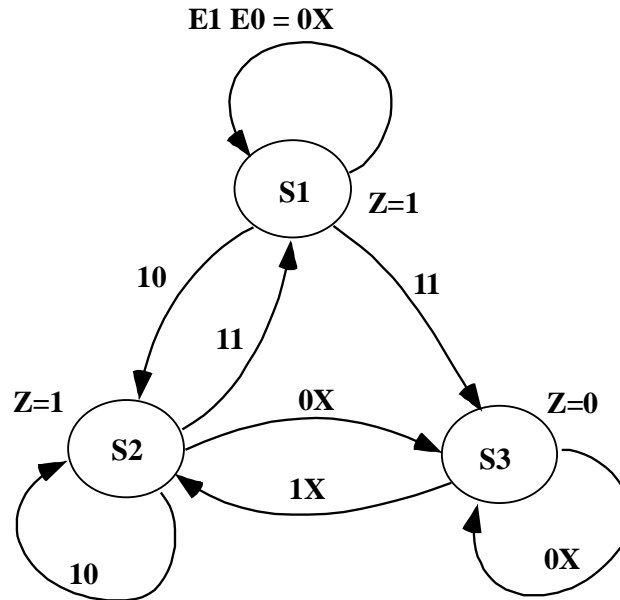


Nota:

*As entradas não especificadas nas condições de transição de estado são consideradas indiferentes
Nos estados em que não se representa o valor das saídas FAZ_CHA e FAZ_CAFE é considerado 0*

NOME: _____ CORRECÇÃO _____ TURMA _____

4 – Considere a máquina sequencial (modelo de Moore) com duas entradas E1 e E0 e uma saída Z, cujo diagrama de transição de estados se mostra. Os estados S1, S2 e S3 são codificados respectivamente na forma $Q_1Q_0 = 11, 01$ e 10 .



- a) Construa a tabela de transição de estados admitindo a utilização do critério de custo mínimo para os estados não especificados.

		$Q1^* \quad Q0^*$					
				$E1 \ E0$		$E1 \ E0$	
S	$Q1 \ Q0$	$0 \ 0$	$0 \ 1$	$1 \ 0$	$1 \ 1$	Z	
$S4$	$0 \ 0$	$x \ x$	$x \ x$	$x \ x$	$x \ x$	x	
$S2$	$0 \ 1$	$1 \ 0$	$1 \ 0$	$0 \ 1$	$1 \ 1$	1	
$S3$	$1 \ 0$	$1 \ 0$	$1 \ 0$	$0 \ 1$	$0 \ 1$	0	
$S1$	$1 \ 1$	$1 \ 1$	$1 \ 1$	$0 \ 1$	$1 \ 0$	1	

- b) Obtenha um circuito que realize esta máquina de estados utilizando *flip-flops* D (utilize o verso da folha)

Ver resolução na página seguinte.

- c) Supondo que a máquina arranque no estado não definido (em que $Q_1Q_0 = 00$), diga, justificando, se é possível ocorrer uma transição para S1, S2 ou S3 e, caso afirmativo, em que condições das entradas E1 e E0.

Por análise das funções que definem $Q1^$ e $Q0^*$, podemos concluir o seguinte:*

$$Q1^* = E1' + Q0.E0$$

$$Q0^* = E1.Q1' + E1.E0' + Q0'.E1 + Q1.Q0.E1'$$

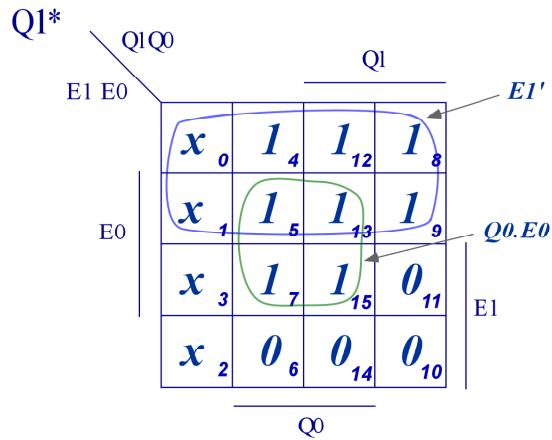
Se $Q1Q0=00$ e $E1=0$, então o próximo estado será $Q1^=1$ e $Q0^*=0$ (estado S3)*

Se $Q1Q0=00$ e $E1=1$, então o próximo estado será $Q1^=0$ e $Q0^*=1$ (estado S2)*

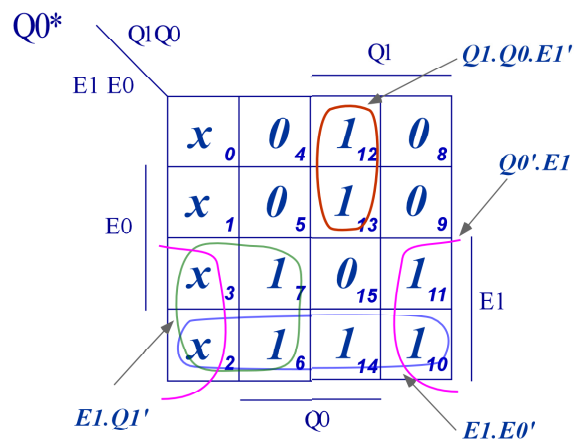
NOME: _____

CORRECÇÃO

TURMA _____

Expressão mínima soma-de-produtos para $Q1^*$:

$$Q1^* = E1' + Q0.E0$$

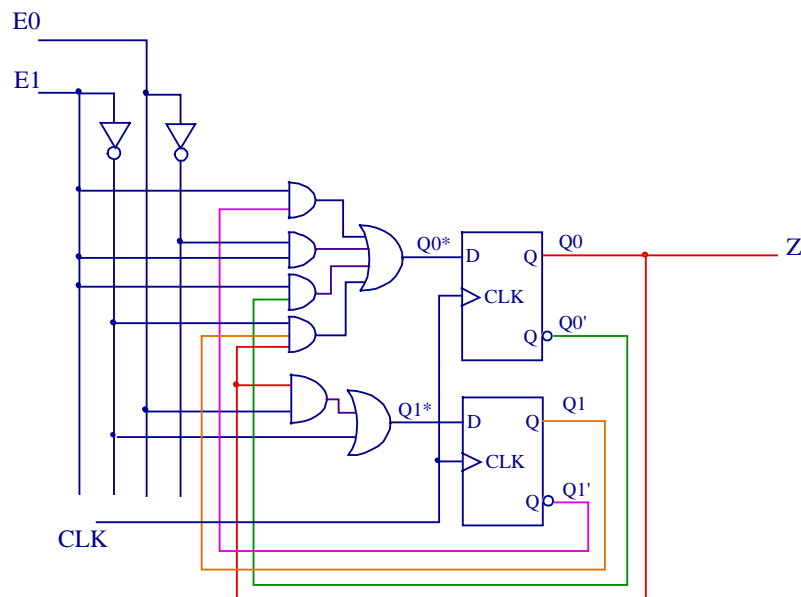
Expressão mínima soma-de-produtos para $Q0^*$:

$$Q0^* = E1.Q1' + E1.E0' + Q0'.E1 + Q1.Q0.E1'$$

Z

 $Z = Q0$ (por leitura da tabela de transição de estados)

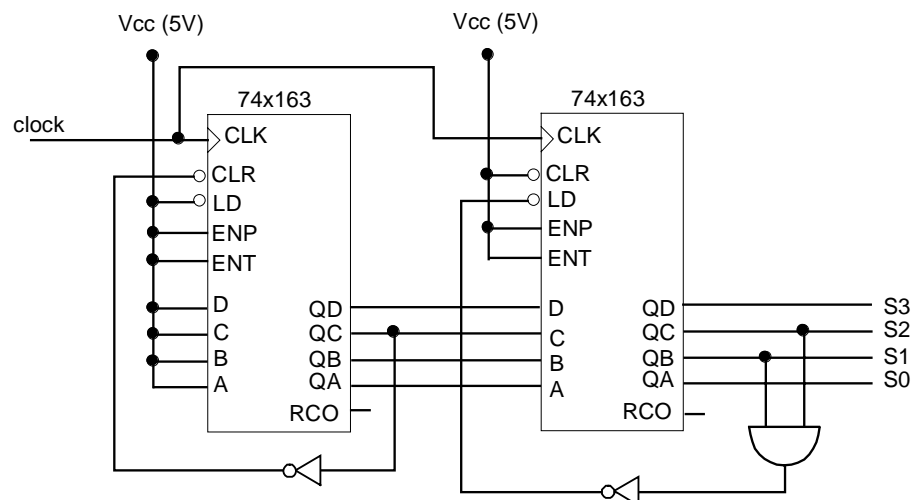
Circuito lógico:



NOME: _____ CORRECÇÃO _____ TURMA _____

- 5 – Considere o circuito da figura construído com base em contadores 74x163. Supondo que o estado inicial dos dois contadores é $Q_DQ_CQ_BQ_A=0000$, diga justificando qual a sequência de valores obtida nas saídas $S_3S_2S_1S_0$.

74x163				estado presente				próximo estado			
/CLR	/LD	ENT	ENP	QD	QC	QB	QA	QD*	QC*	QB*	QA*
0	x	x	x	x	x	x	x	0	0	0	0
1	0	x	x	x	x	x	x	D	C	B	A
1	1	0	x	x	x	x	x	QD	QC	QB	QA
1	1	x	0	x	x	x	x	QD	QC	QB	QA
1	1	1	1	N (se $N < 15$)				N + 1			
1	1	1	1	1	1	1	1	0	0	0	0



Como os dois contadores têm o mesmo sinal de relógio, vão “contar” ao mesmo tempo. O contador da esquerda tem a saída Q_C ligada (invertida) à entrada CLR: quando o estado presente for $Q_DQ_CQ_BQ_A=x1xx$, o próximo estado será 0000. O segundo contador tem a entrada LD activa quando as suas saídas forem $Q_DQ_CQ_BQ_A=x11x$: nessa situação, o próximo estado será igual ao estado presente do contador da esquerda. Analisando a sequência de valores que ocorrem nas saídas dos dois contadores, partindo do estado inicial 0000:

	contador esquerda					contador direita				
	QD	QC	QB	QA		QD	QC	QB	QA	
	0	0	0	0		0	0	0	0	
	0	0	0	1		0	0	0	1	
	0	0	1	0		0	0	1	0	
	0	0	1	1		0	0	1	1	
CLR=0	0	1	0	0		0	1	0	0	
	0	0	0	0		0	1	0	1	
	0	0	0	1		0	1	1	0	LD=0, Load de 0001
	0	0	1	0		0	0	0	1	
CLR=0	0	1	0	0		0	0	1	1	
	0	0	0	0		0	1	0	0	
	0	0	0	1		0	1	0	1	
	0	0	1	0		0	1	1	0	LD=0, Load de 0010
	0	0	1	1		0	0	1	0	
CLR=0	0	1	0	0		0	0	1	1	
	0	0	0	0		0	1	0	0	
	0	0	0	1		0	1	0	1	
	0	0	1	0		0	1	1	0	LD=0, Load de 0010
	0	0	1	1		0	0	1	0	
				

A sequência de valores nas saídas $S_3S_2S_1S_0$ será (em decimal):

0, 1, 2, 3, 4, 5, 6, 1, 2, 3, 4, 5, 6, 2, 3, 4, 5, 6, 2, 3, 4, 5, 6, 2, 3, ...

NOME: _____ CORRECÇÃO _____ TURMA _____

6 – Pretende-se construir um circuito síncrono baseado no *shift register* 74x194 (ver tabela) que detecte, na sua entrada X, a sequência de 4 bits 0101. A saída Z deverá ser activada (nível lógico 1) quando for detectada a sequência 0101, e são consideradas sequências parcialmente sobrepostas (ver exemplo).

Exemplo:

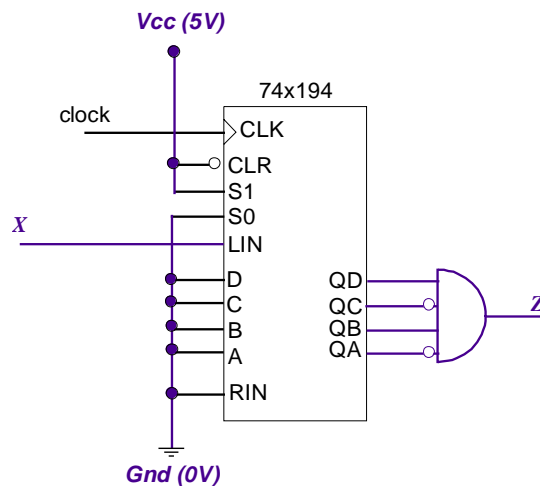
X: 0101011011010110
Z: 0001010000000100

Universal Shift-register 74x194

função	S1	S0	QA*	QB*	QC*	QD*
hold	0	0	QA	QB	QC	QD
shift right	0	1	RIN	QA	QB	QC
shift left	1	0	QB	QC	QD	LIN
load	1	1	A	B	C	D

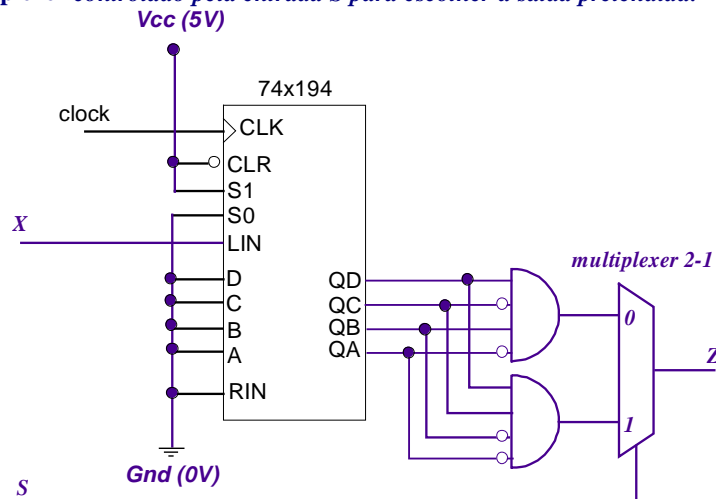
- a) Projecte o circuito que realiza a funcionalidade pretendida, utilizando o 74x194 e circuitos lógicos adicionais.

Vamos ligar o shift-register em modo shift-left (entrada por LIN e deslocamento de QD para QA), com X ligado à entrada LIN. Para produzir a saída Z pretendida basta ligar na saída um comparador com 0101 (porta AND com duas entradas negadas ligadas a QA e QD, como mostra a figura):



- b) Modifique o circuito anterior por forma a que permita detectar duas sequências diferentes, dependendo do valor lógico de uma entrada adicional S: se S=0 a sequência a detectar é a anterior (0101); se S=1 a sequência a detectar deve ser 0011. Tal como no caso anterior, considere que as sequências podem ser parcialmente sobrepostas.

Para realizar o circuito pedido podemos construir dois comparadores para as sequências pretendidas e utilizar um multiplexer controlado pela entrada S para escolher a saída pretendida:



- FIM -