Buck电路PCB布局的关键是什么?

射频通信链 2025年06月23日 00:01 江苏

以下文章来源于MPS芯源系统, 作者MPS



MPS芯源系统

MPS是一家全球领先的半导体公司,专注于基于芯片的高性能电源解决方案。我们拥有...

本期内容

在DCDC电源电路中,PCB的布局对电路功能的实现和良好的各项指标来说都十分重要。今天我们以Buck电路为例,分析如何进行合理PCB layout布局以及设计中的注意事项。

MPS芯源系统

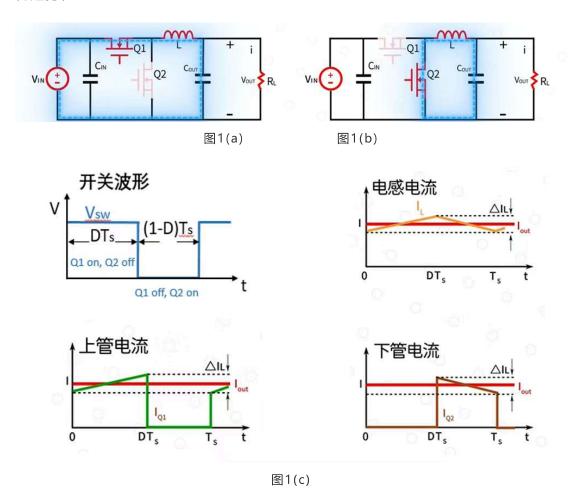
77



01 功率回路

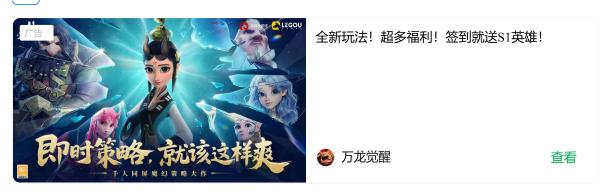
如图1(a)和1(b) 展示的分别是上管开通和关断时的电流回路,即我们通常说的**功率回路部分**。这部分电路负责给用户负载供电,承受的功率较大。电路中的上下管

一般使用MOS管,由芯片内部产生的PWM信号来控制他们进行高速的开断。而后半部分电路中的电感和电容组成了一个LC滤波电路,故不会存在一个较高的电流变化趋势。



结合上管和下管,即Q1、Q2的电流波形(图1(c)),不难发现,只有在两个开关管的部分会出现**高电流转换速率**。由于PWM信号处电压的快速变化,SW点 会产生较强的噪声。所以我们在PCB布线时需要特别注意,尽可能减小这一快速变化环节的面积来减少对其他部分的干扰。可喜的是,随着集成工艺的进步,目前大部分电源芯片都将上下管集成到了芯片的内部,只有较少数的应用需要外置MOS或是二极管。

02 功率回路的PCB布局 🕈



对于一个常见的buck芯片,其电感充电功率回路中包含输入电容,集成在芯片内部的上管MOSFET,功率电感以及输出电容等器件。而电感放电功率回路中则包含功率电感、输出电容和集成在芯片内部的下管MOSFET等。

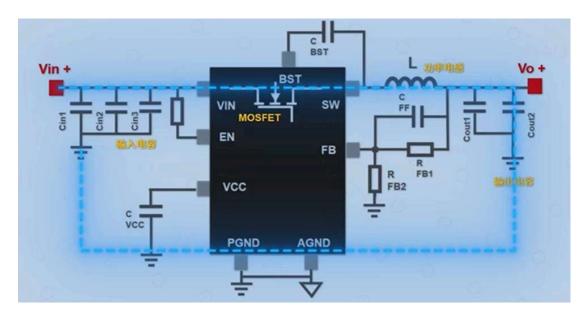


图2(a) 电感充电功率回路

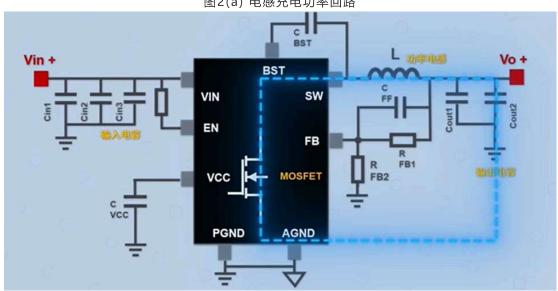
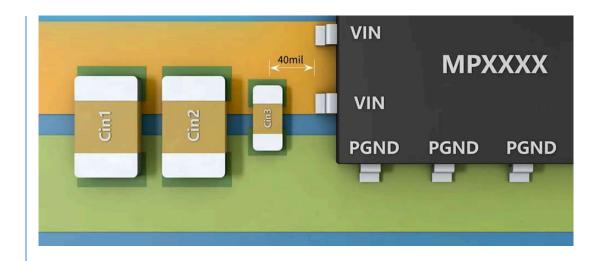


图2(b) 电感放电功率回路

在进行PCB布线时,这两个功率回路走线要尽可能的短粗,在保证通流能力的情况 下保持较小的环路面积,这样可以减少对外辐射的噪声。

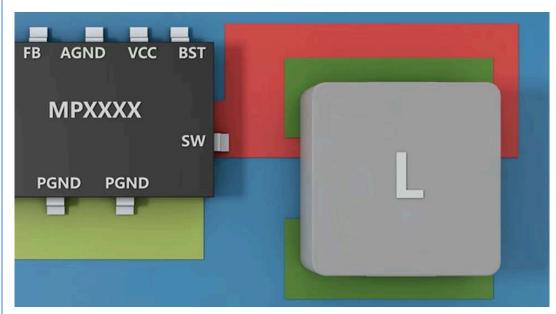
输入电容:

需就近放在芯片的输入Vin和功率地PGND ,来减少寄生电感的存在。因为输 入电流不连续,寄生电感引起的噪声可能会超过芯片的耐压以及对逻辑单元造成 不良影响。VIN管脚旁边至少要有1个去耦电容,距离最好小于40mil,用来滤 除来自电源输入端的交流噪声和来自芯片内部(倒灌)的电源噪声,同时也会起 到储能作用。



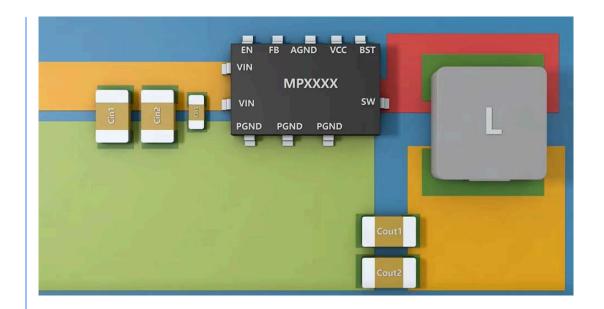
SW点:

是开关节点,为噪声源,所以应在保证电流的同时保持尽量小的面积,远离易受干扰的信号走线。另外需要注意的是,**对于大电流应用的Buck电路**,尽量不要在SW处打过孔,避免把噪声带到其他层去。



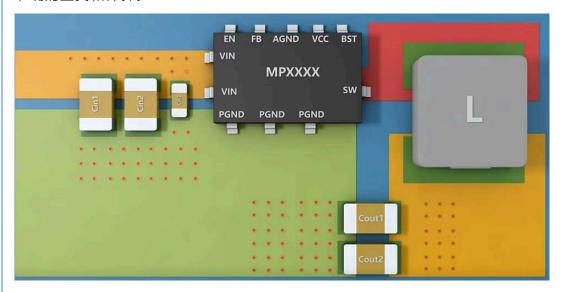
输出电容:

与输入电容相似,输出电容需要就近放在电感的输出VOUT和功率地PGND, PGND 与输出电容最短连接并铺整铜,以保证功率回路最小。



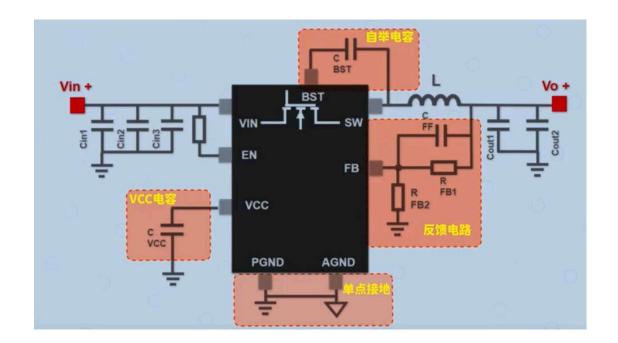
铺铜面积与过孔数量:

这两者会影响到PCB的通流和散热能力。一般需要在VIN, Vout和GND处多打过孔,这两处的铺铜也应最大化来达到减小寄生阻抗的目的,SW处的铺铜也不能过小,以免出现限流的情况,导致工作异常。由于PCB的载流能力与PCB板材、板厚、导线宽厚度以及温升相关,较为复杂,可以通过具体设计规范来进行准确的查找和计算。



03 逻辑电路的PCB布局 🕇

在buck电路中,一般需要注意以下几个逻辑环节: **自举电容**、**反馈电路、VCC和单点接地。**



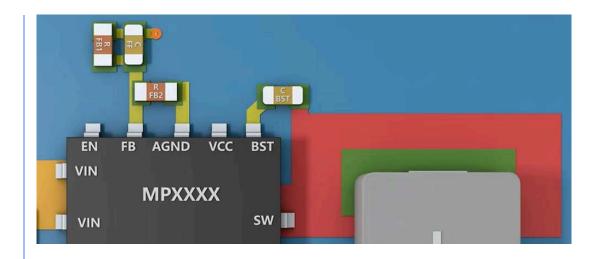
自举电容:

中高压buck芯片内部集成的上管一般都为NMOS,故需要BST自举电路。在电感放电期间,通过对自举电容进行充电,在BST管脚 处就会产生一个高于SW的电压,在电感充电期间驱动上管。故BST与SW一样,也是一个电压高速跳变的点,会辐射出较强的噪音。自举电容也要放置在尽可能靠近BST和SW的位置,避免对其他信号的影响,布线时宽度一般在20mil即可。



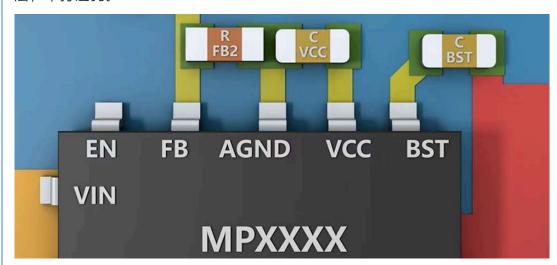
反馈电路:

一般包括FB上下分压电阻和前馈电容。由于FB点的电压很低,普遍在0.6-0.8V 左右,极易与噪声或纹波混淆,是芯片最敏感,最容易受干扰的部分,也是引起 系统不稳定的常见原因。所以在布线时,上下分压电阻和前馈电容都尽量靠近芯 片摆放来减少噪声的耦合,FB电阻连接到FB管脚的走线要尽可能地短来减小寄 生电感以及阻抗。同时,需要注意FB连接到Vo的走线可以通过过孔设置在其他 层,但也要尽可能远离噪声源,如SW、BST、电感等。



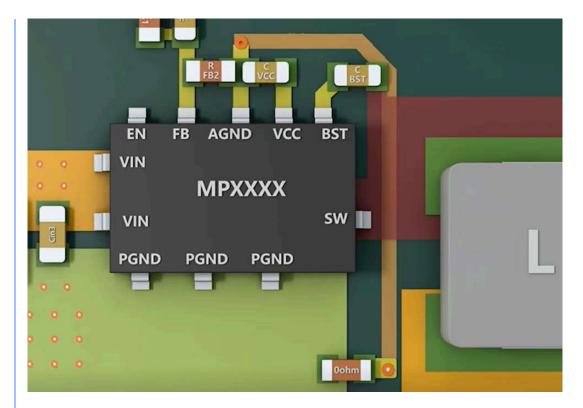
VCC电容:

VCC为芯片逻辑电路供电,是芯片内部LDO的输出。VCC电容应就近放置在芯片的VCC管脚和GND管脚之间,起到稳压的作用。并且电容与芯片尽量在一层,不打过孔。



单点接地:

输出电流较大的芯片,他们的地一般会被区分为PGND和AGND,PGND就是功率地,AGND就是我们一般所指的信号地,与FB、EN、VCC等芯片逻辑部分相关。为了避免整块的功率地影响到较为敏感的信号地,建议将AGND和PGND单点连接,通过一个0ohm电阻连接也可以。



这是因为尽管PGND的大块铺铜可以起到吸收输入端电源噪音的作用,但是在输出电流较大的情况下,其辐射出的噪音依旧会对敏感的逻辑电路造成影响。单点连接的布线方式可以为我们的逻辑电路提供一个相对"干净"的地。



全新魔幻卡牌,开局1000抽,必中SSR,点击即玩!



查看

以上,就是我们在画buck电路PCB时需要着重注意的地方。当画PCB无从下手时,也可以先打开芯片的规格书,查看demo板的PCB layout或是相关的指导。

04 PCB"健康体检表" *

最后,为了方便大家了解自己画的PCB是否合理,可以参考以下PCB"健康体检表"做一个自评:

	设计建议	比重(%)	自评打分	备注
器 位 摆	 输入电容靠近芯片放置,去耦电容需要放置在VIN与功率PGND管脚旁边6mil(允许元器件最小	20		

	间距),最好不要超过40mil。与芯片放置在同一层。		
	电感靠近SW管脚放置。与芯片放置在同一层。	15	使用电源模 块,可忽略 此条
	输出电容两端需靠近电感Vout端和功率PGND放置。与芯片放置在同一层。	15	
	续流二极管需要靠近电感SW与功率PGND放置。与芯片放置在同一层。	5	使用同步电源芯片,可忽略此条
	VCC电容需靠近芯片VCC管脚放置。与芯片放置 在同一层。	3	
	FB电阻需靠近FB管脚放置,走线尽量短。与芯片放置在同一层。远离噪声源。	3	
	BST RC需靠近SW和BST管脚放置。与芯片放置在同一层。	3	
	COMP RC靠近管脚放置。	3	若 无 此 管脚,可忽略此条。
	VIN 铺铜	3	
大 功	SW铺铜在足够通流情况下越短越好。	4	
率网	Vout铺铜	3	
络铺 铜	GND铺铜	4	在最后进行 整体铺铜较 为便捷。
V	GND网络过孔数量 ≥(lin+lout)/200mA	4	
I A	VIN网络过孔数量 ≥lin/200mA	3	
过 孔	Vout网络过孔数量 ≥lout/200mA	3	
	过孔尽量不打在芯片管脚或器件焊盘上	1	
	EN 电阻尽量靠近芯片摆放,可放置在不同层。	1	
其 他	SS RC尽量靠近芯片管脚摆放。	1	
弱电	PG	1	
信号	其他 (CS, mode等)	1	参考相应规 格书
走线	走线以及铺铜都用45°或者圆弧角。	2	
	电感下方不走线。	1	

若 无 此 功能,可忽略此条。

END

→ 一键下载开关电源资料包 →





详情

开关电源大讲堂压缩包中包含以下文章, 供您参考:

- 15G基站应用的复杂性正在推动低 EMI DCDC 模块的需求增长
- 2 不稳定开关电源的诊断和稳定技巧
- 3 恒定导通时间(COT)控制的过去与现在
- 4 解读数据手册中的热参数和 IC结温
- 5 利用外部调节来改善带集成补偿网络的降压稳压器瞬态性能
- 6 模拟信号与数字信号
- 7 七步设计反激式变换器
- 8 如何避免电源设计中的电感饱和
- 9 如何利用MP5515预防突发电源故障
- 10 赛灵思参考设计: MPS推出高性能FPGA电源解决方案
- 11 设计以太网供电 (PoE) 解决方案
- 12 识别并消除次谐波振荡
- 13 完美匹配:降压变换器功耗以及如何提高效率
- 14 为 POE-bt 应用设计有源钳位正激变换器(上)
- 15 为 POE-bt 应用设计有源钳位正激变换器(下)
- 16 稳压器类型及其工作原理
- 17 用集成补偿网络来评估降压稳压器的瞬态性能
- 18 用于便携式设备的简化版USB Type-C 电源管理设计

∨ 显示更多

相关资料



开关电源大讲堂.zip













点击【阅读原文】查看更多技术资源!

阅读原文 阅读 682



学费7980元经下班读个在职硕士,免到校,证 书齐全

研究生院-研才教育 了解更多

留言 都在搜: buck电路设计实例

写留言