

# 射频方案设计：从需求到实现的系统工程实践

原创 皮诺曹 射频通信链 2026年1月6日 11:50 江苏

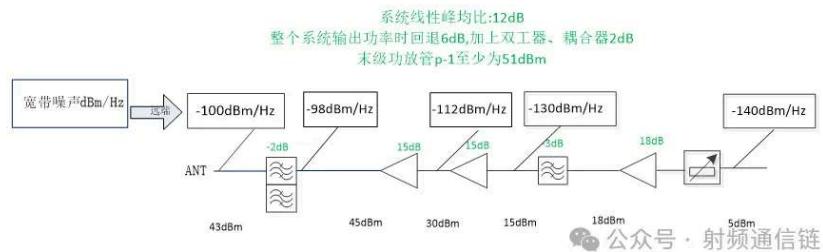
射频系统是现代无线通信的核心，其方案设计是一项涉及多维度指标权衡的复杂工程。本文基于一个实际的FDD（频分双工）射频系统案例，系统阐述从需求分析到架构实现的设计方法论，涵盖发射机、接收机及反馈通道等关键模块。

## 一、系统需求：约束条件的量化定义

优秀的射频方案始于清晰的需求拆解。本案例工作在1110-1156MHz（发射）和964-1010MHz（接收）频段，核心指标呈现出典型的“矛盾统一”特征：

发射机需求：

天线口输出功率高达43dBm（20W），但宽带噪声需控制在-133dBc/Hz@10kHz RBW



杂散抑制要求 $\geq 80$ dBc，镜像频率（970-1016MHz）和本振泄漏（1040-1086MHz）均需深度抑制

采用OFDM调制时峰均比（PAR）达12dB，EVM需 $\leq 5\%$ ，迫使功放回退6dB以上

频率切换时间 $\leq 0.5$ ms，动态范围 $\geq 35$ dB

接收机需求：

灵敏度要求苛刻：QPSK模式需 $\leq -102$ dBm

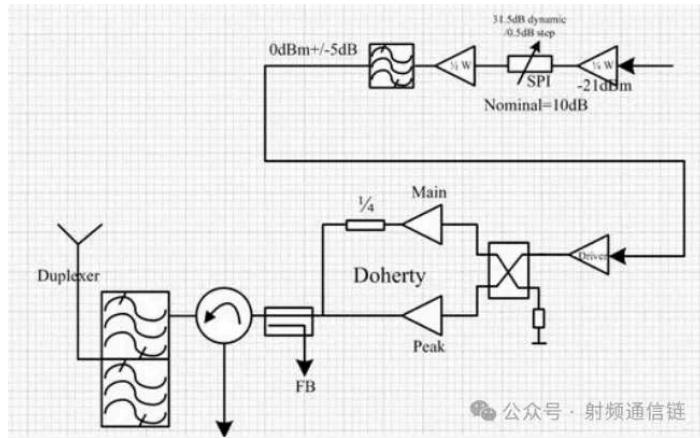
抗毁能力达30dBm，镜像干扰抑制 $\geq 60$ dB，邻道干扰 $\geq 40$ dB@400kHz

阻塞干扰 $\geq 90$ dB@1.5MHz，这对前端滤波和动态范围提出极高要求

这些约束条件构成了设计的基本边界，任何架构选择都需在功率、线性度、噪声、成本间寻找最优平衡点。

## 二、发射机架构：复调制+Doherty+DPD的协同设计

为实现高效线性发射，本方案采用“复调制+Doherty功放+数字预失真（DPD）”的黄金组合。



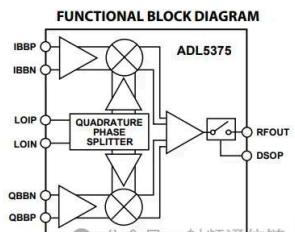
### 1. 复调制器 (IQ Modulator) 的选型逻辑

传统混频器隔离度仅30dB左右，难以支撑80dBc的杂散抑制要求。IQ调制器通过矢量调制架构，天生具备对本振泄漏和边带抑制的优化能力，可将后端滤波压力从50dB降至30dB，显著降低腔体滤波器的设计难度。

#### FEATURES

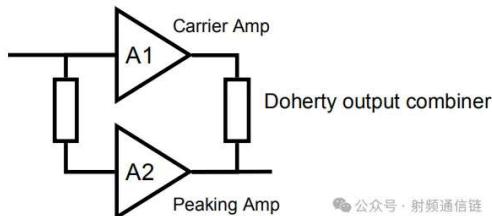
Output frequency range: 400 MHz to 6 GHz  
1 dB output compression: 29.4 dBm from 450 MHz to 4 GHz  
Output return loss  $\leq$  12 dB from 450 MHz to 4.5 GHz  
Noise floor: -160 dBm/Hz at 900 MHz  
Sideband suppression:  $\leq$  -50 dBc at 900 MHz  
Carrier feedthrough:  $\leq$  -40 dBm at 900 MHz  
IQ3dB bandwidth:  $\geq$  750 MHz  
Baseband input bias level  
ADL5375-05: 500 mV  
ADL5375-15: 1500 mV  
Single supply: 4.75 V to 5.25 V  
24-lead LFCSP\_VQ package

#### APPLICATIONS



### 2. Doherty功放的带宽挑战

Doherty架构虽可提升效率，但其带宽通常仅8%左右。面对46MHz工作带宽（4%相对带宽），需精确设计载波和峰值支路的阻抗变换网络，确保在1110-1156MHz全频段内保持高效率与线性度的平衡。



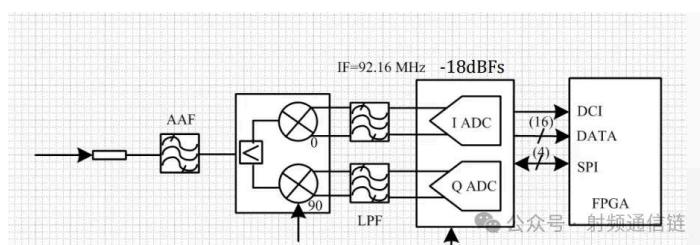
### 3. 数字预失真 (DPD) 的闭环要求

DPD是满足"大功率+高线性度"的关键。反馈通道 (FB) 需精确捕捉功放的非线性分量，其设计要点包括：

线性度优先：FB自身的非线性是影响DPD性能的关键，需选用高线性度器件

带宽扩展：需接收基带3~5次互调产物，带宽比主信号更宽

功率稳定：FB输出需定标在-18dBFS（预留15dB PAR和3dB Headroom），并加数控衰减器保证幅度一致性，采用RMS检波实现稳定功率控制



---

### 三、滤波器设计：杂散抑制的系统性工程

滤波器是射频系统的“守门员”。发射链路需在功放前设置中频滤波器，承担多重功能：

预失真分量提取

抑制本振泄漏 (40dBc)

镜像抑制 (30dBc)

谐波抑制 (70dBc)

降低后端腔体滤波器压力

发射端腔体滤波器的最终指标体现了系统级考量：

镜像频段 (970-1016MHz) 抑制30dBc

本振频段 (1040-1086MHz) 抑制40dBc

接收频段 (964-1010MHz) 抑制80dBc (防止FDD自干扰)

带内插损≤1.2dB，波动<1dB

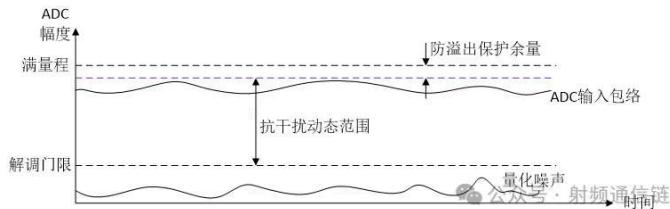
接收端滤波器同样关键：镜像频率1040-1150MHz需抑制60dBc，发射频段1110-1156MHz需抑制55dBc，确保在强阻塞下接收机不饱和。

---

### 四、接收机设计：动态范围的极限拉伸

接收机面临的最大矛盾是灵敏度与抗干扰的共存。采用14位ADC (SINAD=72dB) 时：

ADC理论动态范围仅47dB，但系统需80dB动态范围



射频需承担33dB增益调节，中频滤波器需在1.5MHz偏移处实现43dB抑制

增益规划成为核心：

射频增益：52dB (最小信号-50dBm时) 至7dB (最大信号-3dBm时)

AGC范围：射频40dB + 中频20dB = 60dB

LNA需具备大功率保护电路，在30dBm输入时不损坏

相位噪声指标同样严苛：-117dBc/Hz@400kHz，这对本振锁相环 (PLL) 设计提出挑战，需采用低噪声VCO并优化环路带宽。

---

### 五、小信号链路与系统鲁棒性设计

## 1. 射频前端的智能控制

数控步进衰减器（DSA）实现三大功能：

整机闭环增益控制

高低温动态补偿（温度变化导致功放增益漂移）

过功率保护：实时检波，超阈值时快速衰减

## 2. 反馈通道的抗混叠

FB通道采用带通滤波器，滤除混叠及Tx镜像。IQ调制器产生的LO泄漏和边带，由带通滤波器在频域上“开窗”提取，确保送入ADC的信号纯净。

## 3. PCB布局的电磁兼容

收发共用PCB时，需重点考虑：

隔离度：发射大功率信号可能通过空间耦合注入接收链路，布局需保证 $>80\text{dB}$ 隔离

电源完整性：统计各芯片功耗，规划LDO/DC-DC树，避免数字噪声污染模拟电源

接口规划：提前统计GPIO、SPI、JESD204B等接口数量，避免走线交叉

---

## 六、设计：指标分解与余量预留

射频设计的精髓在于“指标的层层分解”。例如 $80\text{dBc}$ 杂散抑制：

复调制器提供 $30\text{dB}$ 本振隔离

中频滤波器提供 $30\text{dB}$ 镜像抑制

腔体滤波器最终兜底，提供剩余 $20\text{dB}$ 及接收频段 $80\text{dB}$ 抑制

同时必须预留余量：

功放回退 $6\text{dB}$ ，为EVM和效率留空间

FB通道定标预留 $18\text{dB}$ 余量，应对PAR和温度变化

AGC总范围 $60\text{dB}$ ，超出理论需求 $50\text{dB}$ ，确保高低温场景可靠

---

## 七、总结：射频方案设计的黄金法则

从系统级理解指标：任何单一指标都需放在链路中权衡，如灵敏度不仅依赖ADC，更取决于射频增益和滤波器抑制

架构决定下限：复调制+DPD+Doherty的选择，从顶层决定了线性度和效率的平衡点

滤波器是艺术：在插损、抑制、体积、成本间反复迭代，必要时用多级滤波器“接力”

闭环思维：DPD反馈、AGC环路、温度补偿，现代射频必须是智能的闭环系统

实测验证：仿真只能证明“可能行”，实测才能证明“真行”，每个关键节点需预留测试接口

射频方案设计没有标准答案，只有对约束条件的深刻理解与创造性平衡。本文案例展示的不仅是电路拓扑，更是一种系统工程的方法论——在矛盾中寻找统一，在极限中预留余量，在

复杂中追求简洁。

最后的话：

如果你对射频方案设计把不准，想系统的学习，扫描下方二维码，手把手带你从头开始设计，还有一对一答疑：



皮诺曹  
“ 射频工程师加油 ”

喜欢作者

[阅读原文](#)