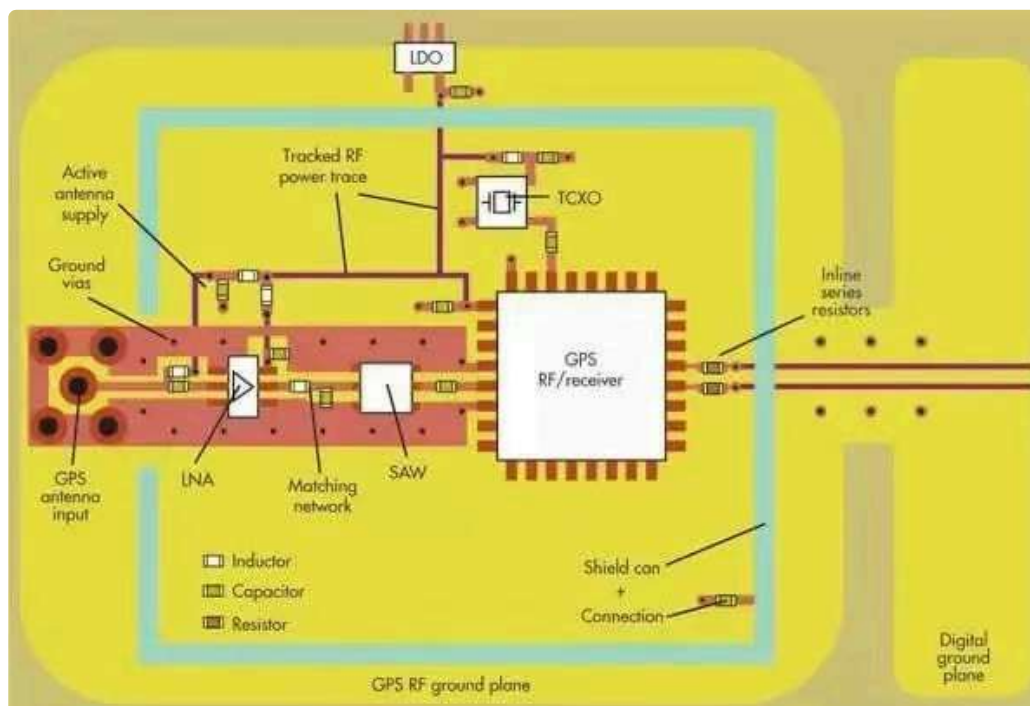


# 射频与数模电路PCB布局设计指南

电子工程世界 2025年05月06日 08:03 云南

▲ 点击上方蓝字关注我们，不错过任何一篇干货文章！

本应用笔记提供关于射频(RF)印刷电路板(PCB)设计和布局的指导及建议，包括关于混合信号应用的一些讨论，例如相同PCB上的数字、模拟和射频元件。内容按主题进行组织，提供“最佳实践”指南，应结合所有其它设计和制造指南加以应用，这些指南可能适用于特定的元件、PCB制造商以及材料。

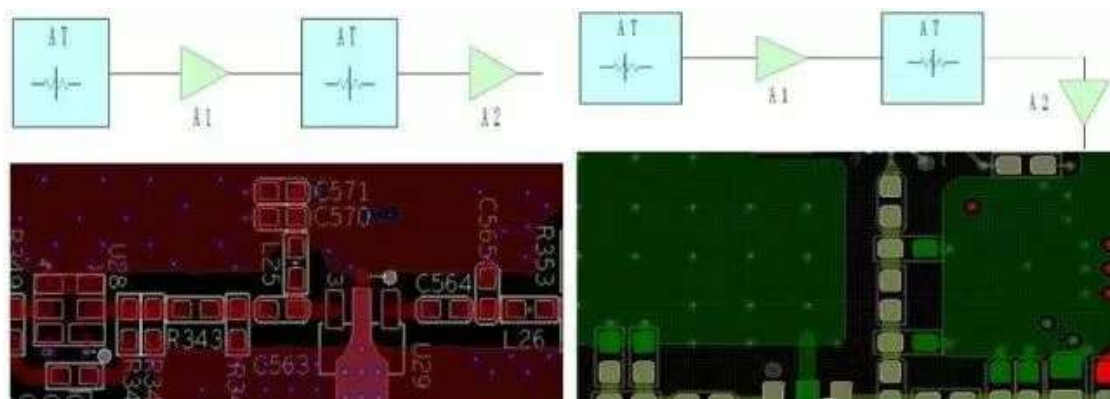


## 射频板PCB布局原则

布局确定：布局前应对单板功能、工作频段、电流电压、主要射频器件类型、EMC、相关射频指标等有详细了解，并明确叠层结构、阻抗控制、外形结构尺寸、屏蔽腔和罩的尺寸位置、特殊器件加工说明（如需挖空、直接机壳散热的器件尺寸位置）等。另外还应明确主要射频器件功率、散热、增益、隔离度、灵敏度等指标以及滤波、偏置、匹配电路的连接，对功放电路还应得到器件手册推荐的匹配走线要求或射频场分析软件仿真得到的阻抗匹配电路指导。

物理分区：关键是根据单板的主信号流向规律安排主要元器件，首先根据RF 端口位置固定RF 路径上的元器件，并调整其朝向以将RF 路径的长度减到最小，除要考虑普通布局规则外，还须考虑如何减小各部分间相互干扰和抗干扰能力，保证多个电路有足够的隔离，对于

隔离度不够或敏感、有强烈辐射源的电路模块要考虑采用金属屏蔽罩将射频能量屏蔽在RF 区域内。



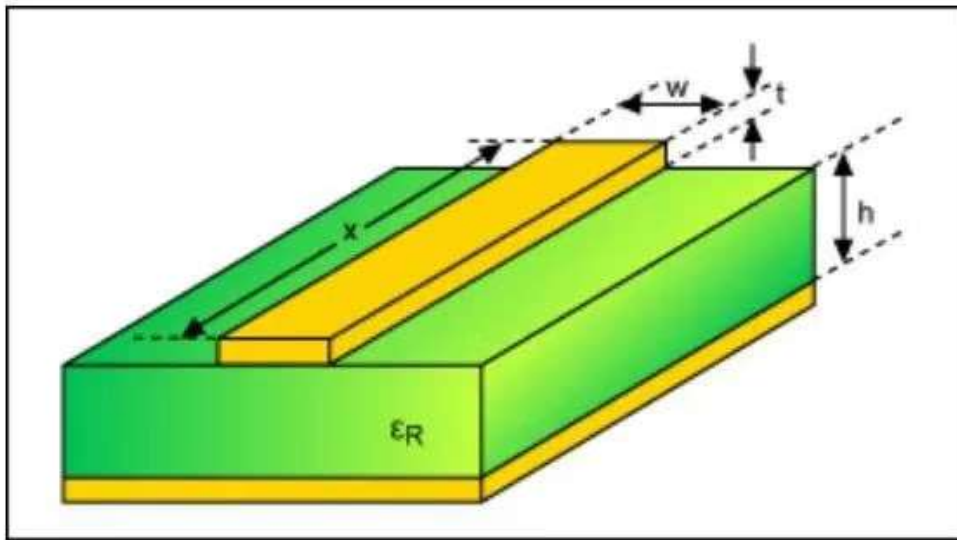
电气分区：布局一般分为电源，数字和模拟三部分，要在空间上分开，布局走线不能跨区域。并尽可能将强电和弱电信号分开，将数字和模拟分开，完成同一功能的电路应尽量安排在一定的范围之内，从而减小信号环路面积。

### 射频传输线

许多Maxim射频元件要求阻抗受控的传输线，将射频功率传输至PCB上的IC引脚(或从其传输功率)。这些传输线可在外层(顶层或底层)实现或埋在内层。关于这些传输线的指南包括讨论微带线、带状线、共面波导(地)以及特征阻抗。也介绍传输线弯角补偿，以及传输线的换层。

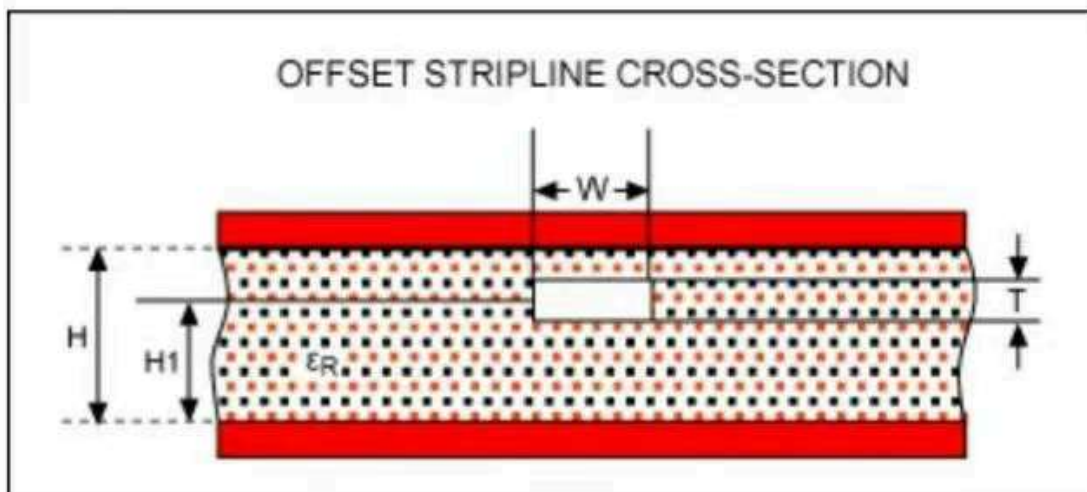
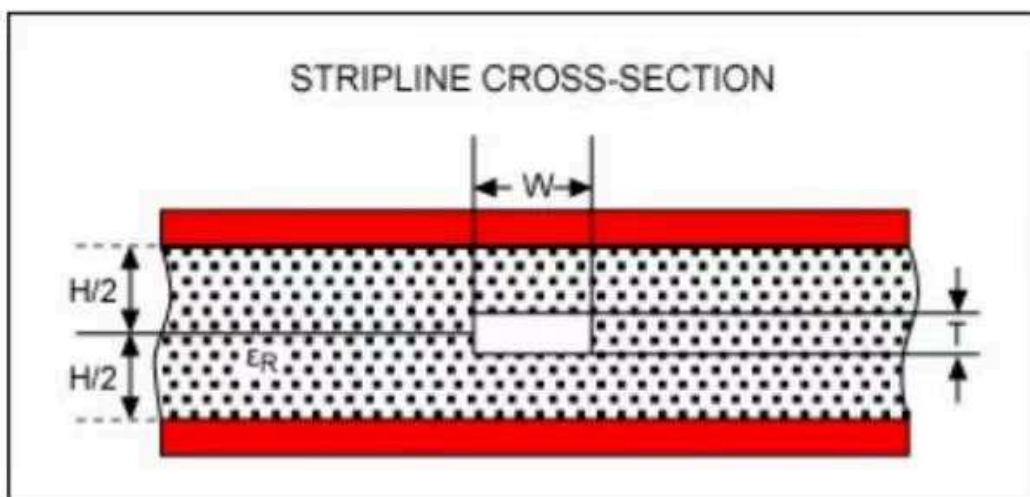
### 微带线

这种类型的传输线包括固定宽度金属走线(导体)以及(相邻层)正下方的接地区域。例如，第1层(顶部金属)上的走线要求在第2层上有实心接地区域(图1)。走线的宽度、电介质层的厚度以及电介质的类型决定特征阻抗(通常为50Ω或75Ω)。



带状线

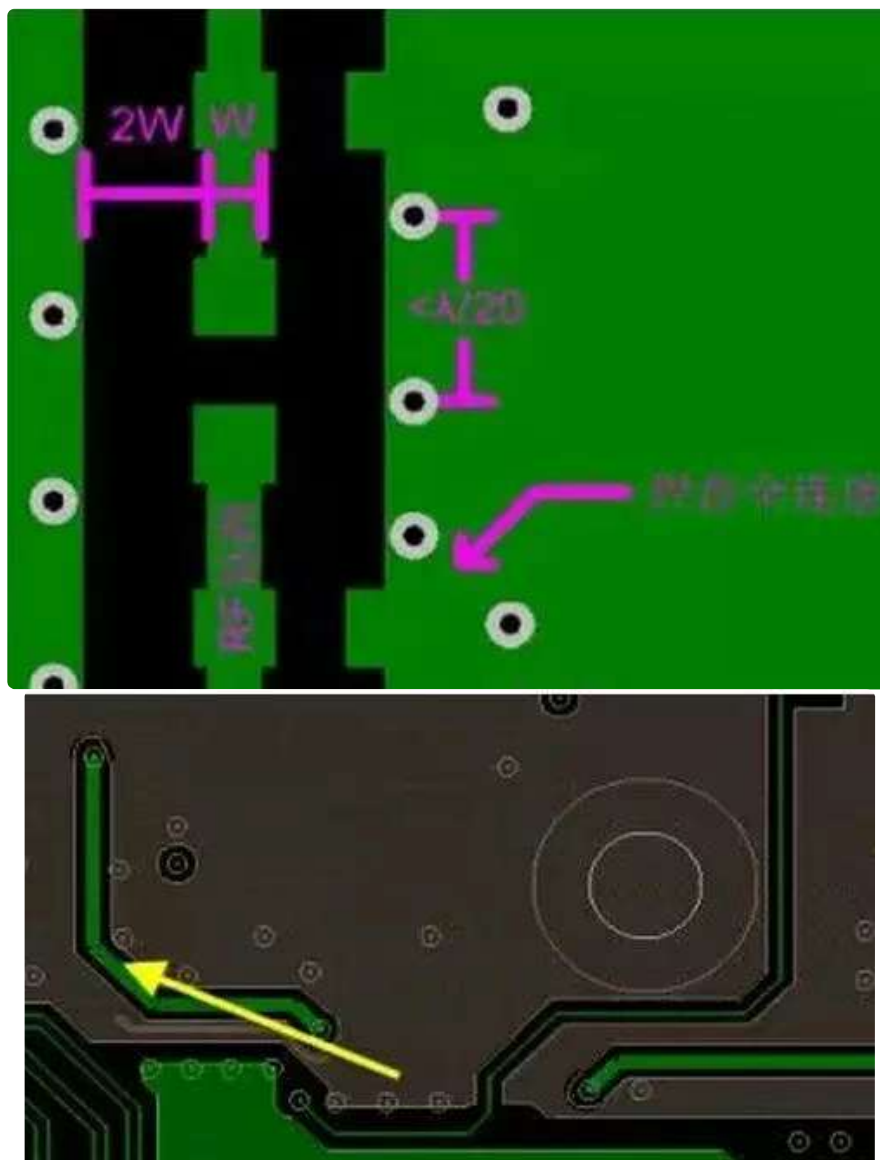
这种线包括内层固定宽度的走线，和上方和下方的接地区域。导体可位于接地区域中间(图2)或具有一定偏移(图3)。这种方法适合内层的射频走线。



共面波导(接地)

共面波导提供邻近射频线之间以及其它信号线之间较好的隔离(端视图)。这种介质包括中间导体以及两侧和下方的接地区域(图4)。

建议在共面波导的两侧安装过孔“栅栏”，如图5所示。该顶视图提供了在中间导体每侧的顶部金属接地区域安装一排接地过孔的示例。顶层上引起的回路电流被短路至下方的接地层。



### 特征阻抗

有多种计算工具（推荐通过 PCB特征阻抗计算神器Polar SI9000）可用于正确设置信号导体线宽，以实现目标阻抗。然而，在输入电路板层的介电常数时应小心。典型PCB外基板层包含的玻璃纤维成分小于内层，所以介电常数较低。例如，FR4材质介电常数一般为 $\epsilon_R = 4.2$ ，而外基板(半固化板)层一般为 $\epsilon_R = 3.8$ 。下边的例子仅供参考，其中金属厚度为1oz铜(1.4 mils、0.036mm)。

表1. 特征阻抗示例

介质	电介质	层厚, MIL (MM)	中间导体, MIL (MM)	空隙	特征阻抗
微带	预浸料 (3.8)	6 (0.152)	11.5 (0.292)	N/A	50.3
		10 (0.254)	20 (0.508)		50.0
差分线对	预浸料 (3.8)	6 (0.152)	25 (0.635)	6 (0.152)	50.6
带状线	FR4 (4.5)	12 (0.305)	3.7 (0.094)	N/A	50.0
偏移带状线	预浸料 (3.9)	6 (0.152) upper, 10 (0.254) lower	4.8 (0.122)	N/A	50.1
共面波导	预浸料 (3.8)	6 (0.152)	14 (0.35)	20 (0.50)	49.7

传输线弯角补偿

由于布线约束而要求传输线弯曲时(改变方向)，使用的弯曲半径应至少为中间导体宽度的3倍。也就是说：

$$\text{弯曲半径} \geq 3 \times (\text{线宽})$$

这将弯角的特征阻抗变化降至最小。

如果不可能实现逐渐弯曲，可将传输线进行直角弯曲(非曲线)，见图6。然而，必须对此进行补偿，以减小通过弯曲点时本地有效线宽增大引起的阻抗突变。标准补偿方法为角斜接，如下图所示。最佳的微带直角斜接由杜维尔和詹姆斯(Douville and James)公式给出：

式中，M为斜接与非斜接弯角之比(%)。该公式与介电常数无关，受约束条件为 $w/h \geq 0.25$ 。

其它传输线可采用类似的方法。如果对正确补偿方法存在任何不确定性，并且设计要求高性能传输线，则应利用电磁仿真器对弯角建模。

传输线的换层

如果布局约束要求将传输线换至不同的电路板层，建议每条传输线至少使用两个过孔，将过孔电感负载降至最小。一对过孔将传输电感有效减小50%，应该使用与传输线宽相当的最大直径过孔。例如，对于15-mil微带线，过孔直径(抛光镀层直径)应为15 mil至18 mil。如果空间不允许使用大过孔，则应使用三个直径较小的过渡过孔。

信号线隔离

必须小心防止信号线之间的意外耦合。以下是潜在耦合及预防措施的示例：

射频传输线：传输线之间的距离应该尽量大，不应该在长距离范围内彼此接近。彼此间隔越小、平行走线距离越长，平行微带线之间的耦合越大。不同层上的走线应该有接地区域将其保持分开。承载高功率的传输线应尽量远离其它传输线。接地的共面波导提供优异的线间隔离。小PCB上射频线之间的隔离优于大约-45dB是不现实的。

高速数字信号线：这些信号线应独立布置在与射频信号线不同的电路板层上，以防止耦合。数字噪声(来自于时钟、PLL等)会耦合到RF信号线，进而调制到射频载波。或者，有些情况下，数字噪声会被上变频/下变频。

VCC/电源线：这些线应布置在专用层上。应该在主VCC分配节点以及VCC分支安装适当的去耦/旁路电容。必须根据射频IC的总体频率响应以及时钟和PLL引起的数字噪声的预期频率分布选择旁路电容。这些走线也应与射频线保持隔离，后者将发射较大的射频功率。

### 接地区域

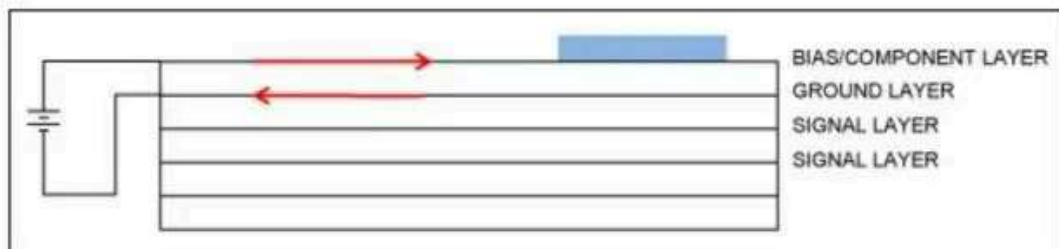
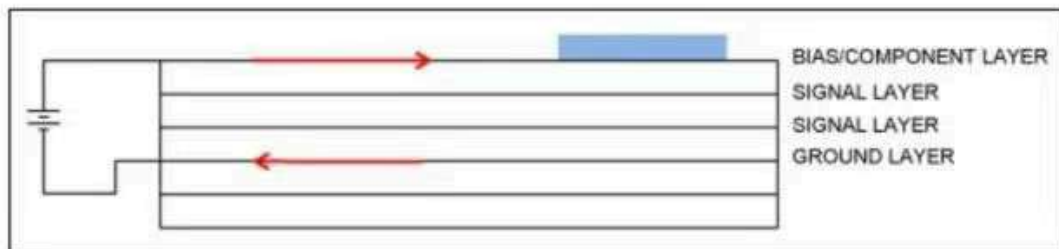
如果第1层用于射频元件和传输线，建议在第2层使用实心(连续)接地区域。对于带状线和偏移带状线，中间导体上、下要求接地区域。这些区域不得共用也不得分配给信号或电源网络，而必须全部分配给地。有时候受设计条件限制，某一层上有局部接地区域，则必须位于全部射频元件和传输线下方。接地区域不得在传输线下方断开。

应在PCB的RF部分的不同层之间布置大量的接地过孔。这有助于防止接地电流回路造成寄生接地电感增大。过孔也有助于防止PCB上射频信号线与其它信号线的交叉耦合。

### 电源层和接地层的特殊考虑事项

对于分配给系统电源(直流电源)和接地的电路板层，必须考虑元件的回路电流。总的原则是避免将信号线布置在电源层和接地层之间的电路板层上。





### 电源(偏压)走线和电源去耦

如果元件有多个电源连接，常见做法是采用“星”型配置的电源布线(图9)。在星型配置的“根”节点安装较大的去耦电容(几十 $\mu\text{F}$ )，在每个分支上安装较小的电容。这些小电容的值取决于射频IC的工作频率及其具体功能(即级间与主电源去耦)。下图所示为一个示例。

相对于连接至相同电源网络的所有引脚串联的配置，“星”型配置避免了长接地回路。长接地回路将引起寄生电感，会造成意外的反馈环路。电源去耦的关键考虑事项是必须将直流电源连接在电气上定义为交流地。

### 去耦和旁路电容的选择

由于存在自谐频率(SRF)，现实中电容的有效频率范围是有限的。可以从制造商处获得SRF，但有时候必须通过直接测量进行特征分析。SRF以上时，电容呈现感性，因此不具备去耦或旁路功能。如果需要宽带去耦，标准做法是使用多个(电容值)增大的电容，全部并联。小电容的SRF一般较大(例如，0.2pF、0402 SMT封装电容的SRF = 14GHz)，大电容的SRF一般较小(例如，相同封装2pF电容的SRF = 4GHz)。表2所列为典型配置。

表2. 电容的有效频率范围

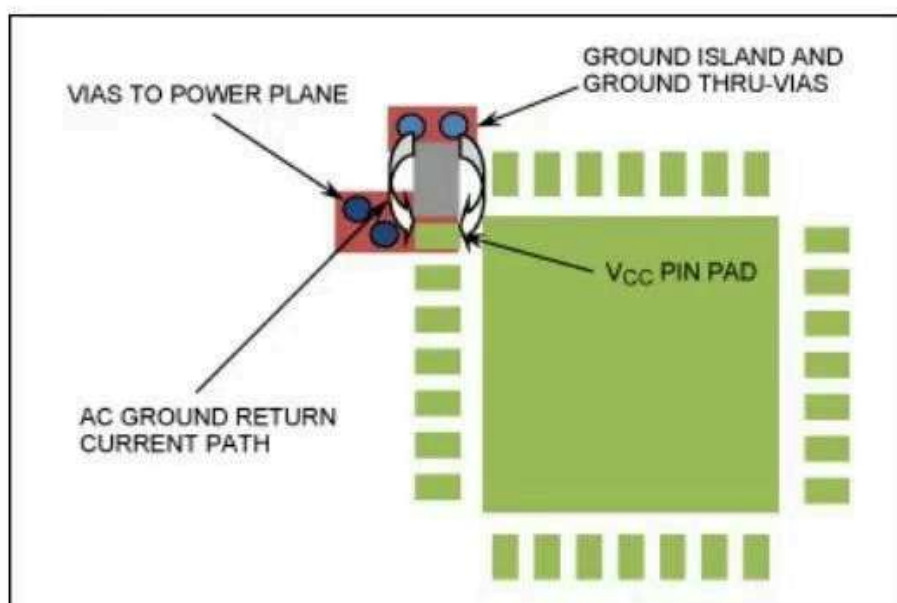
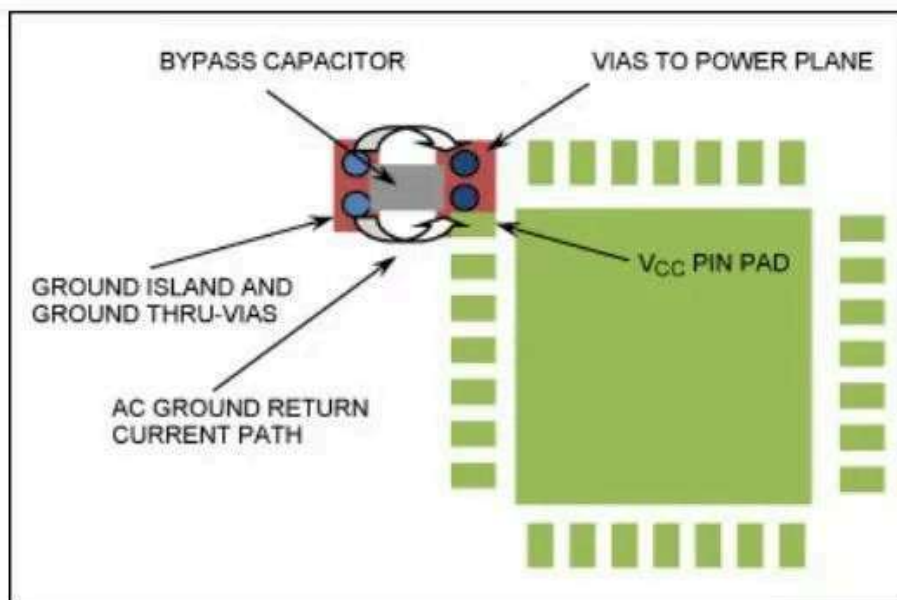
元件	电容	封装	SRF	有效频率范围*
超高范围	20pF	0402	2.5GHz	800MHz至2.5GHz
极高范围	100pF	0402	800MHz	250MHz至800MHz
高范围	1000pF	0402	250MHz	50MHz至250MHz
中等范围	1μF	0402	60MHz	100kHz至60MHz
低范围	10μF	0603	600kHz	10kHz至600kHz

\*有效频率范围的低端定义为低于5Ω容抗。

旁路电容布局考虑事项

由于电源线必须为交流地，最大程度减小交流地回路的寄生电感非常重要。元件布局或摆放方向可能会引起寄生电感，例如去耦电容的地方向。旁路电容有两种摆放方法，分别如图10和图11所示：



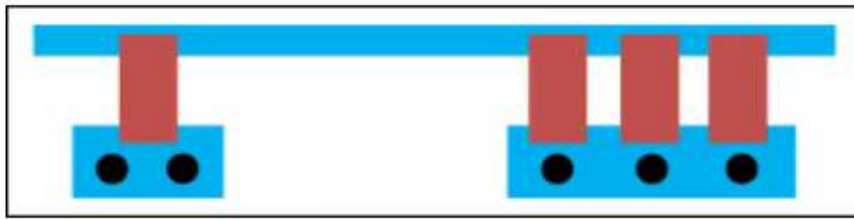


这种配置下，将顶层上的VCC焊盘连接至内层电源区域(层)的过孔可能妨碍交流地电流回路，强制形成较长的回路，造成寄生电感较高。流入VCC引脚的任何交流电流都通过旁路电容，到达其接地侧，然后返回至内接地层。这种配置下，旁路电容和相关过孔的总占位面积最小。

另外一种配置下，交流地回路不受电源区域过孔的限制。一般而言，这种配置要求的PCB面积稍大。

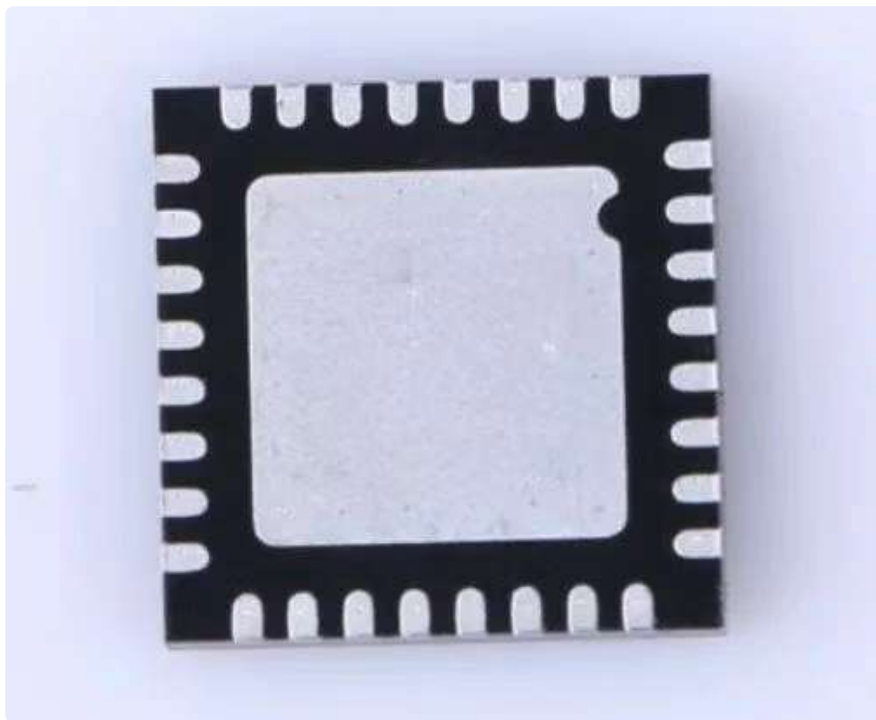
### 短路器连接元件的接地

对于短路器连接(接地)的元件(例如电源去耦电容)，推荐做法是每个元件使用至少两个接地过孔(图12)，这可降低过孔寄生电感的影响。短路连接元件组可使用过孔接地“孤岛”。



IC 接地区域 (“焊盘”)

大多数IC要求在元件正下方的元件层(PCB的顶层或底层)上的实心接地区域。该接地区域将承载直流和射频回流，通过PCB流向分配的接地区域。该元件“接地焊盘”的第二功能是提供散热器，所以焊盘应在PCB设计规则允许的情况下包括最大数量的过孔。下图所示的例子中，在射频IC正下方的中间接地区域(元件层上)安装有 $5 \times 5$ 过孔阵列(图13)。在其它布局考虑允许的情况下，应使用最大数量的过孔。这些过孔是理想的通孔(穿透整个PCB)。这些过孔必须电镀。如果可能，使用导热胶填充过孔，以提高散热性能(在电镀过孔之后、最后电镀电路板之前填充导热胶)。



屏蔽盖

PCB屏蔽就是对两个空间区域之间进行金属的隔离，以控制电场、磁场和电磁波由一个区域对另一个区域的感应和辐射。具体讲，就是用PCB屏蔽体将元部件、电路、组合件、电缆或整个系统的干扰源包围起来，防止干扰电磁场向外扩散；用PCB屏蔽体将接收电路、设备或系统包围起来，防止它们受到外界电磁场的影响。

1, RF 链路一字布局, 在同一屏蔽腔内布局时可按信号由小到大一字、L 形布局。强弱信号之间要加屏蔽隔离, 增益较大支路上也要采取屏蔽措施。在同一个屏蔽腔内, 尽量不采用 Z 形、U 形、交叉布局。

2, 用 3 个电阻组成的 PI 型衰减器, 布局时焊盘放置可以放在微带线上, 并且不能拐弯, 如下图 1 所示。如果布局空间紧张, 两个接地电阻要求放在尽量短的高阻支线上。

3, 偏置电路的馈电电感布局: 不要与射频通道平行, 最好与射频线垂直。

4, 尽可能地把高功率 RF 放大器 (HPA) 和低噪声放大器 (LNA) 隔离开来, 让高功率 RF 发射电路远离低功率 RF 接收电路。

5, RF 输出端尽量远离 RF 输入端, 防止输出信号串到输入端。

6, 去耦电容靠近需保护器件, ESD 敏感器件的去耦电容应靠近器件电源和地管脚。

7, 滤波器输出端尽量靠近压控制振荡器 (VCO) 的压控输入端, 按最小工艺间隔分布布局。

8, 衰减器网络用于改善介质滤波器的端口匹配, 要靠近介质滤波器端口, 否则滤波器端口带外严重不匹配, 导致强烈反射, 与放大器级联后, 可能引起带外自激。

9, 屏蔽罩内壁宽应大于 1MM, 建议腔内器件焊盘应离腔体边至少 2mm, 其它信号离腔体至少 0.5mm。并在腔体拐角处添加固定安装孔, 孔应该为 2.8-3mm。

10, 尽可能将数字电路远离模拟电路, 确保射频走线参考大面积地平面, 并尽可能将射频线走在表层上。

11, 数字、模拟信号线不跨区域布线, 如果射频走线必须要穿过信号线, 优选: 在它们之间沿着射频走线布一层与主地相连的地; 次选, 保证射频线与信号线十字交叉, 可将容性耦合减到最小, 同时尽可能在每根射频走线周围多布一些地, 并连到主地。一般, 射频印制线不宜并行布线且不宜过长, 如果确实需要并行布线, 应在两条线之间加一条地线 (地线打过

孔，确保良好接地）。射频差分线，走平行线，两条平行线外侧加地线（地线打过孔，确保良好接地），印制线的特性阻抗按器件的要求设计。

12，射频印制电路板布线的基本顺序：射频线路基带射频接口线（IQ 线）时钟线电源部分数字基带部分地。

13，考虑到绿油会对微带线性能、信号等方面有影响，故建议频率较高单板微带线可以不涂覆绿油，中低频率的单板微带线建议涂覆绿油。

14，射频走线通常不打孔，如必须RF 走线换层，应该将过孔尺寸减到最小，这样不仅可以减少路径电感，并可减少RF 能量泄漏到叠层板内其他区域的机会；

15，双工器、中频放大器、混频器总有多多个RF/IF 信号相互干扰，RF 与IF 走线应尽可能走十字交叉，并在它们之间隔一块地；

16，除特殊用途外，禁止RF 信号走线上伸出多余的线头；

17，基带射频接口线（IQ 线）布线应该较宽一些，最好在10mil 以上，为避免相位误差，线长尽可能相等，且尽可能间距相等；

18，射频控制线要求走线尽可能短，依据传输控制信号器件的输入输出阻抗来调整布线长度，减少噪声引入。走线远离射频信号、非金属化孔和“地”边缘。走线周围不要打地过孔，防止信号通过过孔耦合到射频地。

19，尽可能将数字走线、电源走线远离射频电路；时钟电路和高频电路是主要干扰和辐射源，一定要单独安排、远离敏感电路；

20，主时钟布线要求尽可能短，线宽推荐在10mil以上，走线两侧包地，以防止其它信号线的干扰。建议用带状线形式走线；

21，数字、模拟信号线不跨区域布线，如果信号走线必须要穿过射频线，优选分层布线，在它们之间沿着射频走线布一层与主地相连的地平面；次选射频线与信号线交叉，频率较低的数字信号可以从大封装电容焊盘之间垂直通过，同时尽可能在每根射频走线周围多布一些地，并连到主地。此外，将射频走线之间的并行长度减到最小可以将感性耦合减到最小；

22, 压控振荡器 (VCO) 的控制线必须远离RF 信号, 必要时可以对VCO 控制线施行包地处理;

23, 在PCB 板的每一层, 应布上尽可能多的地, 并把它们连到主地面。尽可能把走线靠在一起以增加内部信号层和电源分配层的地块数量。

24, 阻抗: 射频线阻抗为50欧, 满足阻抗要求下线宽尽量粗。线宽尽量接近0603阻容器件大小。

25, 转角: 射频信号走线如果走直角, 拐角处有效线宽会增大, 阻抗不连续而引起反射。故对转角进行处理, 主要为切角和圆角两种

26, 渐变线: 一些射频器件封装较小, SMD 焊盘宽度可能小至12mils, 而射频线宽可能达50mils, 建议选用渐变线, 禁止线宽突变。

27, 射频信号尽量不要打过孔, 如必须打孔换层, 需请射频工程师通过仿真计算出孔径大小。同时尽量减小过孔的阻抗不连续性, 常用方法有: 采用无盘工艺、选择合适的出线方式、优化反焊盘直径等。

28, 射频器件大面积焊盘下的过孔最大间距约为 $\lambda/10$ , 最小间距约为 $\lambda/60$ 。射频区域空白区需铺大面积接地铜皮, 铜皮全连接, 在接地铜皮打上过孔。在屏蔽腔壁紧贴的部位加上接地的过孔, 过孔需要两排以上, 过孔间距小于 $\lambda/20$ 。

29, 微带线布线: PCB 顶层走射频信号, 射频信号下面的平面层必须完整接地, 形成微带线结构。

30, 微带线边缘离下方地平面边缘至少要有3W 宽度。且3W 范围内不得有非接地过孔。

31, 微带线至屏蔽壁距离应保持为2W 以上。至少20mil.

32, 同层内非耦合微带线要做包地铜皮处理并在地铜皮上加地过孔, 孔间距小于 $\lambda/20$ , 均匀排列整齐。地铜箔边缘要光滑、平整、禁止尖锐毛刺。建议包地铜皮边缘离微带线边缘大于等于2W 的宽度或者3H 的宽度, H 表示微带衬底介质的厚度。

33, 禁止RF 信号走线跨第二层的地平面缝隙。

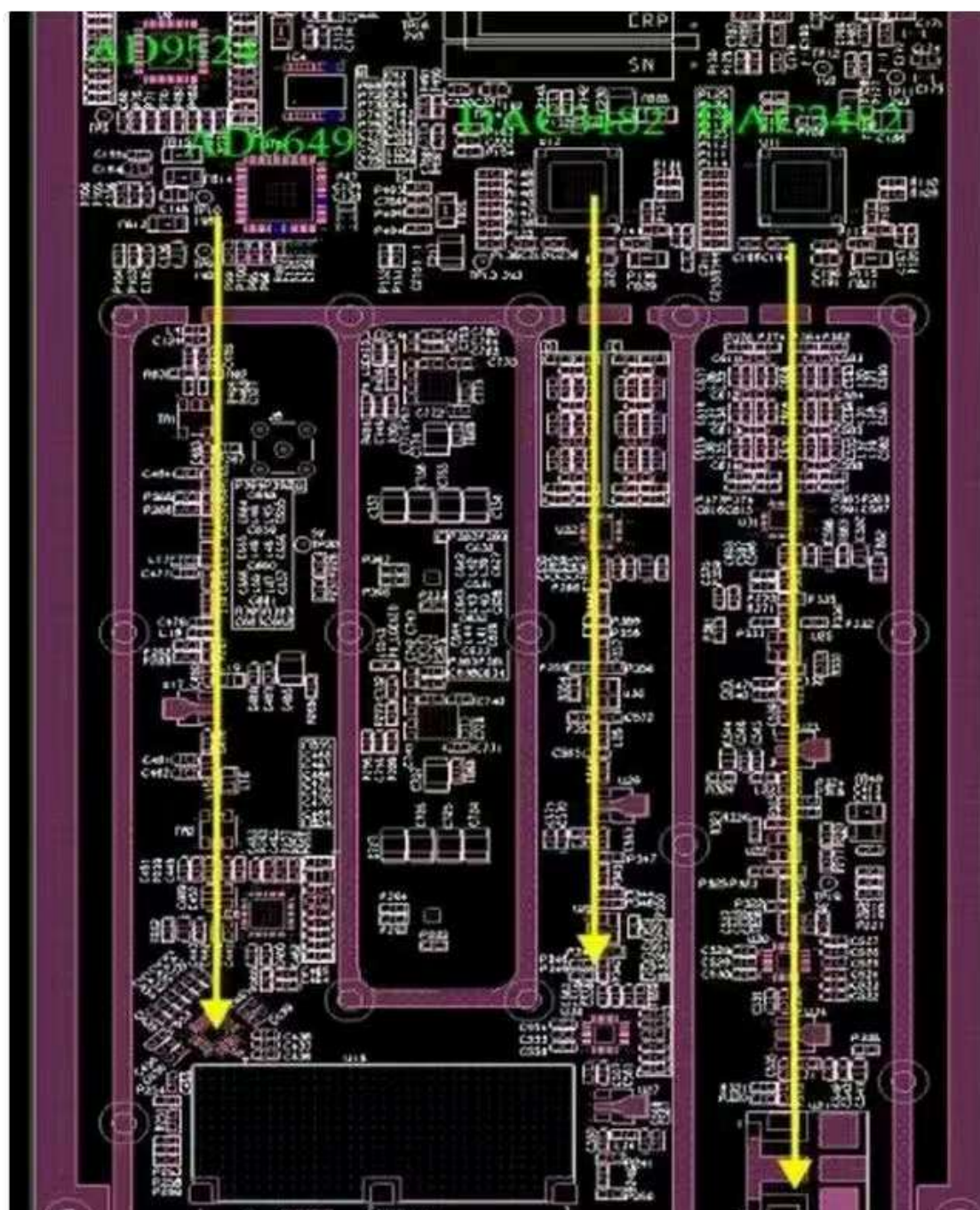
34, 带状线布线:射频信号要从PCB 中间层穿过, 常见为从第3 层, 第2 层和第4 层必须完整接地, 即偏心带状线结构。

35, 带状线两边的边缘离上下地平面边缘至少 $3W$  宽度, 且在 $3W$  范围内, 不得有非接地的过孔。

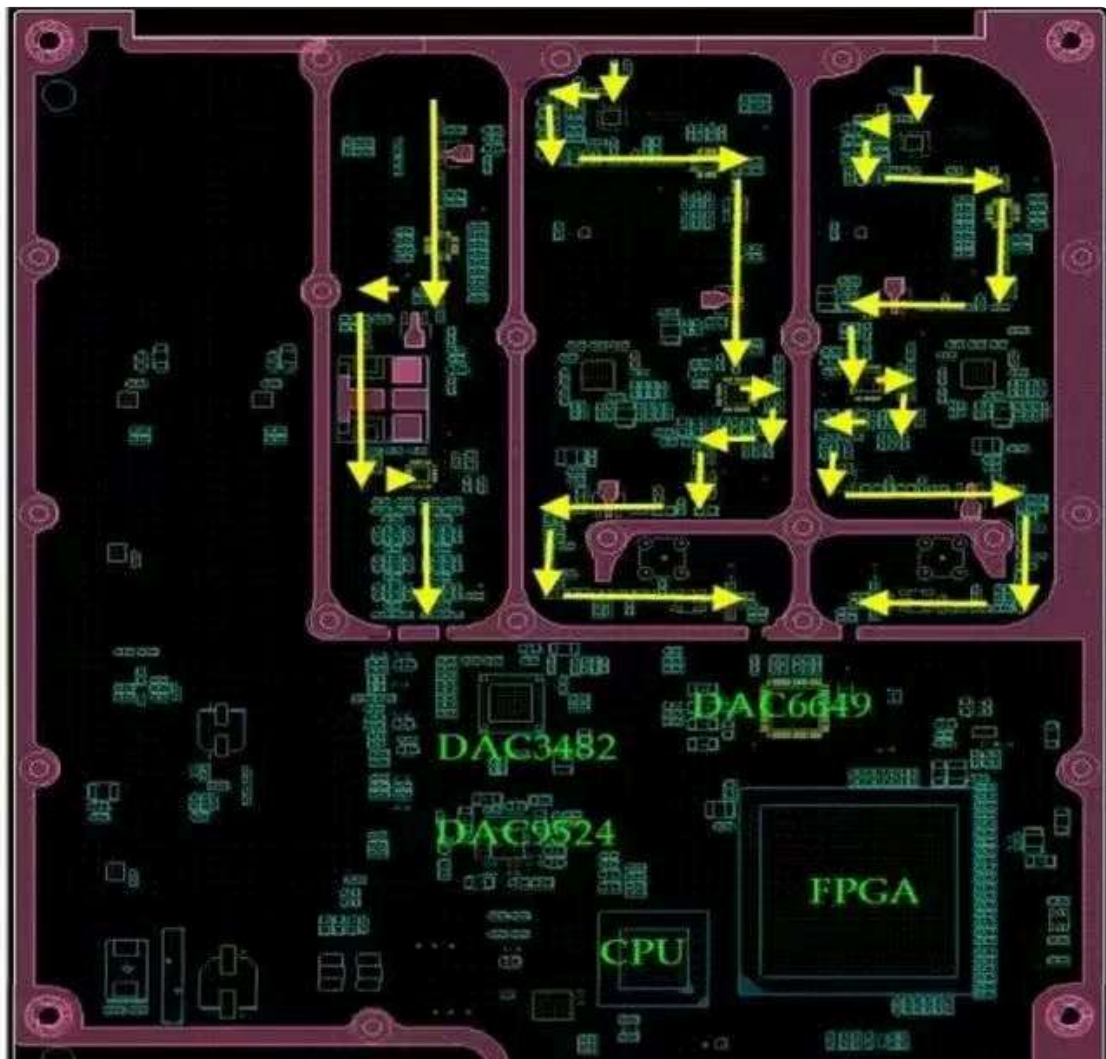
36, 同层内带状线要做包地铜皮处理并在地铜皮上加地过孔, 孔间距小于 $\lambda/20$ , 均匀排列整齐。地铜箔边缘要光滑、平整、禁止尖锐毛刺。建议包地铜皮边缘离带状线边缘大于等于 $2W$  的宽度或者 $3H$  的宽度,  $H$  表示带状线上下介质层总厚度。

37, 如果带状线要传输大功率信号, 为了避免 $50\ \Omega$  线宽过细, 通常要将带状线区域的上下两个参考平面的铜皮做挖空处理, 挖空宽度为带状线的总介质厚度的5 倍以上, 如果线宽仍然达不到要求, 则再将上下相邻的第二层参考面挖空。

## 布局案例







来源：EDA365

· END ·

欢迎将我们设为“**星标**”，这样才能第一时间收到推送消息。

关注EEWorld旗下订阅号：“汽车开发圈”

回复“**DS**”领取《DeepSeek:从入门到精通》完整版资料



汽车开发圈

EEWorld旗下账号，聚焦汽车电子软硬件开发，认真关注技术本身  
67篇原创内容

公众号



扫码添加小助手回复“**进群**”  
和电子工程师们面对面交流经验



能玩的明白吗？你就玩



时光杂货店

[立即玩](#)

留言

都在搜: [pcb设计流程规范和技巧](#)

写留言