

学的再多最后要落到分析问题上

原创 皮诺曹 射频通信链 2025年10月16日 14:28 江苏

最近收到过不少咨询，发现一个共性，很多人在遇到问题时，会一头雾水直接懵掉。

最常被问到的问题就是杂散。

杂散问题的本质：来源多样，表象复杂

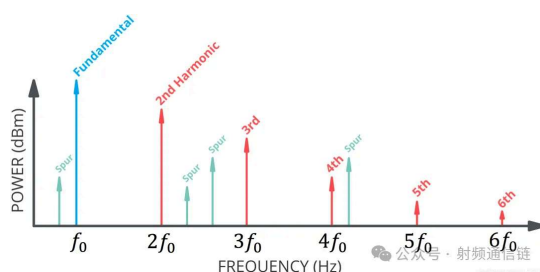
射频杂散（Spurious Emission）并非单一来源，它可能来自器件非线性、设计缺陷、时钟泄漏、电源干扰，甚至PCB布局不当。

因此，定位杂散的第一步，是建立系统化的分析框架。

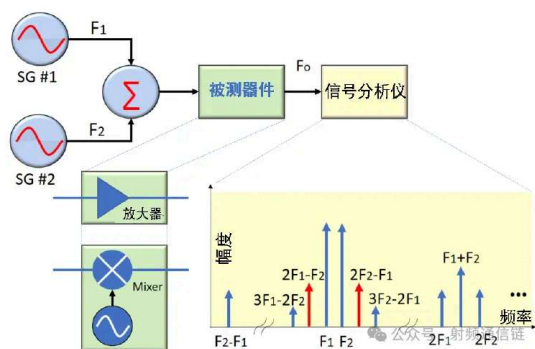
杂散的分类

功率放大器非线性：

谐波失真：PA的非线性特性会将基频整数倍（ $2f$, $3f$, $4f$...）放大并辐射出去。基频越高或输出功率越大，谐波问题通常越严重。这是最常见的杂散源之一，这类杂散最好解决，加滤波器就可以实现对杂散的抑制。

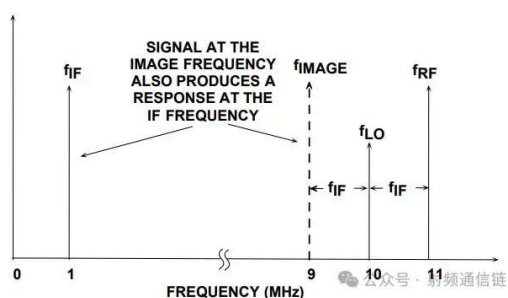


互调失真：当多个频率信号（如多载波信号、主信号+泄露的本振）同时进入非线性PA时，会产生新的频率分量（如 $2f_1-f_2$, $2f_2-f_1$, $3f_1-2f_2$ 等）。这些IMD产物如果落在关心的频段内，就形成杂散。

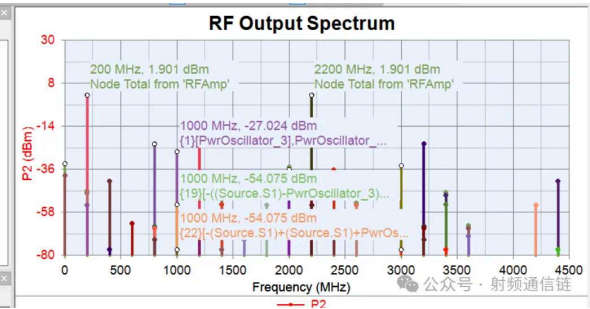


本振泄露：在混频器或调制器电路中，由于端口隔离度不足，本振信号会直接泄漏到射频输出端或天线端口。

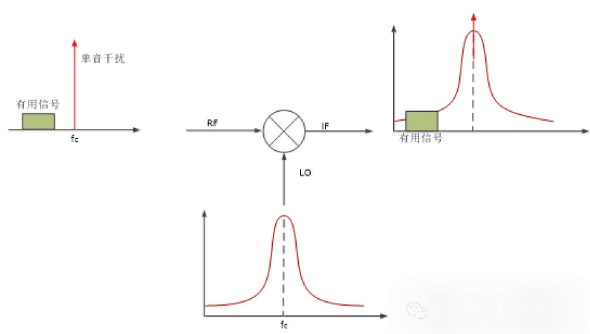
镜像频率：在上变频过程中，混频器除了产生期望的射频信号 ($RF = LO + IF$ 或 $RF = LO - IF$) 外，还会产生镜像频率 ($IM = LO - IF$ 或 $IM = LO + IF$)。如果镜像抑制滤波器性能不佳，镜像频率能量就可能被辐射出去。



变频杂散：混频器是一个高度非线性的器件，其输出不仅包含期望的产物，还包含大量不需要的混频产物 ($mLO \pm nIF$)。虽然大部分能被后续滤波器抑制，但某些特定阶次的杂散可能落在通带内或附近难以滤除。小数分频频率合成器更容易产生这类问题。



发射通道带外噪声（宽带噪声）：发射链路中各级放大器和混频器本身会产生宽带噪声。如果发射链路的带外噪声抑制不足，这部分噪声被放大后也会通过天线辐射出去，形成类似噪声基底的杂散或抬升噪声基底，在离散测量点可能表现出杂散尖峰（尤其在噪声基底较高的系统）。

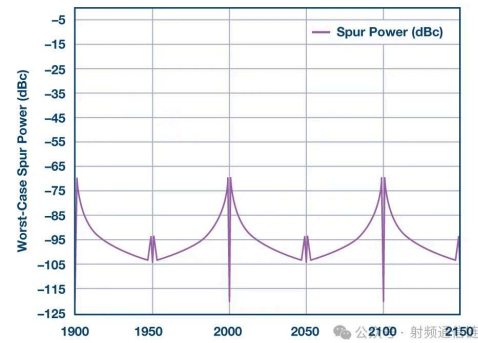


参考时钟/频率合成器泄漏：频率合成器（PLL）的参考时钟或其谐波可能通过各种耦合路径（电源、地、空间）泄漏到射频输出路径。

调制器缺陷：I/Q调制器的不平衡（增益不平衡、相位不平衡）会产生不必要的边带或载波泄露。DAC的非线性也会引入杂散。

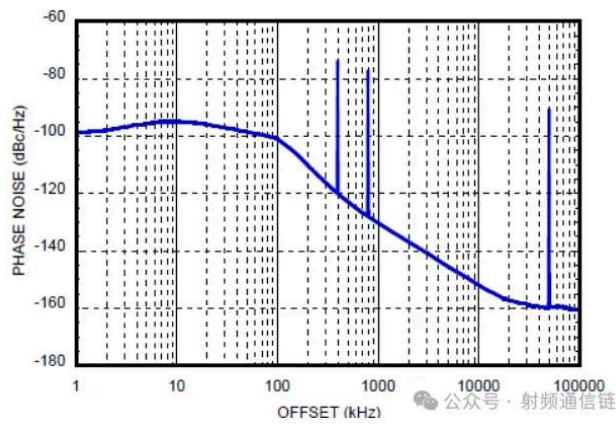
源杂散：

参考时钟杂散：PLL的参考频率及其谐波可能出现在最终合成的LO频率附近（通常表现为等间隔的杂散谱线）。

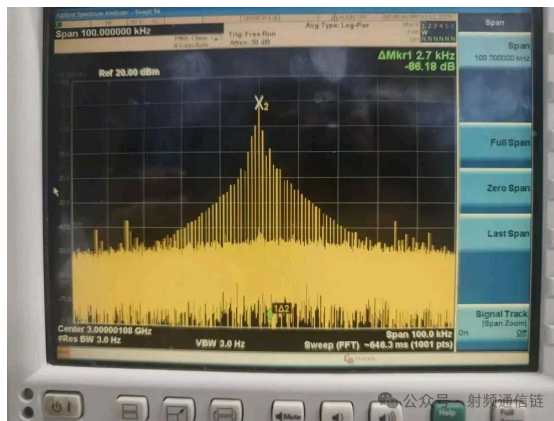


鉴相频率杂散：PLL的鉴相器工作频率及其谐波会出现在输出频谱上。

分数杂散：在小数分频PLL中，为了实现精细的频率分辨率，分频比在小数值附近快速切换。这种切换会在输出频率两侧产生以小数频率偏移（Fractional Spur）为间隔的杂散。这是小数N分频PLL设计中的主要挑战。

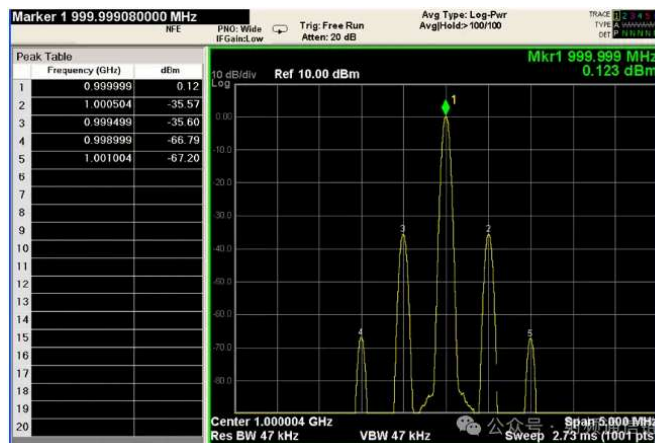


VCO牵引/注入锁定：强外部信号或内部耦合信号可能干扰VCO，导致其频率被牵引或锁定到干扰信号的谐波/分频频率上，产生杂散。



电源杂散

电源/控制线耦合：PLL的电源噪声或数字控制信号（如串行接口时钟/数据）上的噪声可能耦合到VCO控制线或直接进入VCO电路，调制LO信号产生杂散（通常表现为近载波杂散或边带噪声升高）。



数字时钟谐波：高速数字电路（处理器、FPGA、存储器、高速接口如USB/HDMI）的时钟信号及其丰富的高次谐波（可达GHz甚至更高）是主要的宽带噪声源。如果屏蔽、滤波或接地不良，这些谐波会通过空间辐射或传导耦合到敏感的射频电路或电源/地线上，进而干扰射频信号或直接辐射出去。数字信号本身的快速上升/下降沿也产生丰富的频谱。

开关电源噪声：DCDC转换器的开关频率（几十kHz到几MHz）及其谐波是强干扰源。这些噪声会通过电源线和地线耦合到射频电路的电源引脚，调制射频载波，在载波附近产生边带杂散（通常在低频偏移处）。高频的开关噪声本身也可能辐射出去。

分析与定位杂散的步骤

记住：杂散定位 ≠ 看频谱图那么简单，它是一个“侦探过程”。

第一步：频谱测量

频谱分析：使用频谱分析仪精确测量杂散的位置（频率、相对于主信号的偏移）、幅度。

第二步：相关性分析：

改变主信号频率：观察杂散频率是否随之变化？如何变化？（如：谐波关系、固定偏移、LO相关偏移、分数关系等）。

改变输出功率：杂散幅度随主功率如何变化？（线性增加、平方增加、不变等可判断来源）。

开关不同电路模块：逐一关闭接收链路、数字部分、辅助时钟等，观察杂散是否消失或变化。

改变PLL设置：对于LO相关的杂散，改变分频比（整数/小数）、参考频率等。

第三步：近场探测

检查关键点：用近场探头或高阻探头检查电源线、地线、LO路径、数字电路区域、屏蔽罩缝隙等，寻找强干扰源或耦合路径。

第四步：时域验证

时域分析：对于重复性杂散（如开关电源、数字时钟相关），观察其时域波形是否对应。

第五步：仿真辅助

仿真验证：对怀疑的电路部分（如PA、混频器、PLL）进行非线性仿真，预测可能的杂散产物。

杂散定位为哪种类型，对应的去解决就好。但是首先第一步就是定位杂散来源。

它告诉你：

- 哪里非线性太强；
- 哪里隔离度不够；
- 哪里电源不干净；
- 哪里布局不合理。

学会定位杂散，才是真正的射频工程师。

如果你想系统的学习射频，加入我们吧。这里有很多志同道合的伙伴，一起学习，一起讨论。感兴趣扫码咨询



皮诺曹

“ 射频工程师加油 ”

喜欢作者

[阅读原文](#)

