

锁相环的基础知识及选型指南

原创 皮诺曹 射频通信链 2026年1月14日 11:19 江苏



射频通信链

让射频学习不再困难，学射频，学通信，就看射频通信链。

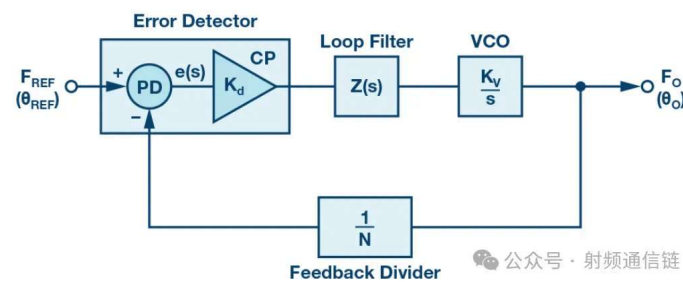
426篇原创内容

公众号

锁相环（PLL）基础知识及选型指南

一、核心原理与基础架构

锁相环本质是一个负反馈控制系统，通过动态调整振荡器频率/相位，使输出信号与参考信号保持同步。锁定状态下满足： $F_{out} = N \times F_{ref}$ （N为反馈分频比）。



1. 四大核心模块

鉴频鉴相器（PFD）：检测参考信号与反馈信号的相位差，输出"上/下"脉冲

电荷泵（CP）：将相位误差转换为电流脉冲，I_cp持续时间和极性反映相位差大小

环路滤波器（LPF）：积分电流生成平滑的VCO调谐电压（关键参数：带宽、相位裕度）

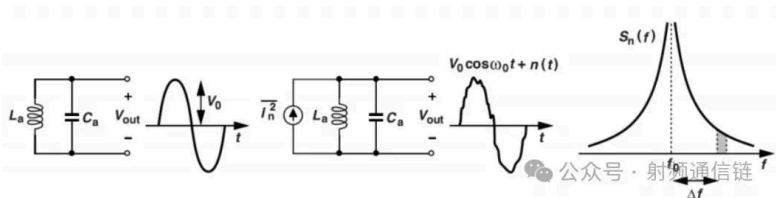
压控振荡器（VCO）：电压-频率转换，核心指标为相位噪声和调谐灵敏度K_v

2. 架构演进

架构类型	整数N PLL	分数N PLL
分频比	严格整数 N	$N = N_{int} + N_{frac}/MOD$
频率分辨率	等于F_ref	可达F_ref/MOD
相位噪声	N值大时噪声恶化严重（20logN）	高PFD频率下噪声更优
杂散特性	PFD频率及其谐波	小数杂散、ΔΣ调制噪声
适用场景	固定频率、大步进	小信道间隔（<200kHz）

二、关键参数详解与选型权衡

1. 相位噪声



计算公式： $L_{total} = FOM + 10\log(F_{pfd}) + 20\log(N)$

带内噪声 (<环路带宽)：由参考源、电荷泵主导，低N值和高 I_{cp} 可改善

带外噪声 (>环路带宽)：由VCO相位噪声主导，高Q值VCO是关键

优化措施：

增大鉴相频率 (减小N)

提高电荷泵电流

缩小环路带宽 (抑制带内噪声)

选用低噪声OCXO/TCXO参考源

2. 杂散抑制

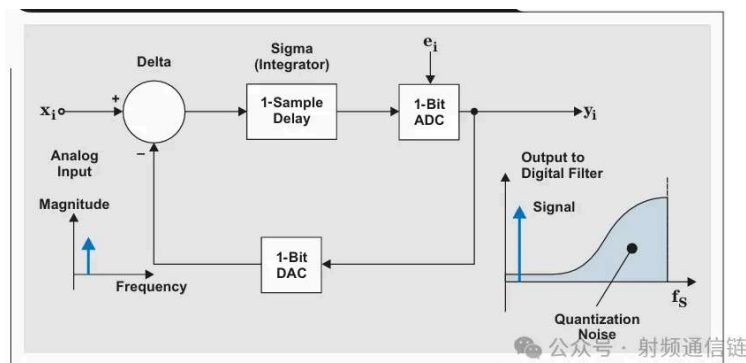
主要来源：

整数PLL：PFD频率及其谐波 ($f_{spur} = n \times F_{pfd}$)

分数PLL：小数边界杂散 ($f_{spur} = F_{pfd}/DEN \times k$)

非线性：电荷泵电流失配、电源耦合

抑制策略：



频率规划：调整 F_{ref} 使目标频率远离整数边界

环路滤波：提高阶数 (3阶以上)、缩小带宽 (

布局隔离：模拟/数字电源分离，VCO独立屏蔽

调制技术：启用 $\Delta\Sigma$ 调制器将小数据散能量转为噪声

3. 锁定时间

经验公式： $LT \approx (10-20) / BW$ ($45^\circ - 48^\circ$ 相位裕度下)

加速锁定方法：

增大环路带宽：但会降低杂散抑制，需权衡

提高鉴相频率：加快充放电速度

快速锁定芯片：如ADF4193 (GSM基站20 μs 锁定)

乒乓双PLL架构：无缝切换频率

配置时间：SPI加载时间 = (位数 \times 寄存器数)/CLK_speed + 稳定时间

4. VCO选型要点

调谐范围：中心频率应在调谐曲线中点，避免工作在极限电压

推频效应（Pushing）：电源纹波导致频率漂移，需低噪声LDO（<10nV/√Hz）

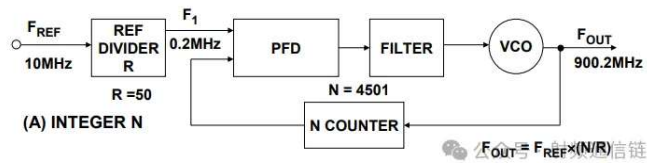
拉频效应（Pulling）：负载变化影响频率，输出加缓冲器隔离

相位噪声：LC-VCO优于Ring-VCO，高Q值电感是关键

三、选型决策树

场景1：固定频率/时钟净化

推荐：整数N PLL



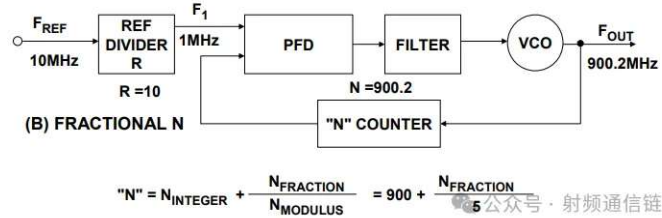
优势：相位噪声最优、成本低、设计简单

关键：选择F_ref为输出频率的整数因子（N最小化）

示例：1GHz时钟输出，采用100MHz参考，N=10

场景2：小信道间隔（<200kHz）

推荐：分数N PLL



优势：高PFD频率降低带内噪声，分辨率精细

挑战：小数杂散管理，需ADISimPLL仿真优化

示例：GSM系统1.8GHz输出，200kHz步进，F_pfd=13MHz，N=138+FRAC/65

场景3：快速跳频通信

推荐：专用快速锁定PLL或双PLL架构

要求：锁定时间<20μs，带宽需足够宽

技巧：避免控制电压在0V或Vp附近，工作在VCO调谐范围中点

场景4：高速ADC/DAC时钟

推荐：低抖动PLL + 高性能VCO

指标：集成抖动<100fs（12位ADC）

设计：PLL带内噪声与VCO噪声在环路带宽处最优交叉

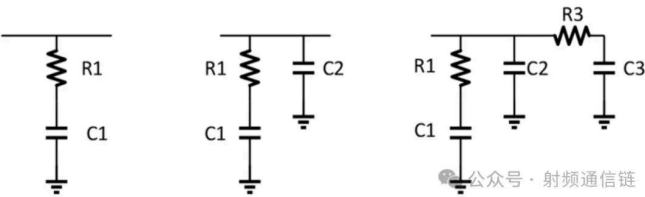
四、工程实践要点

1. 参考源选择

类型	稳定度(ppm)	相噪@10kHz	适用场景
TCXO	$\pm 0.1 \sim \pm 5$	-150dBc/Hz	大多数通信系统
OCXO	$\pm 0.0005 \sim \pm 0.01$	-150dBc/Hz	高精度仪器
VCXO	$\pm 1 \sim \pm 50$	-	需微调场景（注意带宽<200Hz）

注意：参考信号转换速率需满足芯片要求（如ADF4106需>22.6V/μs）

2. 环路滤波器设计



拓扑：优先无源3阶，有源仅用于VCO电压超出Vp范围

带宽： $\leq F_{\text{pfd}}/10$ （保证稳定性）

相位裕度： $45^\circ \sim 60^\circ$ （避免峰值）

元件：高精度RC（误差 $\leq 1\%$ ），低DA电容（聚丙烯）

3. PCB布局黄金法则

电源隔离：AVDD/DVDD分开，VCO电源用低噪声LDO

元件靠近：滤波器电阻电容紧邻PLL芯片

信号完整：REFIN/RFIN端接50Ω，避免并联过大电容

屏蔽隔离：VCO模块独立屏蔽盒，远离数字电路

地平面：VCO下方地平面无大电流/强脉冲穿越

4. 调试技巧

MUXOUT监测：查看R/N分频器输出确认信号完整性

时域分析：示波器检查SPI时序（建立时间、电平）

频域分析：频谱仪观察相位噪声曲线转折频率是否等于设计带宽

异常排查：相噪差→检查电源纹波、参考源；杂散高→排查环路滤波、频率规划

五、常见问题速查

问题现象	可能原因	解决方案
高低温失锁	TCXO/VCO温漂超标	选用工业级器件（-40~+85℃）
数字锁定误差指示	VCXO输入阻抗小导致静态相位误差>15ns	改用模拟锁定指示或增大L _{cp}
相位噪声超标	电源噪声、N值过大、带宽不当	优化电源、提高F _{pdf} 、调整带宽
小数杂散顽固	分母DEN与通道关系不良	改变F _{ref} 或启用dither（牺牲相噪）
锁定时间过长	带宽过窄、电容DA大、电压接近极限	增大带宽、选低DA电容、调偏置点

六、工具推荐

ADISimPLL：官方设计工具，自动计算滤波器参数并预测相噪/杂散

Spectrum Analyzer：相噪测量（注意RBW设置）

Phase Noise Analyzer：高精度相噪测试

Oscilloscope：SPI时序与锁定时间测量

选型精髓：先定架构（整数/分数），再选芯片（相噪指标、锁定时间），后设计环路（带宽权衡），终验证实物（布局决定成败）。在信道间隔<200kHz时优先分数N，单频应用坚持整数N以获得最佳相噪性价比。

最后的话：

如果你对射频方案设计把不准，想系统的学习，扫描下方二维码，手把手带你从头开始设计，还有一对一答疑：



皮诺曹

“ 射频工程师加油 ”

喜欢作者

