

# 基于FPGA的小尺寸嵌入式高速存储系统设计

原创 李林, 吴凡 等 嵌入式系统专家之声 2025年09月17日 08:00

点击上方"蓝字" 关注我们吧!



## 嵌入式系统专家之声

嵌入式系统专家之声依托嵌入式系统联谊会专家团队，汇集嵌入式系统产、学、研和媒体...  
207篇原创内容

公众号

本文字数：5097

2025.09.17

预计阅读时长：13分钟

### 摘要

本文设计了基于FPGA和SATA SSD的小尺寸嵌入式存储系统，通过多路高速接口接收数据，采用DDR缓存、DMA仲裁传输和文件管理等技术，利用MicroBlaze软核实现系统运行和读写控制。测试结果表明，该系统体积小、功耗较低、使用灵活，可以实现高速数据稳定可靠存储。

### 关键词

嵌入式存储；FPGA；SATA SSD；DMA

作者：李林，吴凡，杨海学，马亚辉，何斌

中图分类号：TN871

文献标识码：A

## 引言

随着技术的发展，嵌入式存储系统由于性能可靠、便灵活，在航空航天任务中获得了越来越广泛的应用。与此同时，对存储系统的通道数量、数据类型、带宽容量和功耗尺寸提出了更高要求<sup>[1-2]</sup>。

目前，基于FPGA的嵌入式存储系统主要有以下设计方案：方案一，采用FPGA作为逻辑控制核心，直接读写控制Flash阵列可以实现较高的存储带宽<sup>[3-5]</sup>，但是设计可靠的读写机制、坏块管理和纠错校验算法比较复杂，并且记录带宽和容量的扩展性较差；方案二，采用FPGA协同CPU作为控制核心<sup>[6]</sup>，CPU读写控制固态硬盘（Solid State Disk,SSD），可以实现复杂的控制功能，但读写SSD受到CPU的性能限制，且需要多核心协调操作，功耗和尺寸不尽如人意。

当前，SSD因体积小、功耗低、寿命长和良好的扩展性，逐渐成为高速大容量存储系统设计主流<sup>[7]</sup>。采用基于FPGA的SATA IP可实现存储控制、满足高速存储需求，而Xilinx公司的K7系列FPGA包含了高性能的逻辑和MicroBlaze（以下简称MB）软核资源，使用FPGA+SATA SSD就能实现相对灵活且扩展性良好的嵌入式存储解决方案。本文设计了一种基于FPGA控制SATA SSD的嵌入式高速存储系统，其中MB完成命令响应控制，FPGA控制读写SATA SSD，结合DDR和直接存储器访问（Direct Memory Access,DMA），通过千兆网络进行命令交互和数据卸载<sup>[8]</sup>，从而实现了速度快、容量大、功耗低、体积小且扩展性强的嵌入式存储系统。

## 1 系统总体设计

嵌入式高速存储系统主要由FPGA控制模块、记录接口模块、DDR3缓存模块、以太网接口模块、SATA SSD模块等部分组成。系统原理框图如图1所示。

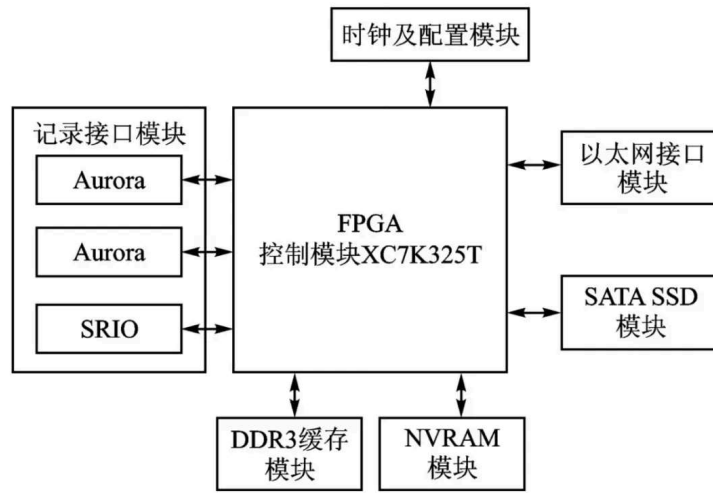


图1 嵌入式高速存储系统原理图

前端数据源高速数据通过多路记录接口输入，在FPGA内部通过FIFO完成数据跨时钟域缓冲，采用DMA方式将高速数据写入DDR3缓存中，再通过SATA接口搬移存入SSD模块。记录完成后，通过以太网接口将SSD模块中的文件数据下载到上位机进行分析。

## 2 系统硬件设计

### 2.1 FPGA控制模块

FPGA控制模块由Xilinx公司的XC7K325T和N25Q128芯片组成。该FPGA含有50950个SLICES、445个36 Kb的BRAM、16个高速GTX接口、500个用户I/O引脚<sup>[9]</sup>，满足系统所需的逻辑及接口资源。FPGA 控制模块由顶层设计、时钟与复位单元、接口控制单元、SATA控制单元以及MB控制器构成。其中顶层设计负责各个单元的连接交互，系统时钟通过25MHz无源晶振获取，通过FPGA内部CMT核倍频为100 MHz、125 MHz 等时钟，以此作为系统时钟。FPGA产生异步复位同步释放的系统复位信号。接口控制单元实现Aurora、SRIO、以太网和串口等接口数据交联。SATA控制单元通过SATA接口实现SSD的读写控制。基于MB控制器搭建软核控制子系统，完成自检、记录、加卸载等系统控制功能。

### 2.2 DDR3缓存模块

实时记录数据带宽较大，系统外挂DDR3芯片作为数据缓存<sup>[10]</sup>。缓存模块实现了32位数据总线宽度，提供3.2 Gbps的缓存速度和1GB缓存空间。

### 2.3 千兆以太网接口

千兆以太网接口基于FPGA自带的IP核三态以太网Tri - Mode Ethernet MAC实现，外扩网络PHY芯片选用Marvell公司的88E1111，支持MII、GMII、RGMII等接口，通过MDIO进行配置管理。

### 2.4 SSD存储单元

采用FPGA高速GTX接口实现SATA IP<sup>[11]</sup>，FPGA通过SATA2.0接口控制SSD存储，完成读写SSD地址和数据总线接口、全盘复位、软销毁等。SSD为定制加固型SSD，参考时钟由150 MHz晶振提供，内部采用SATA核心控制器，对多片NAND Flash采用流水线并行控制，支持ECC纠错、坏块管理、均衡读写和RAID等功能。

## 3 逻辑和软件设计

### 3.1 接口控制器设计

前端高速数据的接收包含Aurora和SRIO两种通信接口，均基于FPGA内部GTX串收发器实现，支持500 Mbps~12.5 Gbps的线速率。Aurora接口采用Aurora 8B/10B核搭建，实现可裁剪的轻量级高速数据传输方式，支持流和帧两种模式，提供了流控等机制。SRIO 接口采用RapidIO Gen2核设计，RapidIO互连架构与当前主流处理器兼容，是一种高性能、包交换的互连技术。RapidIO核分为逻辑、缓冲和物理层三部分，支持读、写和门铃等事务，具备流控和多播机制。Aurora和SRIO接

收通道的数据流进入FPGA，经校验、解码等处理，传输至FIFO组包模块，根据数据来源和类型进行组包、校验、缓冲和跨时钟域处理，接口数据流如图2所示。

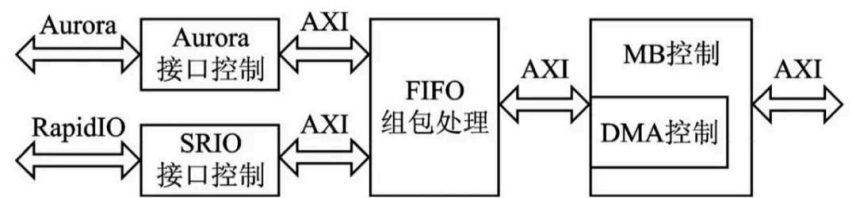


图2 接口数据流图

3.2 MB控制器设计

MB控制器是通过Vivado集成开发工具建立的软核处理子系统，通过调用FPGA内嵌MB软核处理器，添加GPIO、EMC、CDMA、DDR和SATA 等自带IP或定制控制器实现。INTF控制器实现命令和数据的通信接口交互；EMC控制器实现NVRAM的读写控制、存储系统和文件参数信息；DDR控制器完成DDR3芯片的读写操作；DMA控制器通过高速AXI总线完成不同地址空间的数据高速搬移；SATA控制器实现存储数据的读写控制。

3.3 缓存仲裁设计

系统采用DMA传输方式实现数据的高速搬移，与CPU控制缓存数据读写不同，采用DMA方式，接口控制、DDR3缓存和SATA SSD模块间可直接进行数据传输交互，极大地提高了系统性能。

DDR3缓存是数据和程序运行空间，MB控制器、INTF控制器、CDMA核、DDR控制器均通过AXI Inconnect互联，CDMA核配合自定义的接口数据流仲裁处理模块实现了高速数据的搬移处理。接口数据流仲裁处理流程为：前端数据通过多类型高速通道接收暂存至FPGA内部FIFO中，当接口控制器中任意通道FIFO达到半满阈值时，则向仲裁处理模块提出搬移请求，该请求暂存入处理队列，当DMA模块状态为空闲时，按照请求队列先入先出原则，处理并使能当前数据通道DMA搬移请求，同时置位DMA模块状态为忙状态，待当前DMA操作完成，依次处理后续DMA请求，数据流DMA传输流程如图3所示。

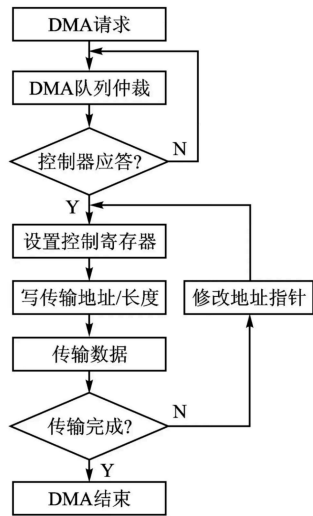


图3 DMA传输流程图

3.4 文件系统管理

系统实现了简易文件系统管理，系统信息和文件信息存储在NVRAM中，MB通过EMC控制器对NVRAM 进行读写控制。系统信息包括记录总容量、已用容量、当前文件数、记录模式、通道选通等。文件信息则按照文件编号存放文件的详细信息，包括编号与名称、创建与关闭时间、起止地址、文件大小等，文件信息的部分格式如表1所列。NVRAM大小为128KB，单个文件占用64 Byte，支持记录1000个以上文件信息。文件地址为逻辑地址，通过SATA SSD控制模块翻译映射为物理地址。

表1文件信息格式

序号	内容	字节数	说明	备注
1	文件编号	2	索引编号	共 1000 个文件， 编号 0~999
2	文件名称	8	名称信息	
3	数据来源	2	数据来源	0x00:Aurora1 通道 0x01:Aurora2 通道 0x02:SRIO 通道
4	创建时间	6	文件创建时间	年/月/日/时/分/秒
5	关闭时间	6	文件关闭时间	年/月/日/时/分/秒
6	起始地址	12	起始地址	按 sector 计算
7	结束地址	12	结束地址	按 sector 计算
8	文件大小	16	单位长度倍数	单位长度自行约定

3.5 控制软件设计

控制软件为MB嵌入式驱动和应用代码，完成与FPGA逻辑的命令和数据交互，实现用户UDP控制指令接收与解析、系统配置与数据文件管理、流程控制与执行。当接收到有效命令后，软核接收命令并解析，进入对应的中断子函数，进而调度和执行对应操作。MB软核通过EMC控制器操作NV RAM来读取、刷新系统配置参数和数据文件信息。高速通道接收源数据时，MB软核接收数据源中断，根据工作模式、数据及通道类型等创建文件索引，完成高速数据流缓存、传输和写入SSD模块，同时完成通道控制、状态侦测等工作。MB应用软件简要流程如图4所示。

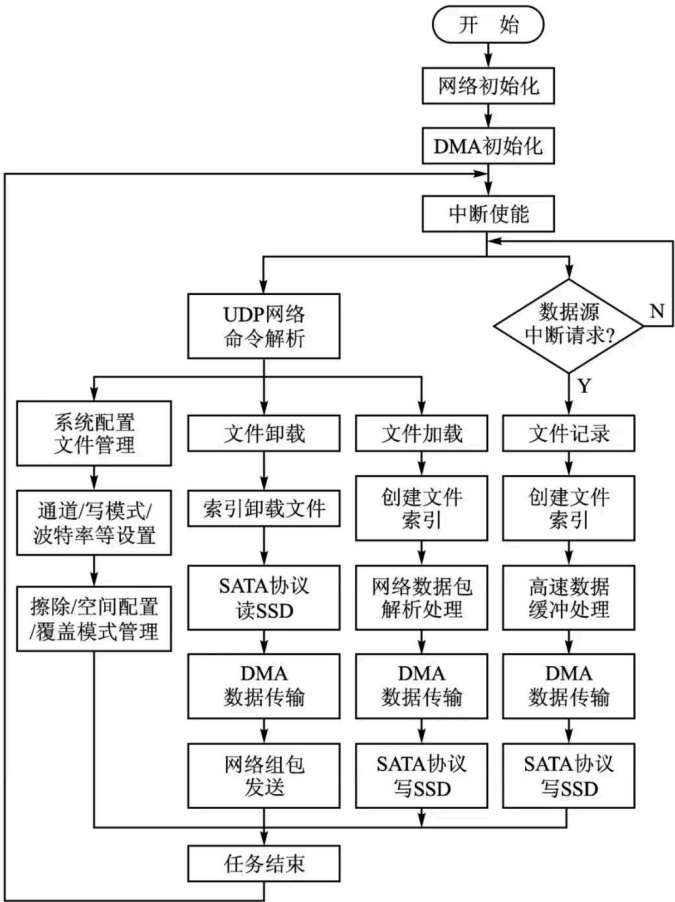


图4 MB应用软件流程设计

- ①控制软件初始化，包括网络接口、高速接口、串口、GPIO等接口初始化。
- ②控制软件完成CDMA核的地址映射、模式配置、中断配置等初始化工作。
- ③对系统中数据源、网络、CDMA、串口和时钟等模块完成中断ID分配、中断使能。
- ④当系统处于自动记录模式时，接收数据到达中断，根据通道编号、数据类型和时间标记建立相应文件，数据流经过缓冲和仲裁选通处理后，启动DMA进行多次数据传输至DDR中，采用乒乓流水方式同时完成记录数据的写入SSD操作。
- ⑤当系统处于主动控制模式时，接收并解析网络命令数据包，根据命令包中通道选通、写模式、波特率等参数信息完成系统配置，根据空间分配、文件覆盖模式等完成存储空间维护和记录管理；当接收到加载命令时，根据文件名称和类型创建文件，完成网络加载数据包解析处理、数据传输并写入SSD操作；当接收到卸载命令时，根据卸载参数完成存储文件搜索、读出SSD数据、数据传输和网络数据组包卸载发送操作。

## 4 测试验证

测试设备产生测试数据，通过ILA监测测试设备输出，测试数据单包长度为60 Byte，第1个4 Byte为包头，第2个4 Byte为逐一递增计数。测试数据通过高速接口传输至存储系统，存储系统通过接收处理后存入SSD。上位机测试软件可以通过网络获取系统状态和记录文件信息，从记录文件列表信息中查看可知：索引为2的记录文件，记录开始时间为“2021年6月8日13时30分0秒”，记录停止时间为“2021年6月8日13时32分25秒”，记录文件长度为20.19GB，计算得到记录速度为142.5 Mbps，根据测试数据样式产生的标准数据文件对记录文件数据进行校验比对，校验全部正确。

在高温70℃和低温-40℃条件下，每次记录20GB的数据进行测试，经过100次测试及数据分析，结果表明存储系统可以将数据正确接收并可靠存储。记录数据测试验证如图5所示。



图5 记录数据测试验证

## 5 结语

本文介绍了基于FPGA的嵌入式存储系统，采用DDR3缓存、MB软核主控、DMA仲裁传输和文件管理等技术。测试结果表明，该系统体积小、集成度高、运用灵活，可以实现对多路高速数据进行可靠存储，后续还可以通过直接增加SSD通道实现容量和速度的便捷扩展。本系统可用于机载、车载等数据存储技术领域，具有一定的移植扩展性和实用价值。

## 参考文献

....

- [1] 甄国涌, 单彦虎. 弹载固态记录器高速存储体系结构设计[J]. 计算机工程, 2013,39(3):275-278.
- [2] 孙琦, 苗岩松. 基于Flash存储介质的遥测系统高速存储技术研究[J]. 无线电工程,2018,48(2):111-115.
- [3] 赵亚慧, 金龙旭, 陶宏江, 等. 基于 NAND Flash 的高速大容量存储系统的设计[J]. 电光与控制, 2016,23(5):71-75,79.
- [4] 代明清, 边庆, 周啸, 等. 基于NAND Flash的高速大容量存储系统设计[J]. 计算机工程应用技术, 2018,14(13):208-210.
- [5] 王晨博, 孟博, 袁万腾. 一种高速大容量存储系统设计[J]. 信息通信, 2020(9):90-92.


(作者单位: 中电科蓉威电子技术有限责任公司, 成都 610031)

(本文由《单片机与嵌入式系统应用》杂志社授权发表, 原文刊发在2022年第12期)

----- END -----



 嵌入式系统专家之声推荐搜索


FPGA | 嵌入式系统 | 物联网

【点击上方  搜索词条可查看号内更多其他内容】



**微信搜一搜**  
 嵌入式系统专家之声

 ----- 关注我们, 了解更多精彩内容 ----- 

 转发, 点赞, 在看, 安排一下?

期刊论文·目录

上一篇·面向工业应用的实时操作系统生态构建展望