

Cognoms: Nom:

3er Control Arquitectura de Computadors

Curs 2012-2013 Q1

Problema 1. (3 puntos)

Tenemos un procesador (que llamaremos procesador original) que funciona a una frecuencia de 2 GHz. Este procesador no tiene ningún tipo de jerarquía de memoria, todos los accesos se realizan directamente sobre memoria principal. En este procesador hemos ejecutado una aplicación A (que usaremos a lo largo de todo el problema) y hemos obtenido los siguientes datos: tiempo de ejecución 18 s, 2×10^9 instrucciones ejecutadas, 3×10^9 accesos a memoria. Sabemos además que cada acceso a memoria tarda 11 ciclos.

- a) **Calcula** el CPI del procesador original al ejecutar la aplicación A (a este CPI lo llamaremos CPIoriginal).

- b) **Calcula** el CPI de un procesador (que llamaremos procesador ideal) en que cada acceso tardase 1 ciclo (a este CPI lo denominaremos CPIideal).

Para mejorar el rendimiento respecto el procesador original, añadimos una cache 2-asociativa al procesador (que denominaremos procesador 2A). Para poder mantener la frecuencia de 2 GHz, los accesos a la cache 2-asociativa tardan 2 ciclos, es decir que en caso de acierto tenemos una penalización de 1 ciclo respecto al procesador ideal. La penalización media en caso de fallo es de 17 ciclos (también respecto al procesador ideal). La aplicación A ejecutada en el procesador 2A tarda 5,7 segundos.

- c) **Calcula** la tasa de fallos de la cache 2-asociativa.

Uno de los ingenieros ha sugerido el uso de un predictor de vía.

- d) **Explica** cómo funciona una cache asociativa por conjuntos con predictor de vía y sus ventajas e inconvenientes respecto una cache igual pero sin predictor de vía.

El predictor sugerido tendría un impacto negligible tanto en área como en la frecuencia y consumo del procesador. Al ejecutar la aplicación A, el predictor de vía tiene una tasa de aciertos del 80%. Al procesador con cache 2 asociativa y predictor de vía lo denominaremos procesador P. En caso de que el predictor acierte la vía no hay penalización respecto al procesador ideal, si hay fallo de predictor pero acierto de cache se incurre en un ciclo de penalización (tal como ocurría con la cache 2 asociativa), y finalmente, si es fallo de predictor y también de cache, la penalización es de 17 ciclos (también la misma que la cache 2 asociativa).

- e) **Calcula** el speed-up del procesador P respecto al procesador 2A.

Queremos saber la potencia media debida a conmutación de la jerarquía de memoria del procesador P. Ignoraremos por tanto la potencia disipada por fugas así como la potencia de conmutación del procesador, y también la del predictor, que ya hemos comentado que tiene un impacto despreciable. Sabemos que cada vez que se accede una vía de la cache se consumen 5 nJ (nanojoules) y cada vez que hay un fallo de cache se consumen 20 nJ adicionales.

- f) **Calcula** la potencia de conmutación media de la jerarquía de memoria del procesador P al ejecutar la aplicación A

Cognoms: Nom:

3er Control Arquitectura de Computadors

Curs 2012-2013 Q1

Problema 2. (2 puntos)

Disponemos de un procesador conectado a un sistema de memoria con una memoria cache de nivel 1 de datos con las siguientes características (para este problema sólo tendremos en cuenta la L1 de datos):

- Política de acceso copy back + write allocate:
 - Tiempo de leer/escribir un bloque en Memoria Principal (latencia + transmisión de datos): 9 ciclos.
- a) **Define** de forma clara y concisa el comportamiento de la política copy back + write allocate en cada una de las siguientes situaciones:

- Acceso de lectura de un byte con acierto

--

- Acceso de lectura de un word con fallo

--


- Acceso de escritura de un word con acierto

--

- Acceso de escritura de un byte con fallo

--

- b) **Rellena** el siguiente cronograma, indicando la ocupación de los distintos recursos del sistema para una operación de lectura de un byte que provoca un fallo en el acceso a la cache, sabiendo que el bloque a reemplazar ha sido modificado en la memoria cache por el acceso inmediatamente anterior (usa H/M para hit/miss de MC, L/E para marcar los ciclos en que se lee/escibe en MP y D para indicar en que ciclo recibe el dato la CPU) .

CLK																									
Ciclo	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25
MC(H/M)																									
MP(L/E)																									
CPU(D)																									

c) **Indica** brevemente la principal diferencia entre una memoria SDRAM y una memoria DDR

El sistema tiene un memoria principal formada por DIMMs de memoria DDR con las siguientes características:

- 8 chips de 1 byte cada uno por DIMM
- Latencia de fila: 2 ciclos
- Latencia de columna: 2 ciclos
- Latencia de precarga: 1 ciclo

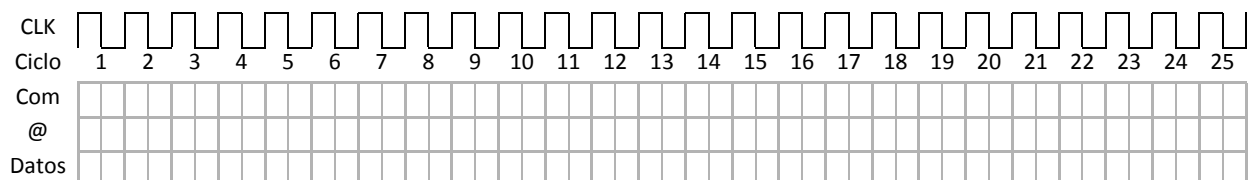
A la memoria DDR se realizan accesos de lectura/escritura en los que se lee/escribe un bloque de 64 bytes. Para indicar la ocupación de los distintos recursos utilizaremos la siguiente nomenclatura:

- AC: ciclo en que se envía el comando ACTIVE
- RD: ciclo en que se envía el comando READ
- PR: ciclo en que se envía el comando PRECHARGE
- @F: ciclo en que se envía la dirección de fila
- @C: ciclo en que se envía la dirección de columna
- D: transmisión de un paquete de datos

En un controlador de memoria convencional, el comando ACTIVE abre una página y el comando PRECHARGE cierra la página activa. Una forma de mejorar el rendimiento de los acceso a MP consiste en aprovechar la localidad espacial de las filas de memoria (que los fabricantes llaman páginas). Para este apartado supondremos que el sistema tiene un controlador de memoria avanzado que no cierra la página (PRECHARGE) después de cada acceso. En caso de que un acceso se realice sobre la página abierta, no es necesario abrirla (ACTIVE). Sin embargo si el acceso se realiza sobre una página distinta, tenemos que cerrar la página anterior (PRECHARGE) y abrir (ACTIVE) la página que se desea acceder.

d) **Rellena** el siguiente cronograma, indicando la ocupación de los distintos recursos del sistema con el controlador de memoria avanzado para la siguiente secuencia de accesos (inicialmente no hay ninguna página abierta), de forma que la secuencia se realice en el número mínimo de ciclos:

- Acceso a bloque en la página x
- Acceso a bloque en la página x
- Acceso a bloque en la página y



Cognoms: Nom:

3er Control Arquitectura de Computadors

Curs 2012-2013 Q1

Problema 3. (2,5 puntos)

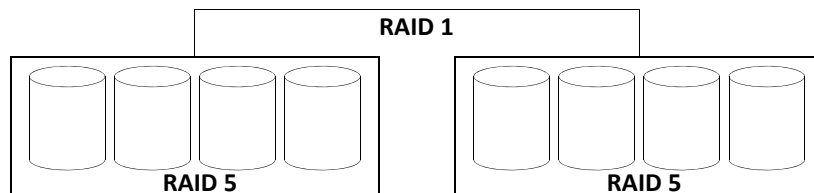
- a) **Describe** un RAID 5 utilizando como base un RAID 5 de 4 discos. En la descripción no puede faltar un esquema de cómo se distribuyen los datos, porcentaje de información redundante, número de discos que han de fallar para que el RAID 5 deje de ser operativo, etc.

Disponemos de discos físicos de 3 TB de capacidad por disco, que ofrecen un ancho de banda efectivo de 250 Mbytes/s por disco. Con estos discos queremos montar un RAID 5 con 4 discos.

- b) Describe cómo realizar la escritura de 30 bloques de disco en posiciones consecutivas. Calcula el ancho de banda efectivo de escribir estos 30 bloques.

- c) Describe cómo se hace la escritura de 1 bloque de disco en un RAID 5. Calcula el ancho de banda efectivo máximo al escribir 30 bloques de disco en posiciones aleatorias en el RAID5 de 4 discos.

Utilizando dos RAIDs 5 de 4 discos, vamos a montar un sistema RAID 51.



- d) Utilizando discos de 3 TB con un ancho de banda de 250 MB/s, calcula el espacio útil, el ancho de banda para lecturas aleatorias y el ancho de banda para escrituras aleatorias.

- e) Cada uno de los RAIDs 5 tiene una fuente de alimentación con un MTTF de 100.000 horas y un MTTR de 10 horas. Suponiendo que los discos nunca fallarán y teniendo en cuenta exclusivamente las fuentes de alimentación, calcula el MTTF del RAID 51.

Cognoms: Nom:

3er Control Arquitectura de Computadors

Curs 2012-2013 Q1

Problema 4. (2,5 puntos)

Queremos evaluar 2 alternativas para el diseño de un nuevo procesador. Las dos alternativas de las que disponemos son un procesador de tipo Acumulador y otro de tipo Memoria/Memoria. La descripción del ISA de ambos procesadores, así como los códigos que usaremos para la evaluación, se muestran en la siguiente figura.

Tipo Instrucción	Acumulador	
Aritmética	OP A	ACC \leftarrow ACC+A
Memoria	LOAD A STORE A	ACC \leftarrow A A \leftarrow ACC
Salto	BR Etiqu	PC \leftarrow PC+despl

Tipo Instrucción	Memoria / Memoria	
Aritmética	OP A,B,C	C \leftarrow A OP B
Salto	BR Etiqu	PC \leftarrow PC+despl

Acumulador	Memoria / Memoria
\$1: LOAD B MUL C STORE TMP LOAD A SUB TMP STORE A LOAD D ADD E STORE TMP LOAD A DIV TMP STORE A BR \$1	\$2: ADD D,E,R1 MUL B,C,R2 SUB A,R2,R2 DIV R2,R1,A BR \$2

En estos códigos estamos accediendo repetidamente a las posiciones de memoria A,B,C,D y E (en estas posiciones están mapeados 5 registros de E/S que se refrescan en cada iteración). En la máquina de tipo Acumulador, además, se accede a la posición de memoria TMP. R1 y R2 son Registros del procesador Memoria/Memoria.

Cada instrucción de la máquina de Acumulador ocupa 4 bytes. Las instrucciones de la máquina Memoria/Memoria ocupan 8 bytes + 6 bytes por cada operando en memoria. Todos los accesos a memoria de datos son de 4 bytes en ambas máquinas.

- a) Suponiendo que todos los accesos a memoria son acierto en cache, rellena la siguiente tabla de bytes leídos / escritos en 1 iteración del bucle:

Procesador	#bytes leídos de la cache instrucciones	#bytes escritos en la cache de instrucciones	#bytes leídos de la cache datos	#bytes escritos en la cache de datos	Total bytes leídos/escritos
Acumulador					
Memoria/Memoria					

En este diseño disponemos de 2 alternativas para el primer nivel de la jerarquía de memoria: una memoria cache unificada (instrucciones + datos) con un ancho de banda de 10 GB/s, o bien caches separadas para instrucciones y datos con un ancho de banda de 6 GB/s y 4 GB/s respectivamente.

- b) Suponiendo que la única limitación en el rendimiento del procesador es el ancho de banda con memoria, calcula cuál es la mejor alternativa. Calcula las iteraciones por segundo que permite cada alternativa.

10 ⁶ iteraciones/s	L1 Unificada	L1I + L1D
Acumulador		
Memoria/Memoria		

- c) Suponieno que cada instrucción ADD, SUB, MUL y DIV realiza 1 operación sobre números en coma flotante, calcula los MFLOPS de cada alternativa.

MFLOPS	L1 Unificada	L1I + L1D
Acumulador		
Memoria/Memoria		

La siguiente tabla muestra los consumos de cada procesador:

	por instrucción ejecutada	por byte leído en MC	por byte escrito en MC
Acumulador	1 nJ	1 nJ	2 nJ
Memoria/Memoria	1,5 nJ	1 nJ	2 nJ

- d) Calcula la eficiencia energética (MFLOPS / W) de los dos procesadores con la L1 unificada.

MFLOPS/W	L1 Unificada
Acumulador	
Memoria/Memoria	

- e) De las 4 posibilidades, ¿cuál es la mejor alternativa y por qué?