



Министерство науки и высшего образования Российской Федерации
Федеральное государственное бюджетное образовательное учреждение
высшего образования
«Московский государственный технический университет
имени Н.Э. Баумана
(национальный исследовательский университет)»
(МГТУ им. Н.Э. Баумана)

ФАКУЛЬТЕТ ИНФОРМАТИКА И СИСТЕМЫ УПРАВЛЕНИЯ

КАФЕДРА КОМПЬЮТЕРНЫЕ СИСТЕМЫ И СЕТИ (ИУ6)

НАПРАВЛЕНИЕ ПОДГОТОВКИ **09.03.01 Информатика и вычислительная техника**

О т ч е т

по лабораторной работе № 1

Название: **Проектирование систем на кристалле на основе ПЛИС**

Дисциплина: **Архитектура ЭВМ**

Вариант: **15**

Студент гр. ИУ7-55Б

(Подпись, дата)

О.Н.Талышева

(И.О. Фамилия)

Преподаватель

(Подпись, дата)

А.Ю. Попов

(И.О. Фамилия)

2024 год

Цель работы.

Изучение основ построения микропроцессорных систем на ПЛИС. В ходе работы студенты ознакомятся с принципами построения систем на кристалле (СНК) на основе ПЛИС, получат навыки проектирования СНК в САПР Altera Quartus II, выполнят проектирование и верификацию системы с использованием отладочного комплекта Altera DE1Board.

Реализация систем на кристалле на основе ПЛИС Altera.

В ходе лабораторной работы необходимо реализовать в САПР Quartus II систему на кристалле, структура которой представлена на рисунке 1.

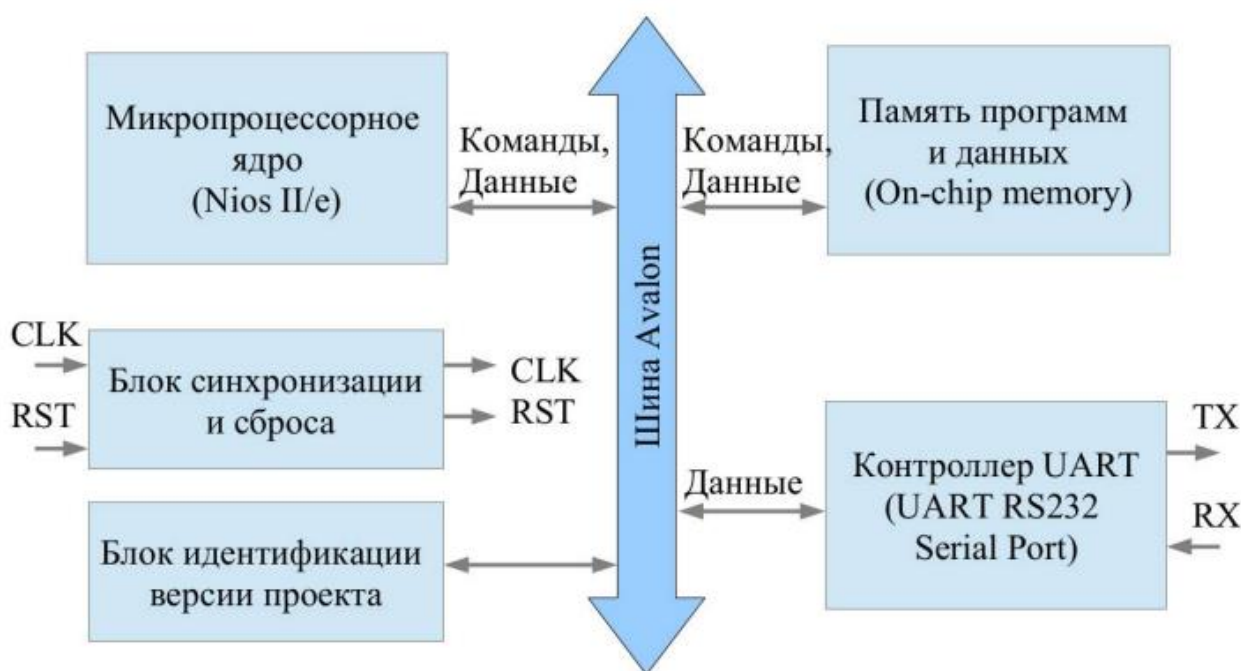
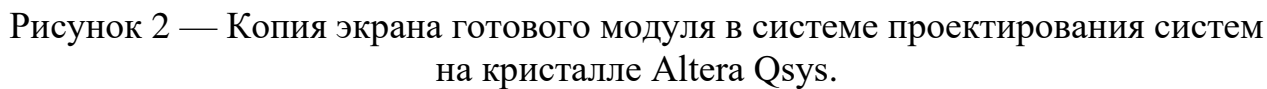


Рисунок 1 — Функциональная схема разрабатываемой системы на кристалле.

Система на кристалле состоит из следующих блоков: – Микропроцессорное ядро Nios II/e выполняет функции управления системой. – Внутренняя оперативная память СНК, используемая для хранения программы управления и данных. – Системная шина Avalon обеспечивает связность всех компонентов системы. – Блок синхронизации и сброса обеспечивает обработку входных сигналов сброса и синхронизации и распределение их в системе. Внутренний сигнал сброса синхронизирован и имеет необходимую для системы длительность. – Блок идентификации версии проекта обеспечивает хранение и выдачу уникального идентификатора версии, который используется программой управления при инициализации системы. – Контроллер UART обеспечивает прием и передачу информации по интерфейсу RS232.

2. Создание нового модуля системы на кристалле QSYS.



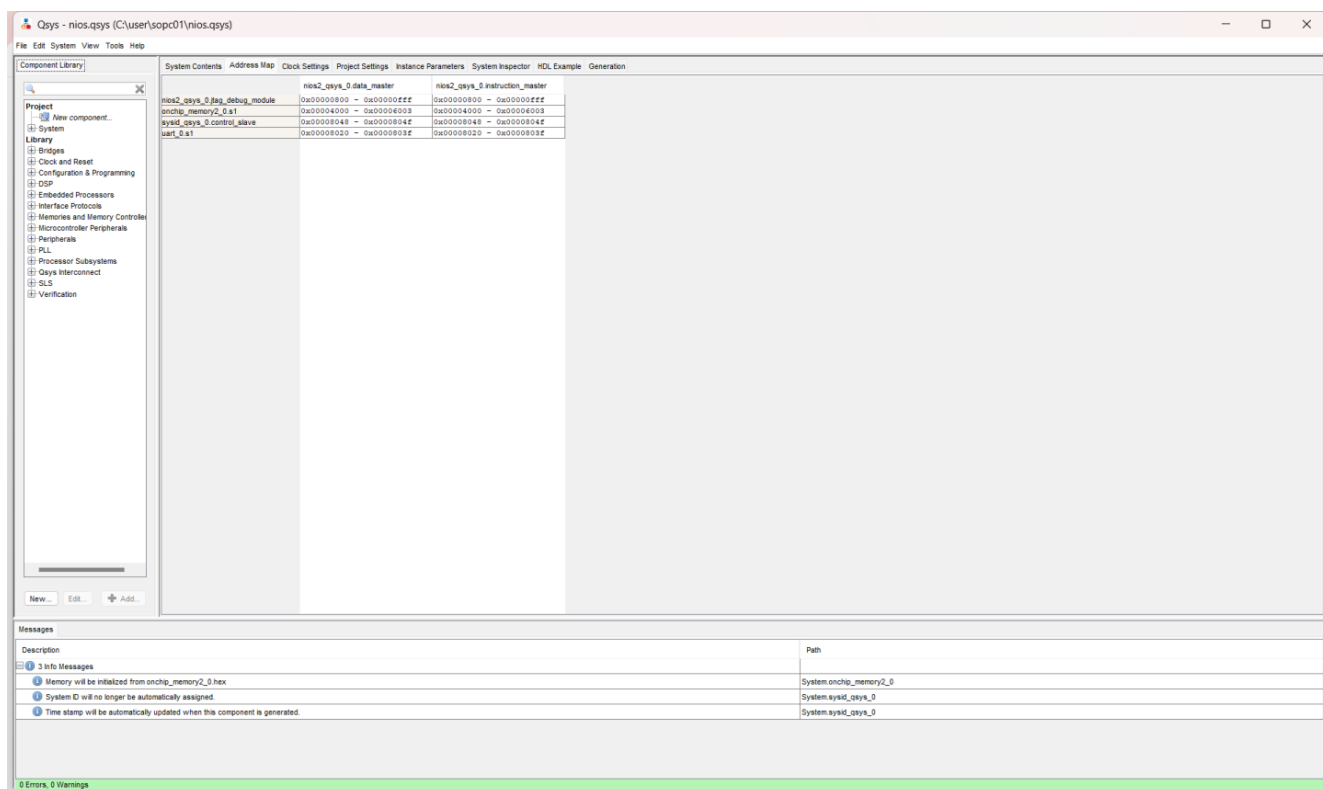


Рисунок 3 – Таблица распределение адресов модулей в системе на кристалле.

3. Добавление модуля c:\user\sopc01\nios.qsys в проект socp01.
4. Назначение модуля nios.qsys в качестве модуля верхнего уровня.
5. Выполнение синтеза проекта.
6. Назначение портам проекта контакты микросхемы.

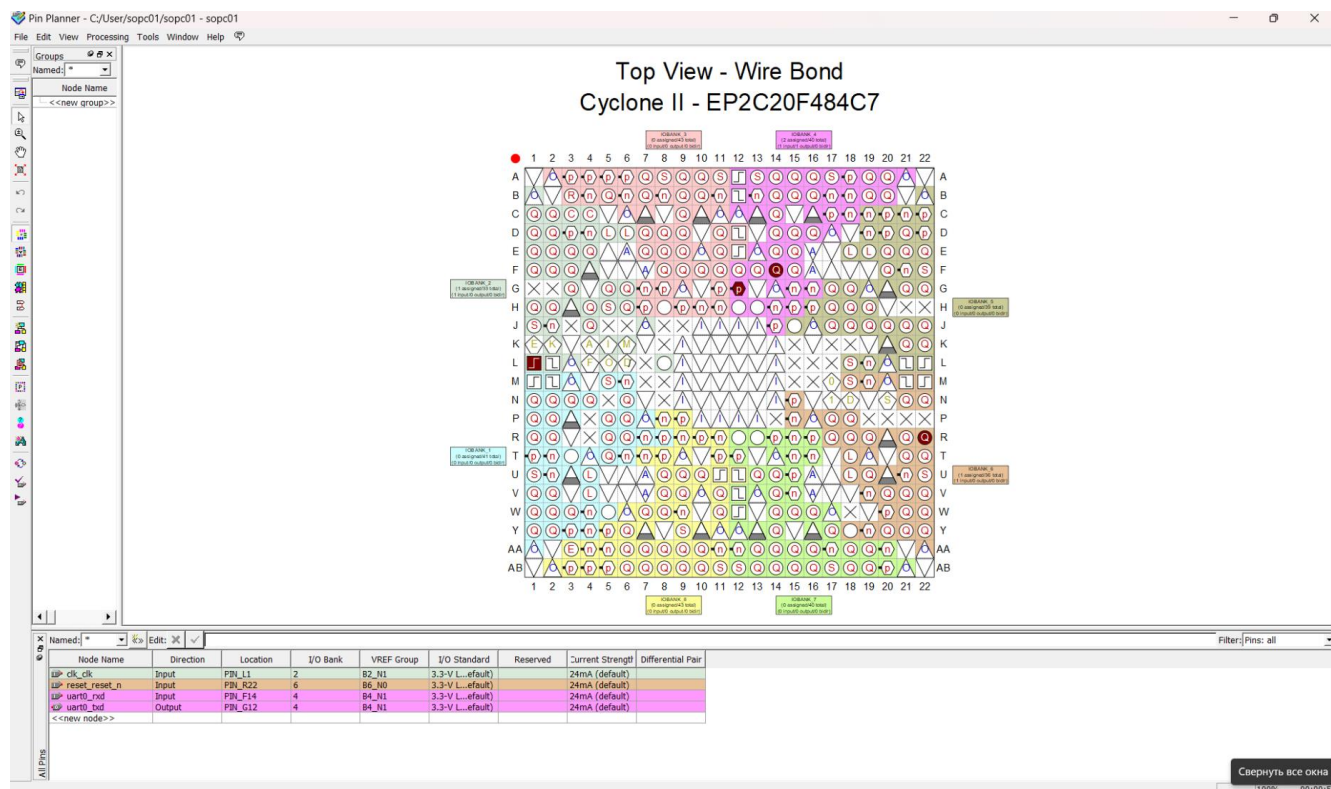


Рисунок 4 — Модуль Pin Planner.

7. Выполнение синтеза проекта.
8. Создание программного проекта Nios2.
9. Выполнение прошивки проекта в ПЛИС.
10. Выполнение загрузки тестового программного проекта hello в ПЛИС с использованием Nios II Software Build Tools for Eclipse.
11. Выполнение верификации проекта с использованием программы терминала.
12. Изменение параметра System ID на 32-х разрядный код, состоящий из номера группы и варианта (был введён «5515»).
13. Доработка кода программного проекта: добавление строк, передающих по UART значение SystemID в виде четырех байт символов в ASCII формате.

Листинг кода программного проекта Nios II Software Build Tools for Eclipse:

```
#include "sys/alt_stdio.h"
#include "system.h"
#include "altera_avalon_sysid_qsys.h"
#include "altera_avalon_sysid_qsys_regs.h"

int main()
{
    char ch;
    alt_putstr("Hello from System on Chip\n");
    alt_putstr("Send any character\n");
    alt_printf("%x", IORD_ALTERA_AVALON_SYSID_QSYS_ID (SYSID_QSYS_0_BASE));
    /* Event loop never exits. */
    while (1)
    {
        ch=alt_getchar();
        alt_putchar(ch);
    }
    return 0;
}
```

14. Выполнение верификации проекта с использованием программы терминала.

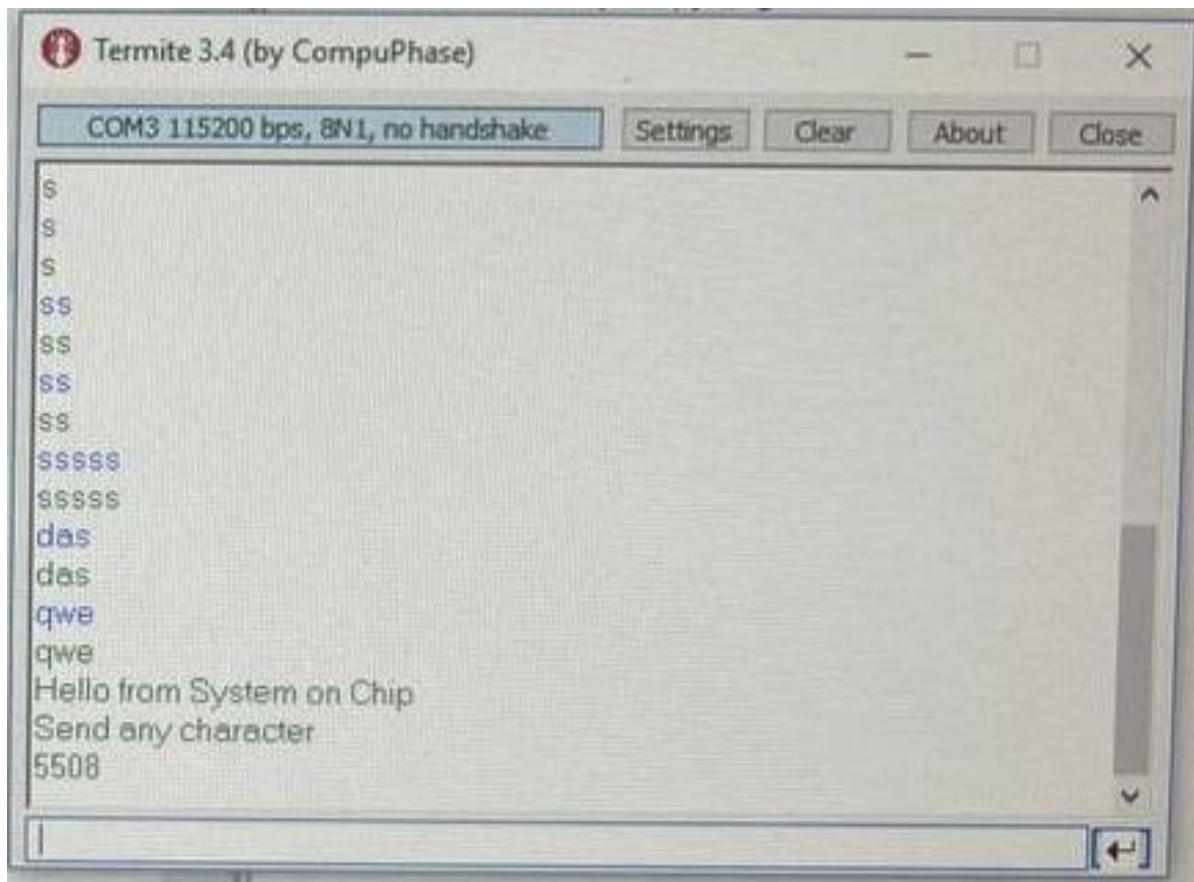


Рисунок 5 – Результаты тестирования PSoC на отладочной плате (выведен 8 вариант, так как вторая часть лабораторной работы проводилась в команде).

Вывод.

Во время выполнения лабораторной работы были изучены основы построения микропроцессорных систем на ПЛИС, произошло ознакомление с принципами построения систем на кристалле (СНК) на основе ПЛИС, получение навыков проектирования СНК в САПР Altera Quartus II, выполнение проектирования и верификации системы с использованием отладочного комплекта Altera DE1Board.