



Министерство науки и высшего образования Российской Федерации
Федеральное государственное бюджетное образовательное учреждение
высшего образования
«Московский государственный технический университет
имени Н.Э. Баумана
(национальный исследовательский университет)»
(МГТУ им. Н.Э. Баумана)

ФАКУЛЬТЕТ ИНФОРМАТИКА И СИСТЕМЫ УПРАВЛЕНИЯ

КАФЕДРА КОМПЬЮТЕРНЫЕ СИСТЕМЫ И СЕТИ (ИУ6)

НАПРАВЛЕНИЕ ПОДГОТОВКИ 09.03.01 Информатика и вычислительная техника

О т ч е т

по лабораторной работе № 2

Название: ИССЛЕДОВАНИЕ ДЕШИФРАТОРОВ

Дисциплина: Архитектура ЭВМ

Вариант: 15

Студент гр. ИУ7-45Б

(Подпись, дата)

О.Н.Талышева

(И.О. Фамилия)

Преподаватель

(Подпись, дата)

А.Ю. Попов

(И.О. Фамилия)

2024 год

Цель работы: изучение принципов построения и методов синтеза дешифраторов; макетирование и экспериментальное исследование дешифраторов.

В процессе выполнения лабораторной работы было сделано:

1. Исследование линейного двухвходового дешифратора с инверсными выходами

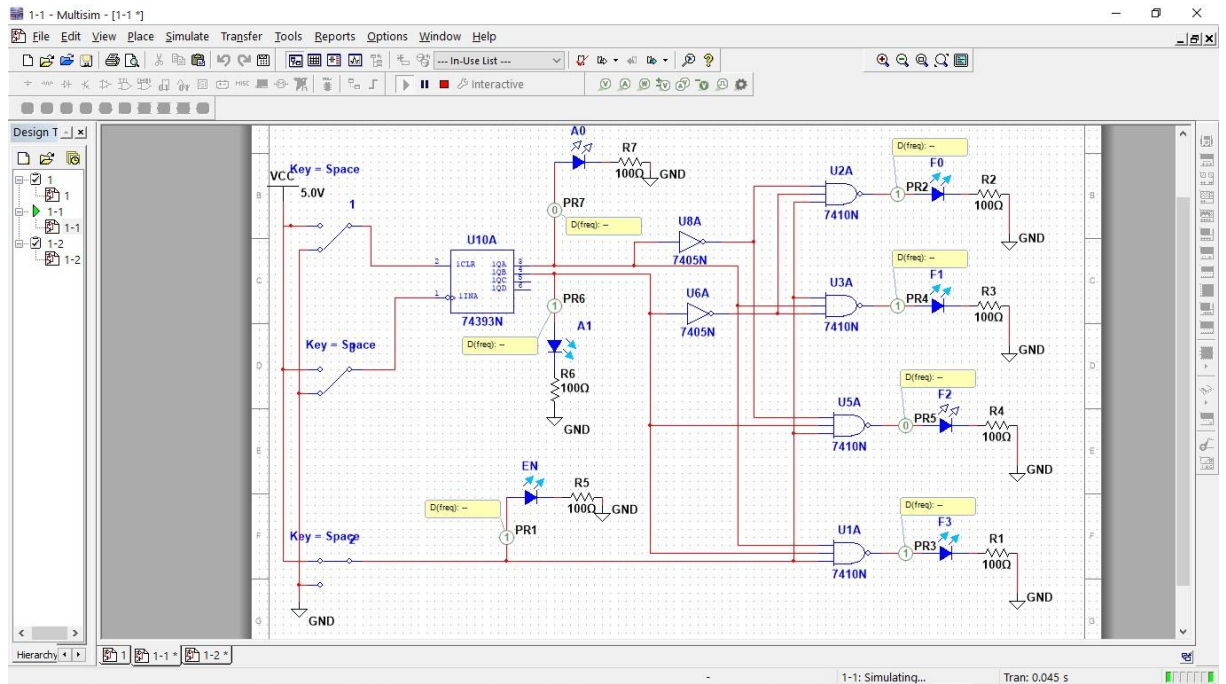
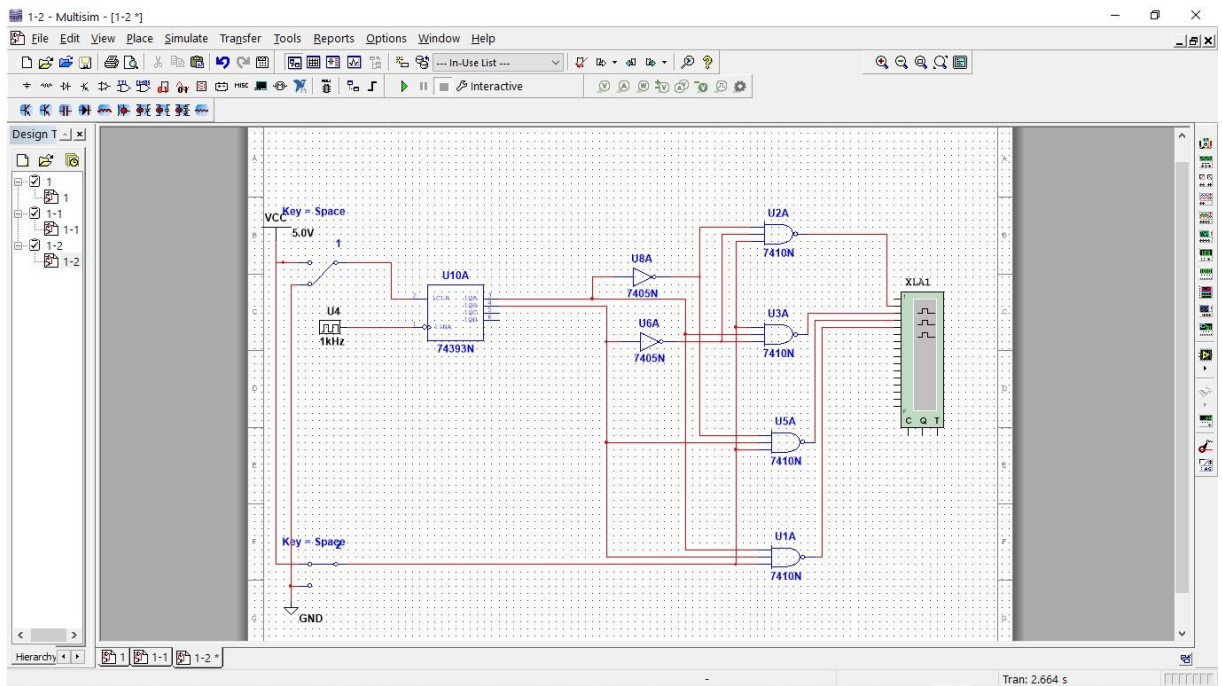
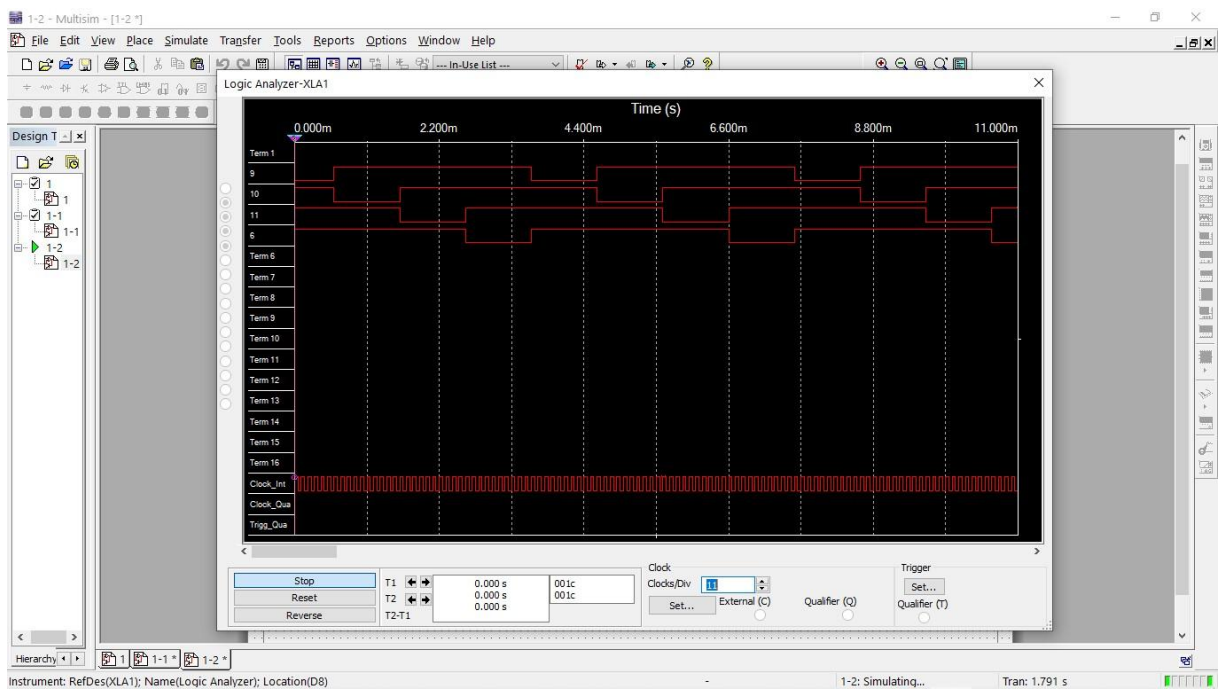


Таблица истинности:

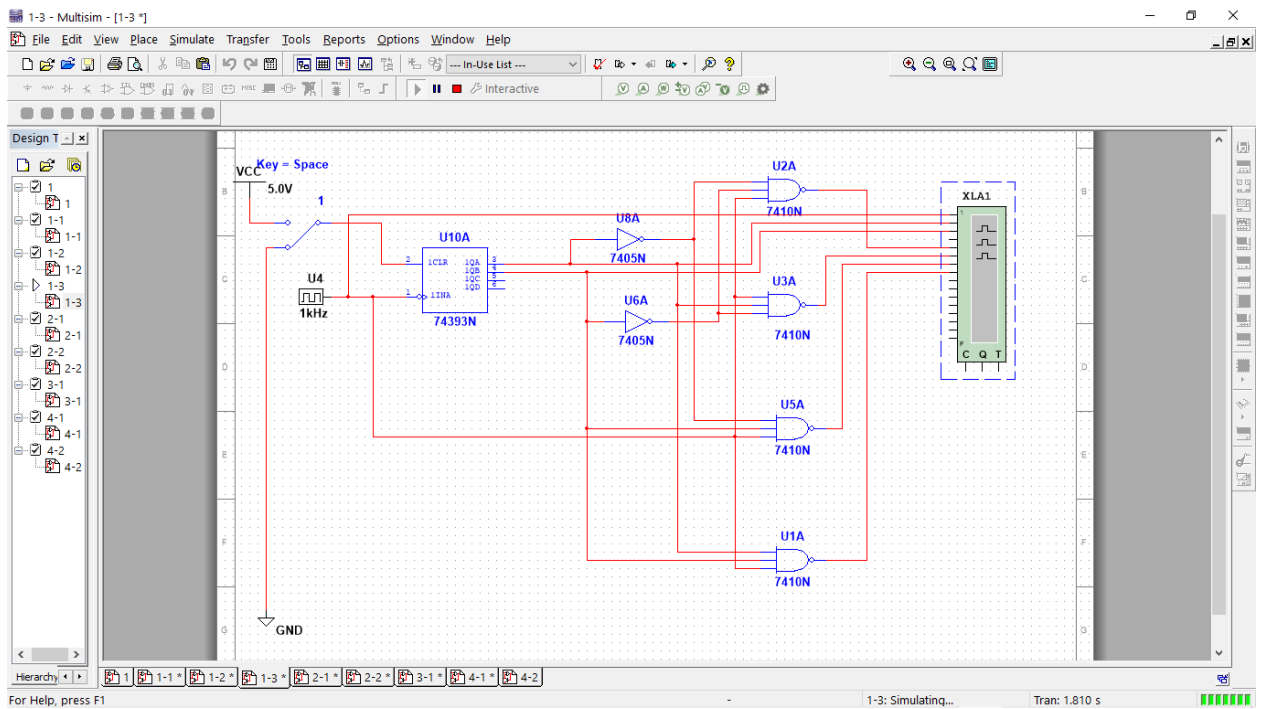
EN	A ₀	A ₁	F ₀	F ₁	F ₂	F ₃
1	0	0	0	1	1	1
1	0	1	1	0	1	1
1	1	0	1	1	0	1
1	1	1	1	1	1	0



Временная диаграмма:



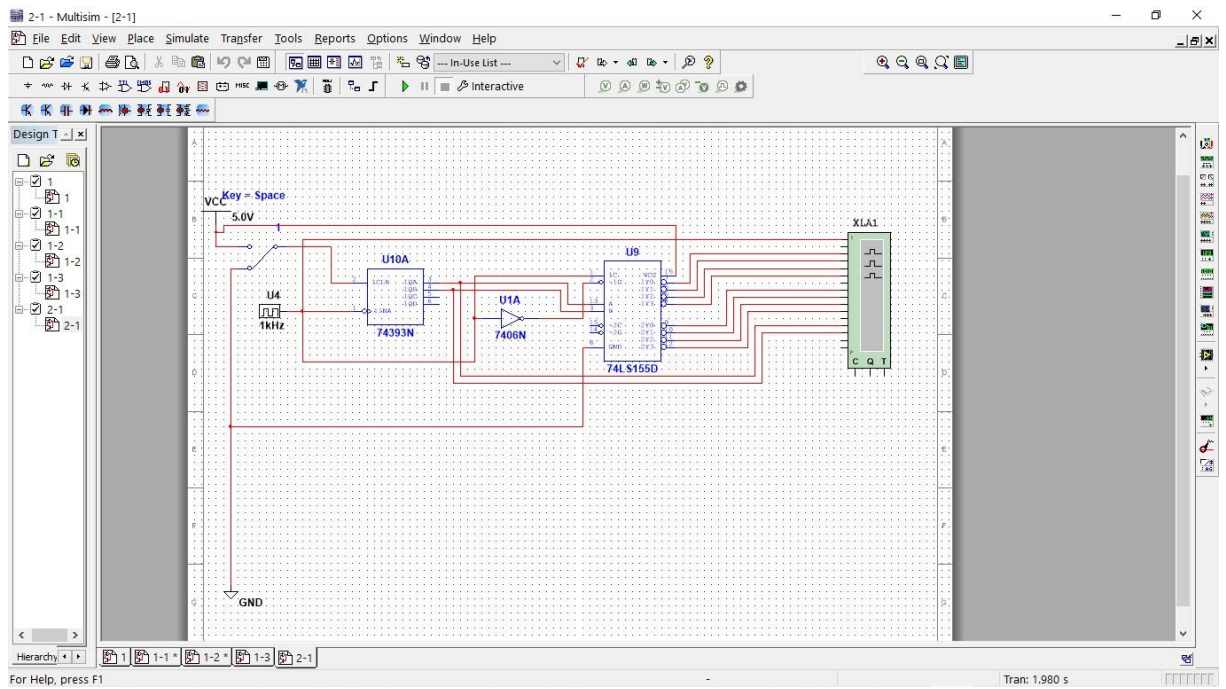
В качестве стробирующего сигнала используется сигнал генератора:



Временная диаграмма:



2. Исследование дешифраторов ИС K155ИД4 (74LS155)



Временная диаграмма:

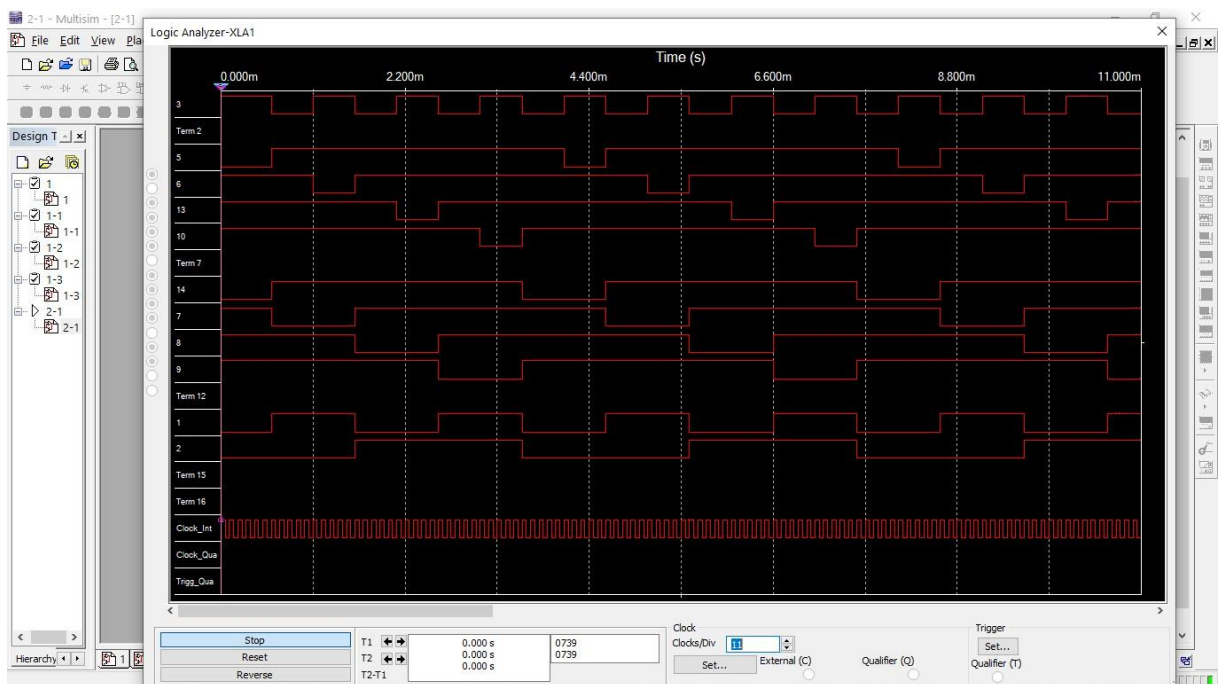
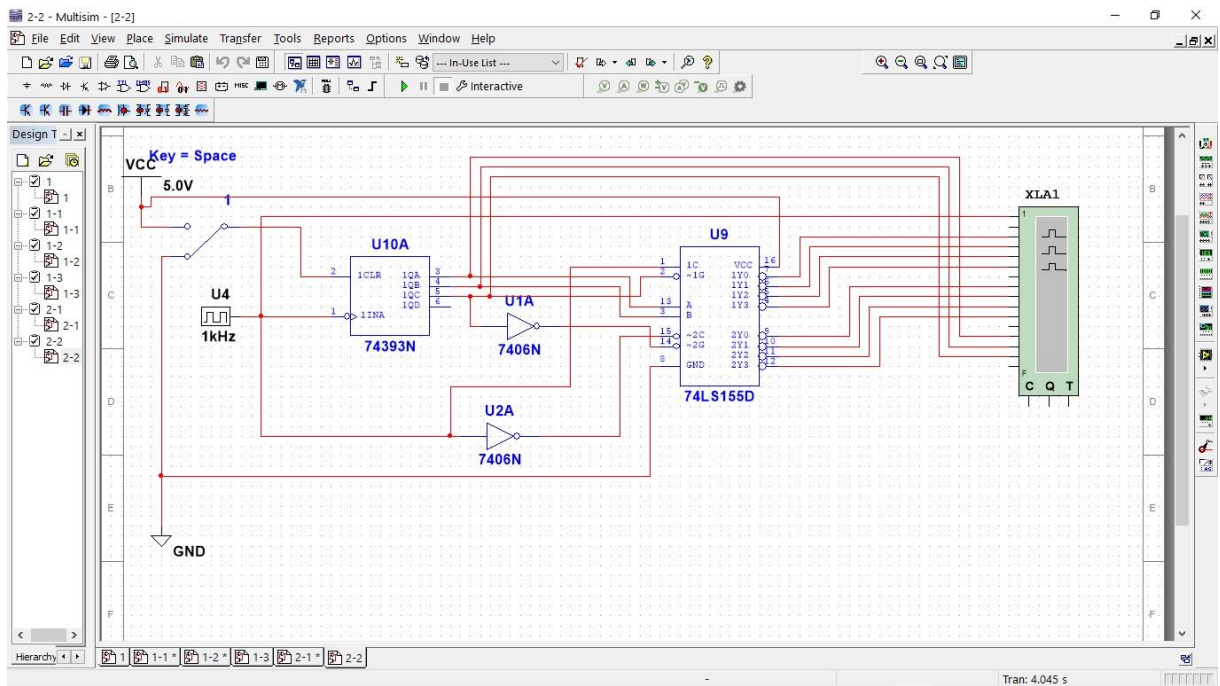


Схема трехвходового дешифратора на основе дешифратора К155ИД4:

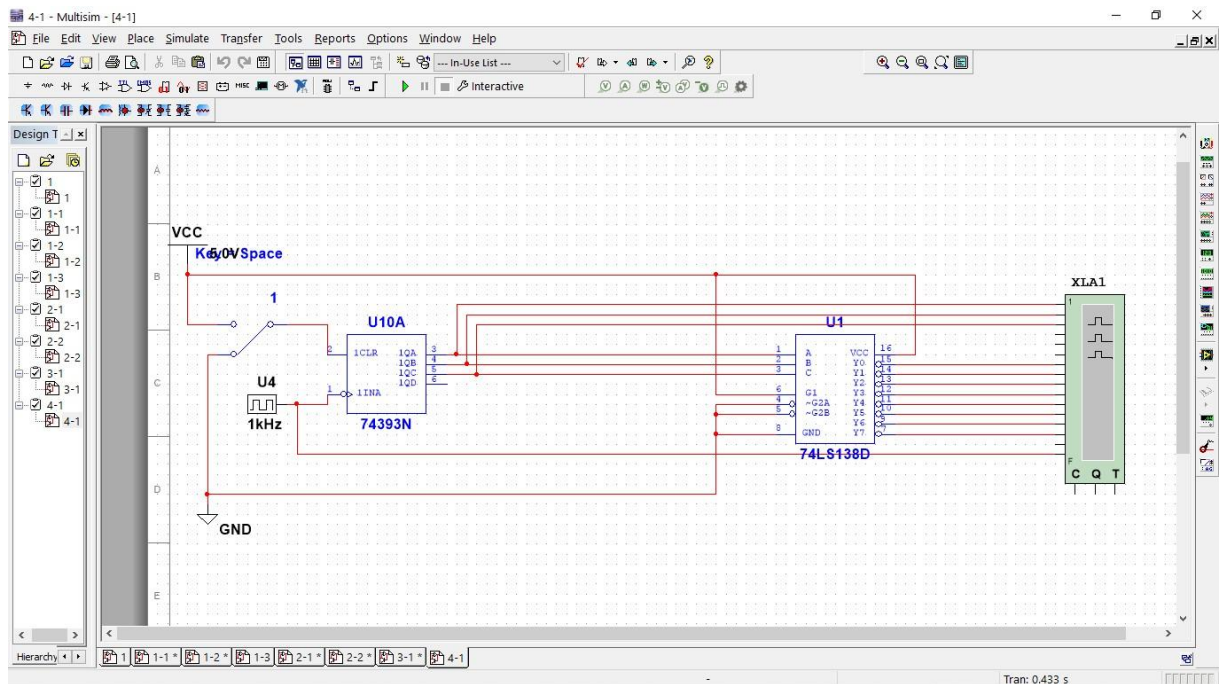


Временная диаграмма:



Таблица истинности:

A_2	A_1	A_0	F_0	F_1	F_2	F_3	F_4	F_5	F_6	F_7
0	0	0	0	1	1	1	1	1	1	1
0	0	1	1	0	1	1	1	1	1	1
0	1	0	1	1	0	1	1	1	1	1
0	1	1	1	1	1	0	1	1	1	1
1	0	0	1	1	1	1	0	1	1	1
1	0	1	1	1	1	1	1	0	1	1
1	1	0	1	1	1	1	1	1	0	1



Временная диаграмма:

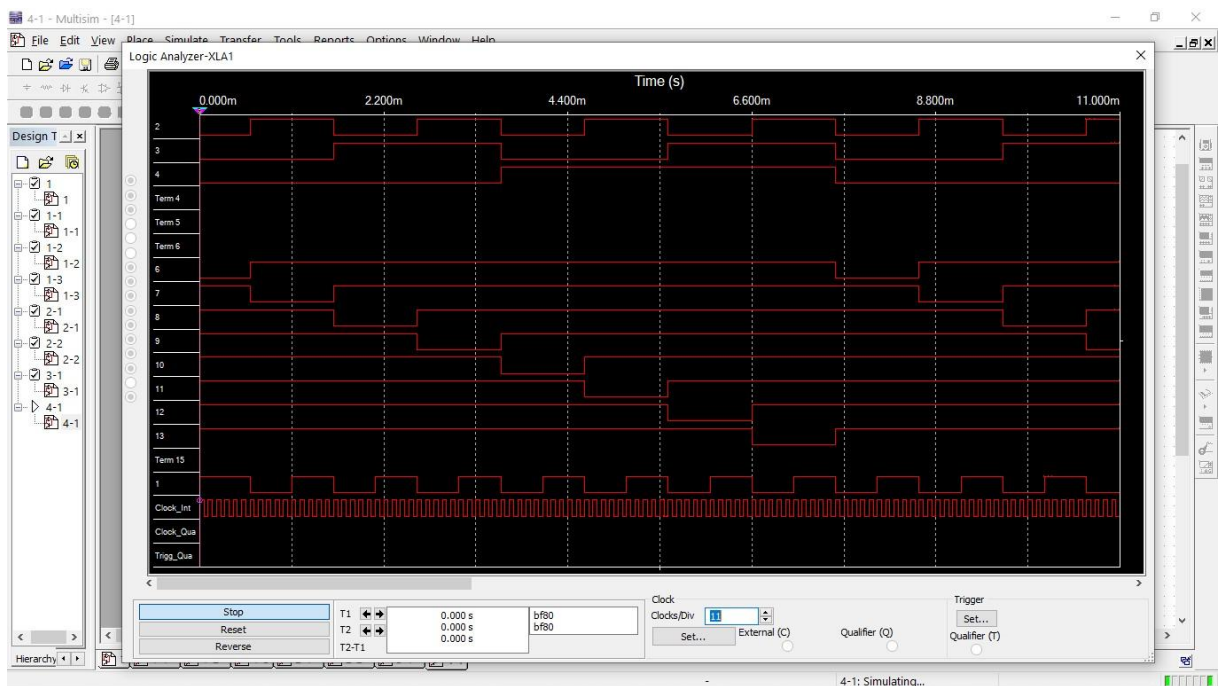
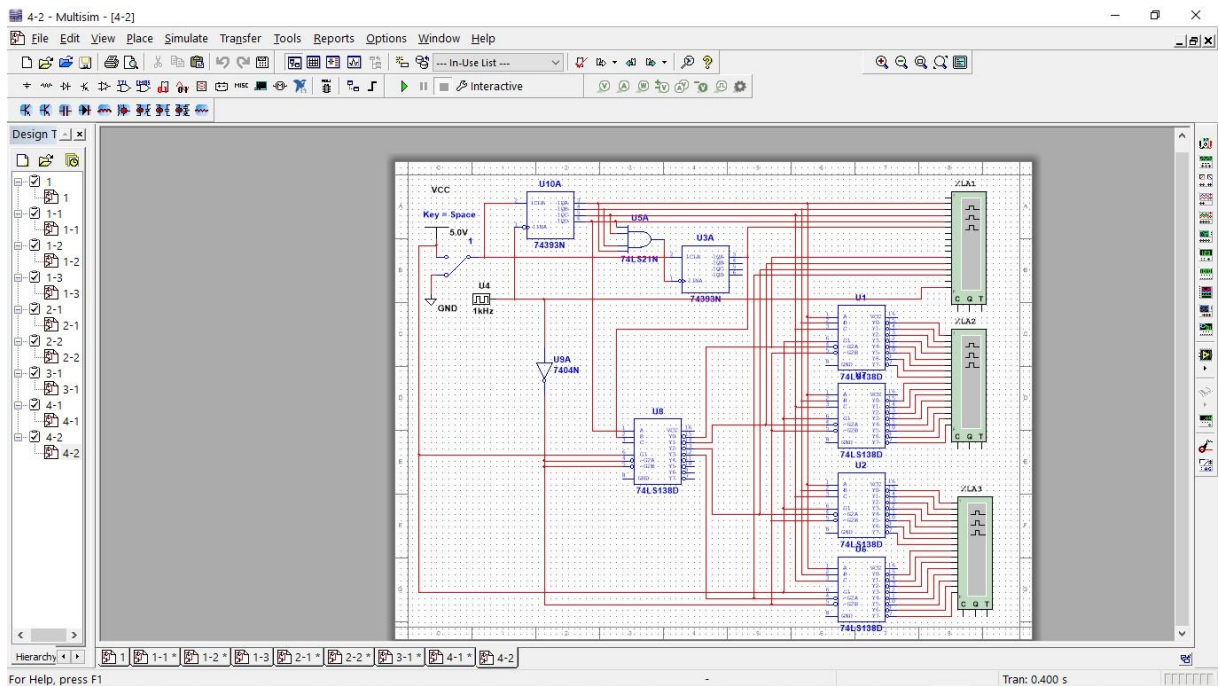
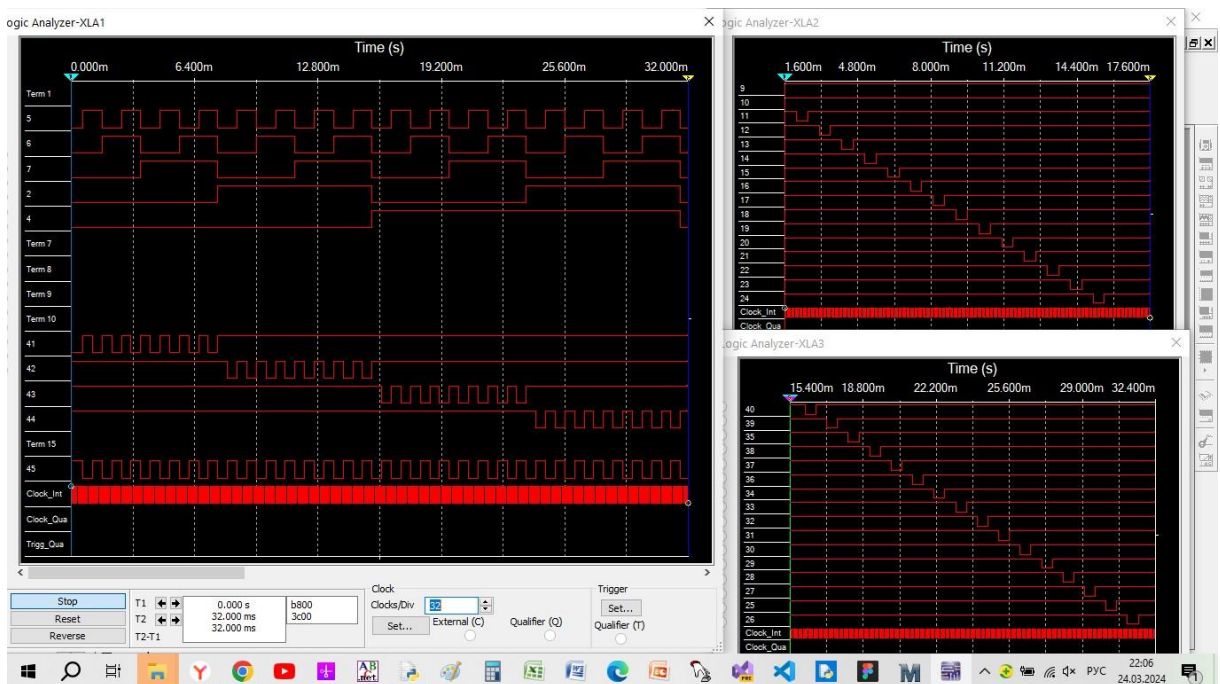


Схема дешифратора DC 5-32:



Временная диаграмма:



Контрольные вопросы

1. Что называется дешифратором?

Дешифратором называется комбинационный узел с n входами и N выходами, преобразующий каждый набор двоичных входных сигналов в активный сигнал на выходе, соответствующий этому набору.

2. Какой дешифратор называется полным (неполным)?

Дешифратор, имеющий 2^n выходов, называется полным, при меньшем числе выходов - неполным.

3. Определите закон функционирования дешифратора аналитически и таблично.

Функционирование дешифратора DC n-N определяется таблицей истинности:

Входы							Выходы					
EN	A_{n-1}	A_{n-2}	A_{n-3}	...	A_1	A_0	F_0	F_1	F_2	...	F_{N-2}	F_{N-1}
0	×	×	×	...	×	×	0	0	0	...	0	0
1	0	0	0	...	0	1	1	0	0	...	0	0
1	0	0	0	...	1	0	0	1	0	...	0	0
1	0	0	0	...	0	0	0	0	1	...	0	0
.
.
.
1	1	1	1		1	0	0	0	0		1	0
1	1	1	1		1	1	0	0	0		0	1

Аналитическое описание дешифратора можно представить совокупностью логических функций в СДНФ:

$$F_0 = EN * \neg A_{n-1} * \neg A_{n-2} * \dots * \neg A_i * \neg A_1 * \neg A_0,$$

$$F_1 = EN * \neg A_{n-1} * \neg A_{n-2} * \dots * \neg A_i * \neg A_1 * A_0,$$

$$F_2 = EN * \neg A_{n-1} * \neg A_{n-2} * \dots * \neg A_i * A_1 * \neg A_0,$$

$$\dots$$

$$F_{N-2} = EN * A_{n-1} * A_{n-2} * \dots * A_i * A_1 * \neg A_0,$$

$$F_{N-1} = EN * A_{n-1} * A_{n-2} * \dots * A_i * A_1 * A_0,$$

где A_i ($i = 0 \dots (n - 1)$) i - входные сигналы (переменные) дешифратора,

F_j ($j = 0 \dots (N - 1)$) j - выходные сигналы (функции) дешифратора,

EN- сигнал разрешения (стробирования) работы дешифратора.

Функции являются также минимальными ДНФ и минимальными КНФ.

4. Поясните основные способы построения дешифраторов.

Схемы построения дешифратора. По способу построения дешифраторы разделяют на линейные и каскадные. Разновидностями последних

являются пирамидальные и ступенчатые дешифраторы. Линейный дешифратор строится в соответствии с системой функцией (1) и представляет собой 2^n конъюнкторов или логических элементов (ЛЭ) ИЛИ-НЕ с n -входами каждый при отсутствии стробирования и с $(n+1)$ входами - при его наличии.

Пирамидальный дешифратор. Строится на основе последовательной (каскадной) реализации выходных функций. На первом этапе реализуются конъюнкции двух переменных. На втором – все конъюнкции трех переменных путем логического умножения каждой ранее полученной конъюнкции двух переменных на переменную A_2 ($\neg A_2$). На третьем этапе каждую из полученных выше конъюнкций трех переменных умножают на A_3 ($\neg A_3$) и т.д. Таким образом, на каждом следующем этапе получают вдвое больше конъюнкций, чем на предыдущем. Пирамидальные дешифраторы независимо от числа их входов строятся на основе только двухвходовых конъюнкторов.

5. Что называется гонками и как устраняются ложные сигналы, вызванные гонками?

Вследствие переходных процессов и временных задержек сигналов в цепях логических элементов могут возникнуть так называемые гонки (состязания), приводящие к появлению ложных сигналов на выходах схемы. Основным средством, позволяющим исключить гонки, является стробирование (выделение из информационного сигнала той части, которая свободна от искажений, вызываемых гонками). На рис. 1 показан вход разрешения EN . Стробирующий сигнал на этом входе не должен быть активным во время переходных процессов в дешифраторе.

6. Каковы способы наращивания дешифраторов по количеству входов и выходов и как они реализуются схемотехнически?

Принцип наращивания числа адресных входов дешифратора.

Пусть для построения сложного дешифратора $DC\ n-N$ используются простые дешифраторы $DC\ n_1-N_1$, причем $n_1\ n$, следовательно и $N_1\ N$.

1. Число каскадов равно $K = n/n_1$. Если K – целое число, то во всех каскадах используются полные дешифраторы $DC\ n_1-N_1$. Если K – правильная или смешанная дробь, то во входном каскаде используется неполный дешифратор $DC\ n_1-N_1$.

2. Количество простых дешифраторов DC n_1-N_1 в выходном каскаде равно N/N_1 , в предвыходном - $N/N_1 - 2$, в предпредвыходном - $N/N_1 - 3$ и т.д.; во входном каскаде - $N/N_1 - k$. Если $N/N_1 - k$ – правильная дробь, то это означает, что во входном каскаде используется неполный простой дешифратор.

3. В выходном каскаде дешифрируются n_1 младших разрядов адреса сложного дешифратора, в предвыходном – следующие n_1 младших разрядов адреса сложного дешифратора и т.д. Во входном каскаде дешифрируется полная или неполная группа старших разрядов адреса. Поэтому n_1 младших разрядов адреса сложного дешифратора подаются параллельно на адресные входы всех дешифраторов выходного каскада, следующие n_1 младших разрядов адреса – на адресные входы всех дешифраторов предвыходного каскада и т.д.; группа старших разрядов адреса подается на адресные входы дешифратора.

4. Выходы дешифраторов предвыходного каскада соединяются с входами разрешения простых дешифраторов выходного каскада, выходы дешифраторов предпредвыходного каскада – с входами разрешения простых дешифраторов предвыходного каскада и т.д.

Также для наращивания дешифратора используется стробирующий вход.