



Министерство науки и высшего образования Российской Федерации
Федеральное государственное бюджетное образовательное учреждение
высшего образования
«Московский государственный технический университет
имени Н.Э. Баумана
(национальный исследовательский университет)»
(МГТУ им. Н.Э. Баумана)

ФАКУЛЬТЕТ ИНФОРМАТИКА И СИСТЕМЫ УПРАВЛЕНИЯ

КАФЕДРА КОМПЬЮТЕРНЫЕ СИСТЕМЫ И СЕТИ (ИУ6)

НАПРАВЛЕНИЕ ПОДГОТОВКИ 09.03.01 Информатика и вычислительная техника

О т ч е т

по лабораторной работе № 4

Название: ИССЛЕДОВАНИЕ МУЛЬТИПЛЕКСОРОВ

Дисциплина: Архитектура ЭВМ

Вариант: 15

Студент гр. ИУ7-45Б

(Подпись, дата)

О.Н.Талышева

(И.О. Фамилия)

Преподаватель

(Подпись, дата)

А.Ю. Попов

(И.О. Фамилия)

2024 год

Цель работы: изучение принципов построения, практического применения и экспериментального исследования мультиплексоров.

В процессе выполнения лабораторной работы было сделано:

1. Исследование ИС ADG508 в качестве коммутатора MUX 8 – 1 цифровых сигналов:

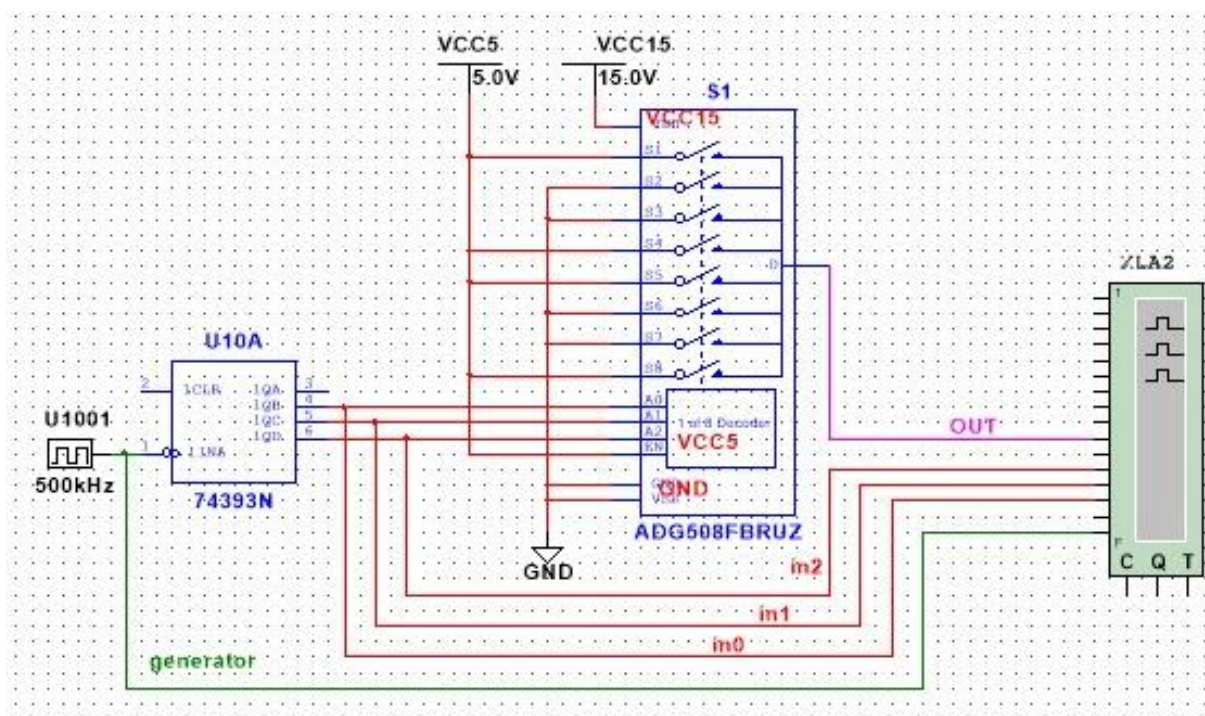
а) на информационные входы D0 ...D7 мультиплексора подать комбинацию сигналов, заданную преподавателем из табл. 2. Логические уровни 0 и 1 задавать источниками напряжения $U=5\text{ В}$ и 0 В (общая);

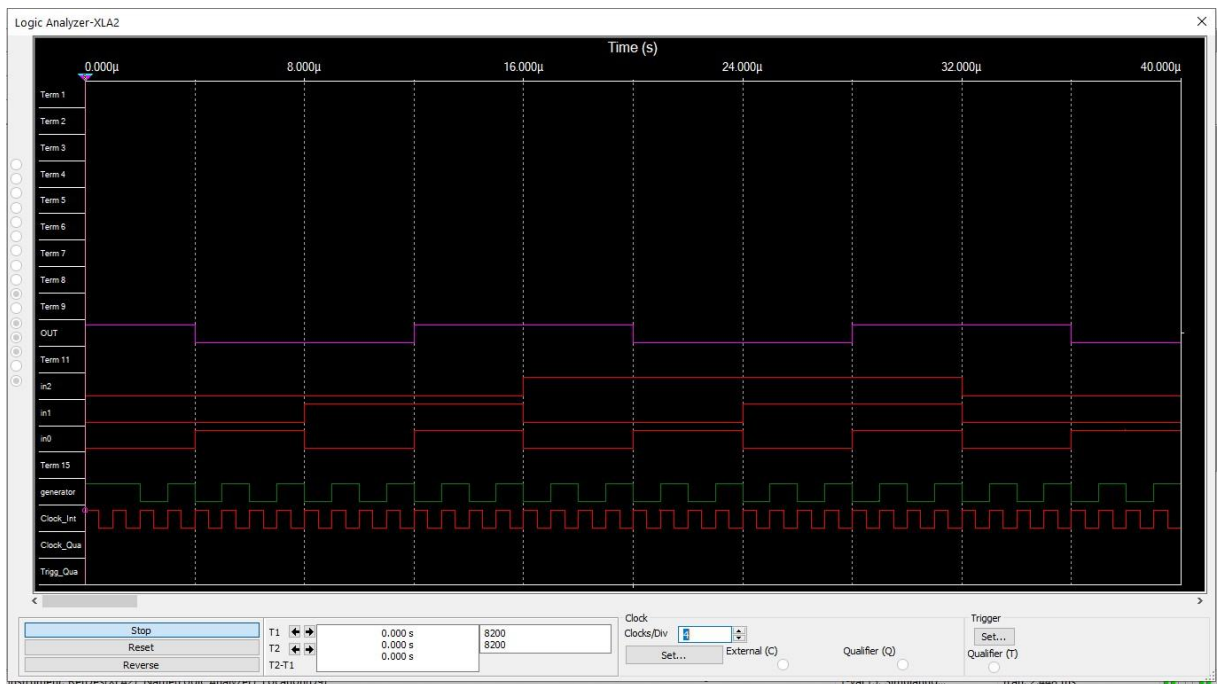
Вариант 15: *10011001*

D0	D1	D2	D3	D4	D5	D6	D7
1	0	0	1	1	0	0	1

б) на адресные входы A2, A1, A0 подать сигналы Q3, Q2, Q1 соответственно с выходов 4-разрядного двоичного счетчика (младший разряд – Q0). На вход счетчика подать импульсы генератора с частотой 500 кГц.

в) снять временную диаграмму сигналов при $EN=1$ и провести ее анализ. Наблюдение сигналов выполнить на логическом анализаторе.





2. Исследование ИС ADG508 в качестве коммутатора MUX 8 – 1 аналоговых сигналов:

а) на информационные входы D0 ...D7 мультиплексора подать дискретные уровни напряжений с источников напряжения UCC (приложение Multisim):

0 В; 0.7 В; 1.4 В; 2.1 В; 2.8 В; 3.5 В; 4.2 В; 5.0 В;

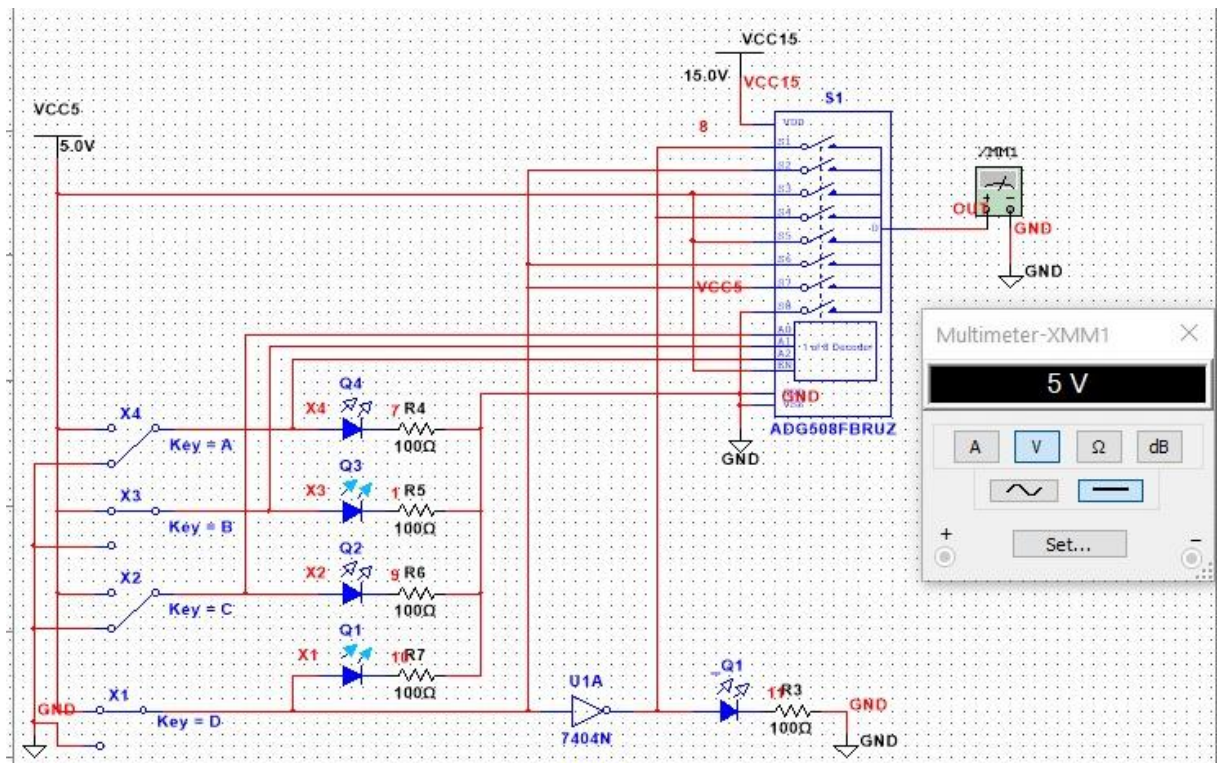
б) на адресные входы A2, A1, A0 подать сигналы Q3, Q2, Q1 соответственно с выходов 4-разрядного двоичного счетчика (младший разряд – Q0). На вход счетчика подать импульсы генератора с частотой 500 кГц;

в) снять временную диаграмму сигналов при EN=1 и провести ее анализ. Наблюдение сигналов выполнить на логическом анализаторе, выходного сигнала мультиплексора – на логическом анализаторе и осциллографе. Совместить развертки сигналов, регистрируемых логическим анализатором и осциллографом

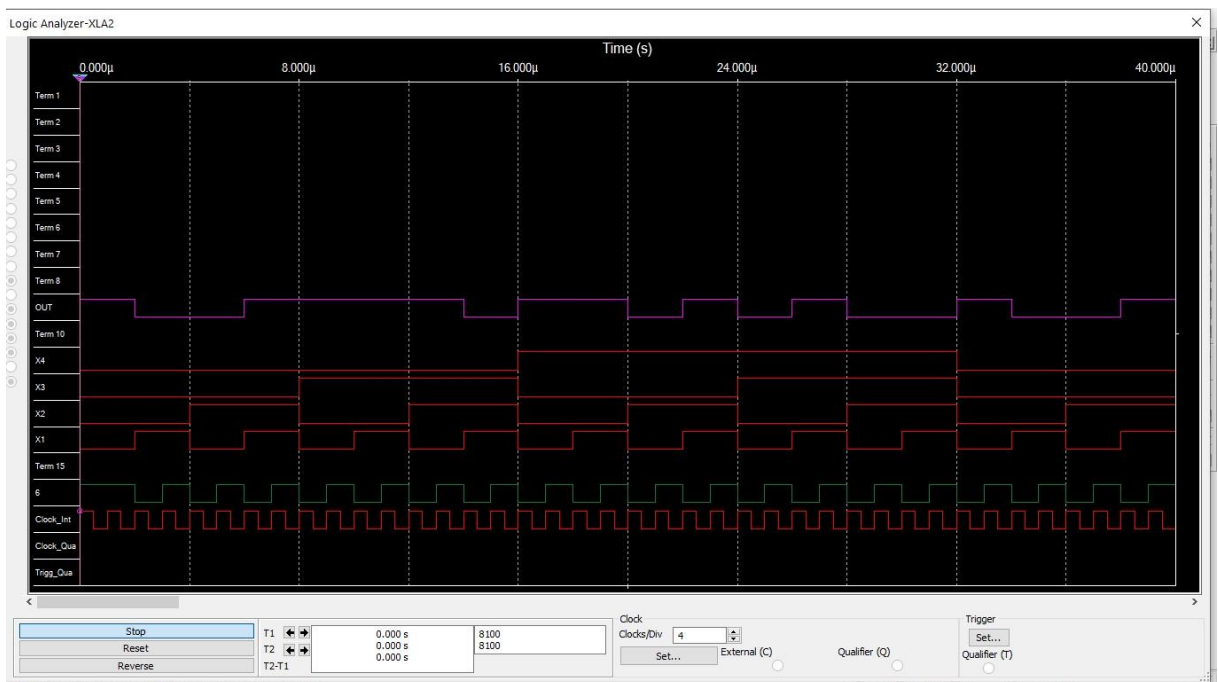
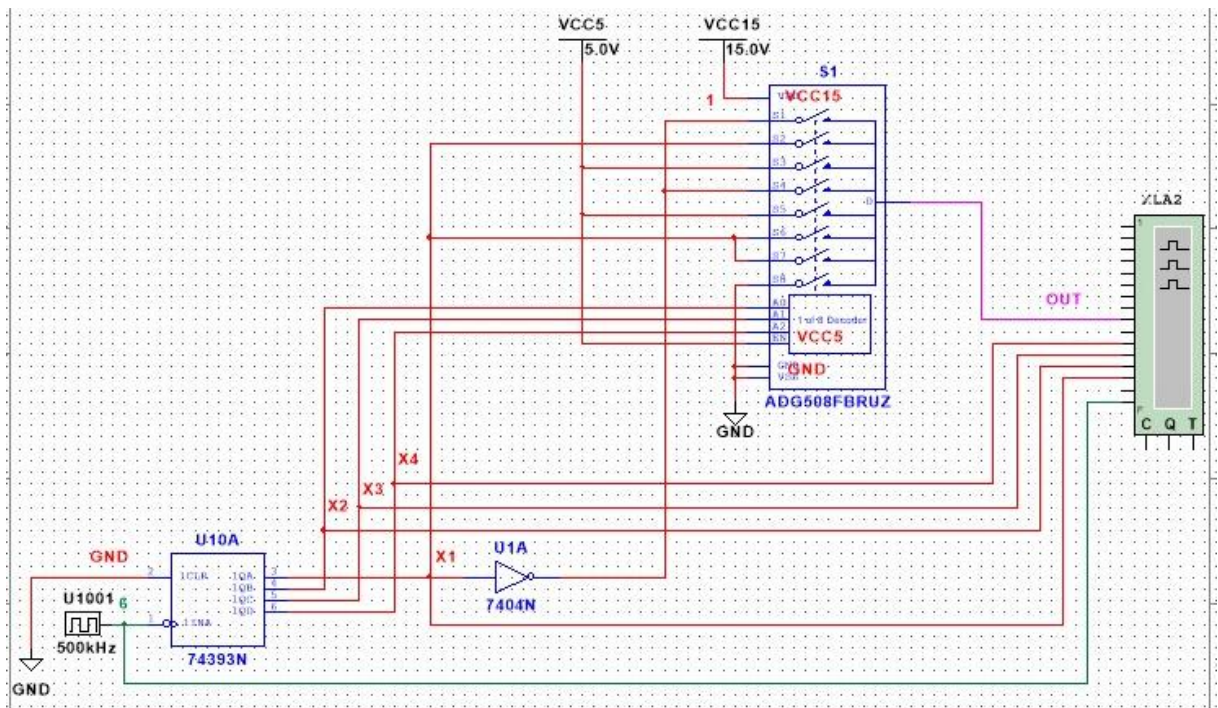
вариант 15: $f(X4,X3,X2,X1)=1001111011010100$ (0,3,4,5,6,8,9,11,13)

X4	X3	X2	X1	f		примечания
0	0	0	0	1	0	D0= ~X1
0	0	0	1	0	1	
0	0	1	0	0	2	D1= X1
0	0	1	1	1	3	
0	1	0	0	1	4	D2= 1
0	1	0	1	1	5	
0	1	1	0	1	6	D3= ~X1
0	1	1	1	0	7	
1	0	0	0	1	8	D4= 1
1	0	0	1	1	9	
1	0	1	0	0	10	D5= X1
1	0	1	1	1	11	
1	1	0	0	0	12	D6= X1
1	1	0	1	1	13	
1	1	1	0	0	14	D7= 0
1	1	1	1	0	15	

Проверить работу формирователя в статическом режиме:



Проверить работу формирователя в динамическом режимах. Снять временную диаграмму сигналов формирователя ФАЛ и провести ее анализ.



4. Нарастивание мультиплексора.

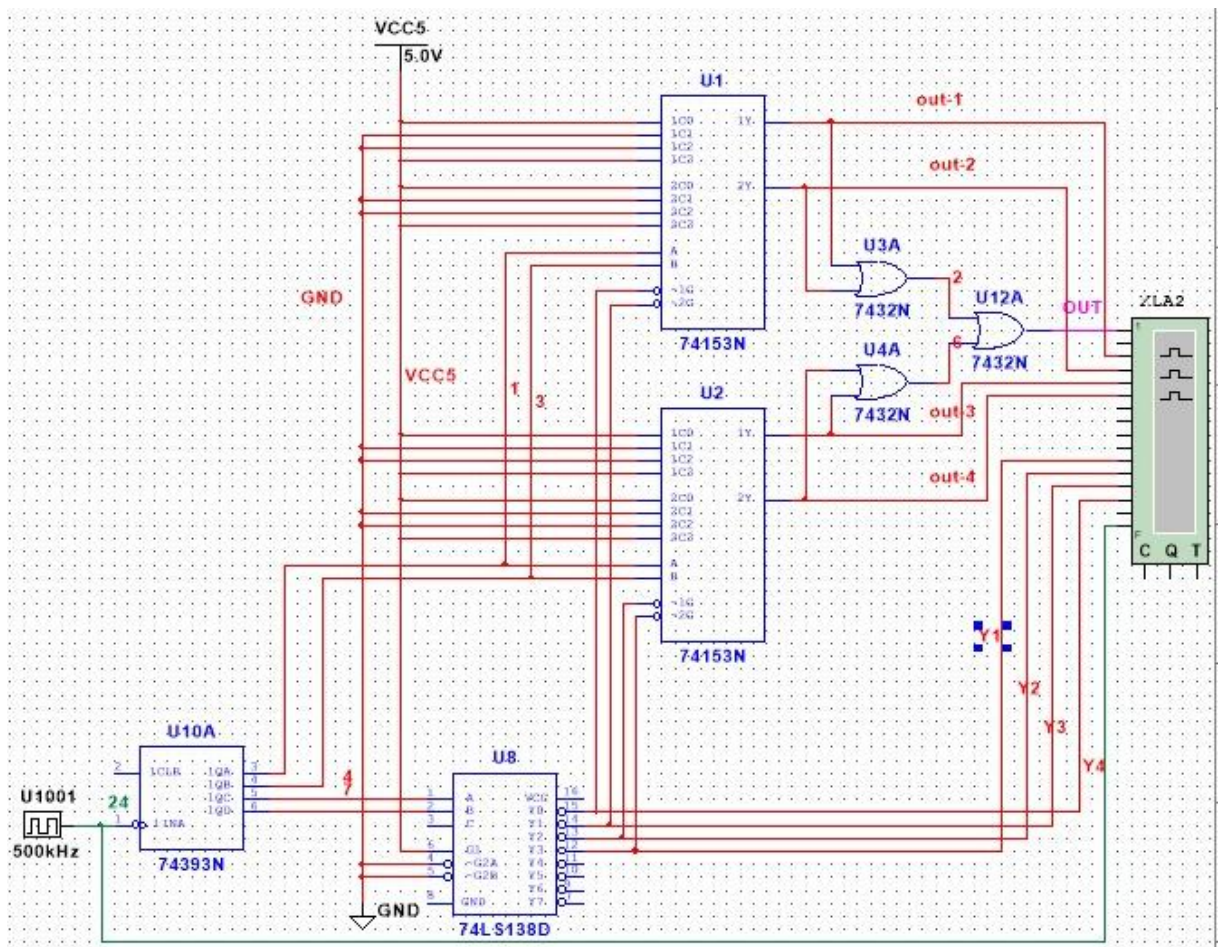
Построить схему мультиплексора MUX 16 – 1 на основе простого мультиплексора MUX 4 – 1 и дешифратора DC 2-4 (второй вариант нарастивания).

Исследовать мультиплексора MUX 16 – 1 в динамическом режиме.

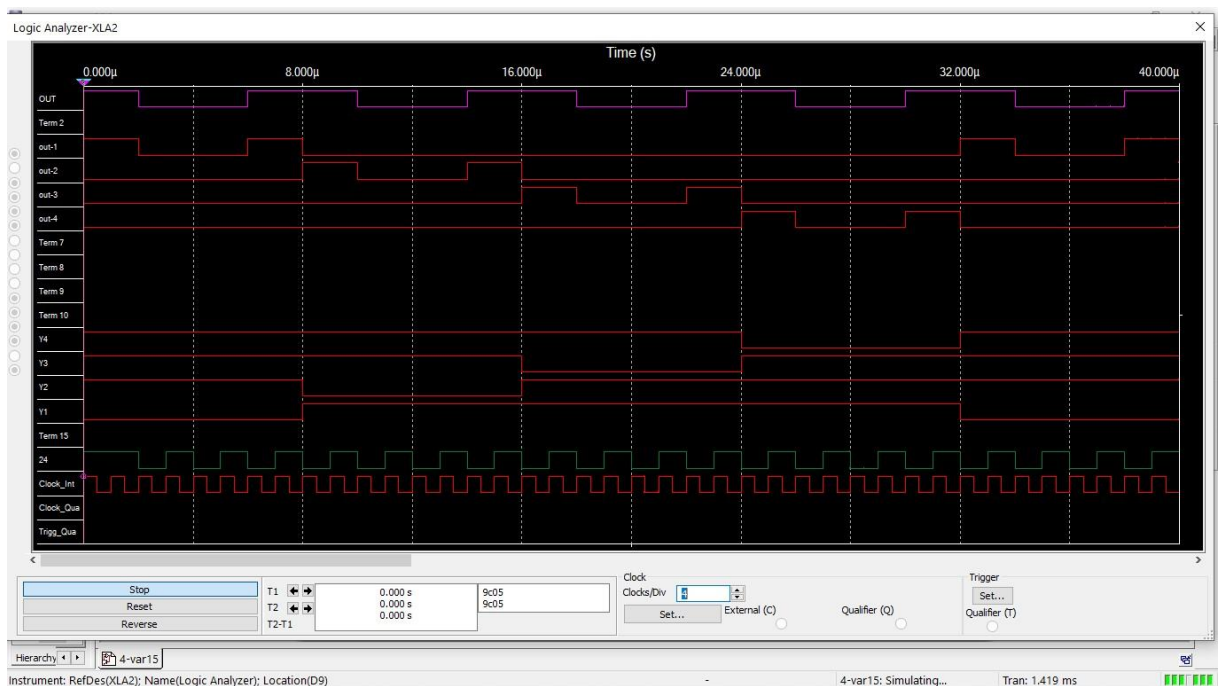
На адресные входы подать сигналы с 4-разрядного двоичного счетчика, на информационные входы D0 ...D15 – из табл. 2.

Вариант 15: *1001100110011001*

D0	D1	D2	D3	D4	D5	D6	D7	D8	D9	D10	D11	D12	D13	D14	D15
1	0	0	1	1	0	0	1	1	0	0	1	1	0	0	1



Провести анализ временной диаграммы сигналов мультиплексора MUX 16–1.



Выводы: В ходе выполнения лабораторной работы я изучила принципы построения, практического применения и экспериментального исследования мультиплексоров. По полученным временным диаграммам можно сделать вывод, что мультиплексор ADG508 демонстрирует высокую эффективность и точность при коммутации сигналов, что делает его подходящим для широкого спектра применений в цифровых и аналоговых системах.

Контрольные вопросы

1. Что такое мультиплексор?

Мультиплексор – это функциональный узел, имеющий n адресных входов и $N=2^n$ информационных входов и выполняющий коммутацию на выход того информационного сигнала, адрес (т.е. номер) которого установлен на адресных входах. Иначе мультиплексор – это адресный коммутатор.

2. Какую логическую функцию выполняет мультиплексор?

Мультиплексор выполняет логическую функцию коммутации, т.е. выбор одного из входов и передачу его на выход в зависимости от значения сигналов на входах управления.

3. Каково назначение и использование входа разрешения?

Вход разрешения (иногда называемый также входом enable) используется для разрешения работы мультиплексора. Если сигнал на входе разрешения равен 1, мультиплексор будет работать, иначе выход будет равен 0, независимо от значений на входах данных.

4. Какие функции может выполнять мультиплексор?

Мультиплексоры широко применяются для построения:

- коммутаторов-селекторов,
- постоянных запоминающих устройств емкостью бит,
- комбинационных схем, реализующих функции алгебры логики,
- преобразователей кодов (например, параллельного кода в последовательный) и других узлов.

5. Какие способы наращивания мультиплексоров?

ИС Мультиплексоры, выпускаемые в виде самостоятельных ИС, имеют число информационных входов не более шестнадцати. Наращивание числа коммутируемых каналов выполняется двумя способами:

- по пирамидальной схеме соединения мультиплексоров меньшей размерности,
- путем выбора мультиплексора группы информационных входов по адресу (т.е. номеру) мультиплексора с помощью дешифратора адреса

мультиплексора группы, а затем выбором информационного сигнала мультиплексором группы по адресу информационного сигнала в группе. Информационные входы разделяются на группы по N_1 входов в каждой. Информационные входы каждой группы являются входами простого мультиплексора. Информационным входам и группам присваиваются адреса. В первой ступени пирамидальной схемы число простых мультиплексоров равно $(N : N_1)$, N и N_1 – число входов сложного (наращиваемого) и простого мультиплексоров. Младшие n_1 разрядов кода адреса подаются на адресные входы всех мультиплексоров первой ступени, следующие n_1 разрядов кода адреса подаются на адресные входы всех мультиплексоров второй 38 ступени и т.д. Обычно количество ступеней две, реже – три и более. В первой ступени в каждом мультиплексоре выбираются информационные каналы согласно младшим n_1 разрядам адреса и коммутируются на информационные входы мультиплексоров второй ступени и т.д

6. Поясните методику синтеза формирователя ФАЛ на мультиплексоре?

На основе мультиплексора, имеющего n адресных входов, можно реализовать ФАЛ $(n+1)$ переменных. Реализация ФАЛ n переменных на мультиплексоре с n адресными входами тривиальна: на адресные входы подаются переменные, на информационные входы – значения ФАЛ на соответствующих наборах переменных. На выходе мультиплексора образуются значения ФАЛ в соответствии с наборами переменных. В этом случае мультиплексор выполняет функцию ПЗУ. Для реализации ФАЛ $n+1$ переменных на адресные входы мультиплексора подаются n переменных, на информационные входы – $(n+1)$ -я переменная или ее инверсия, константы 0 или 1 в соответствии со значениями ФАЛ.

7. Почему возникают ложные сигналы на выходе мультиплексора? Как их устранить?

Ложные сигналы на выходе мультиплексора могут возникать из-за гонок входных сигналов. Время задержки распространения по каждому тракту передачи сигналов определяется временем задержки цепи последовательно включенных логических элементов соответствующего тракта. Для исключения на выходе ложных сигналов вход EN используется как стробирующий: для выделения полезного сигнала на вход EN подается сигнал в интервале времени, свободном от действия ложных сигналов.