1. Исследование ИС ADG508 в качестве коммутатора MUX 8 – 1 цифровых сигналов:

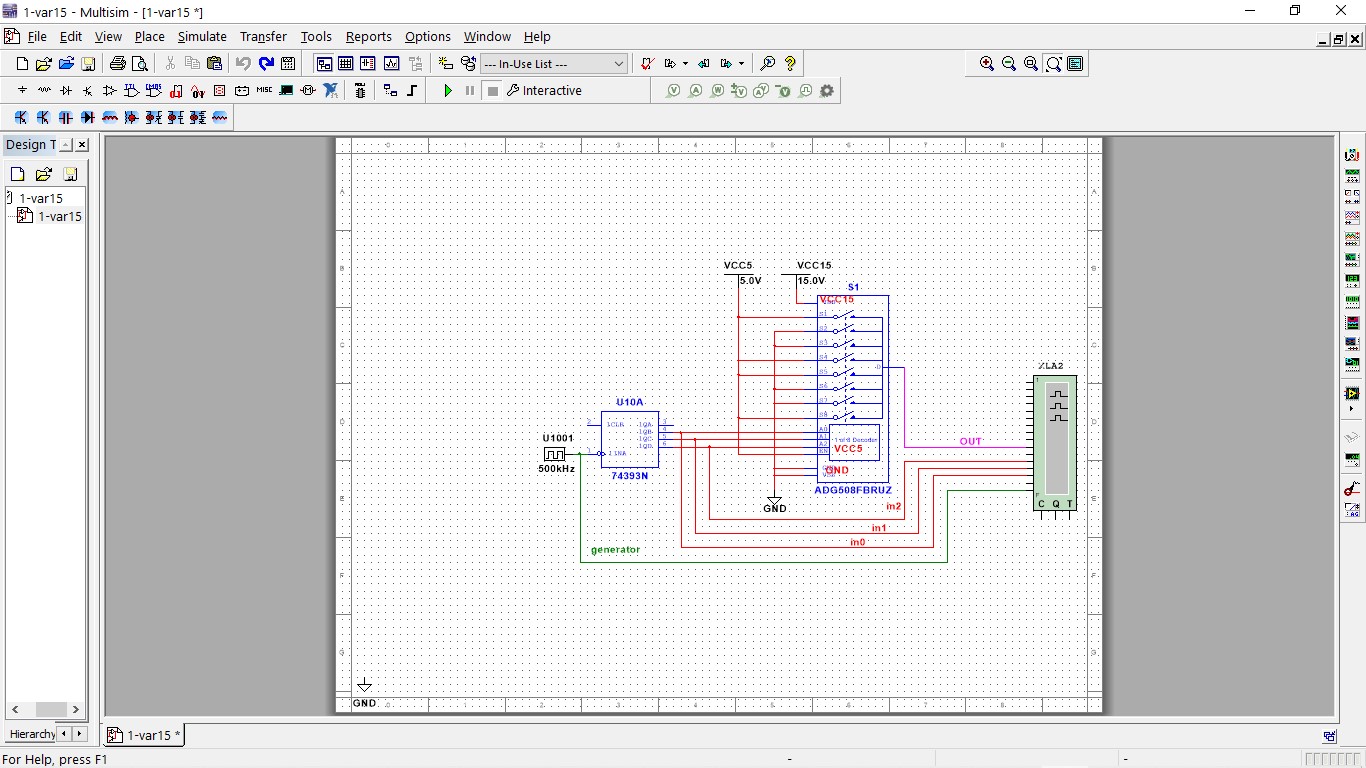
а) на информационные входы D0 …D7 мультиплексора подать комбинацию сигналов, заданную преподавателем из табл. 2. Логические уровни 0 и 1 задавать источниками напряжения U=5 В и 0 В (общая);

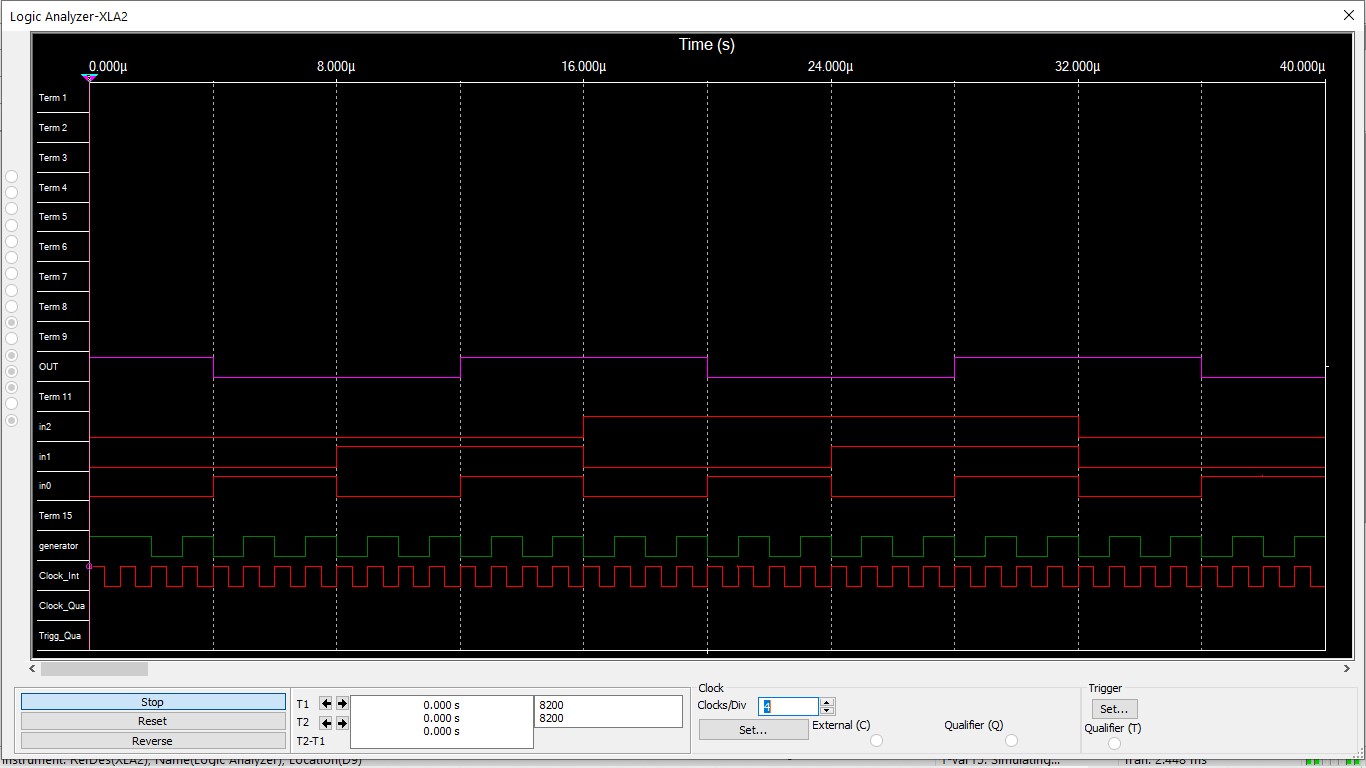
Вариант 15: *10011001*

|  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- |
| D0 | D1 | D2 | D3 | D4 | D5 | D6 | D7 |
| 1 | 0 | 0 | 1 | 1 | 0 | 0 | 1 |

б) на адресные входы А2, А1, А0 подать сигналы Q3, Q2. Q1 соответственно c выходов 4-разрядного двоичного счетчика (младший разряд – Q0). На вход счетчика подать импульсы генератора с частотой 500 кГц.

в) снять временную диаграмму сигналов при EN=1 и провести ее анализ. Наблюдение сигналов выполнить на логическом анализаторе.





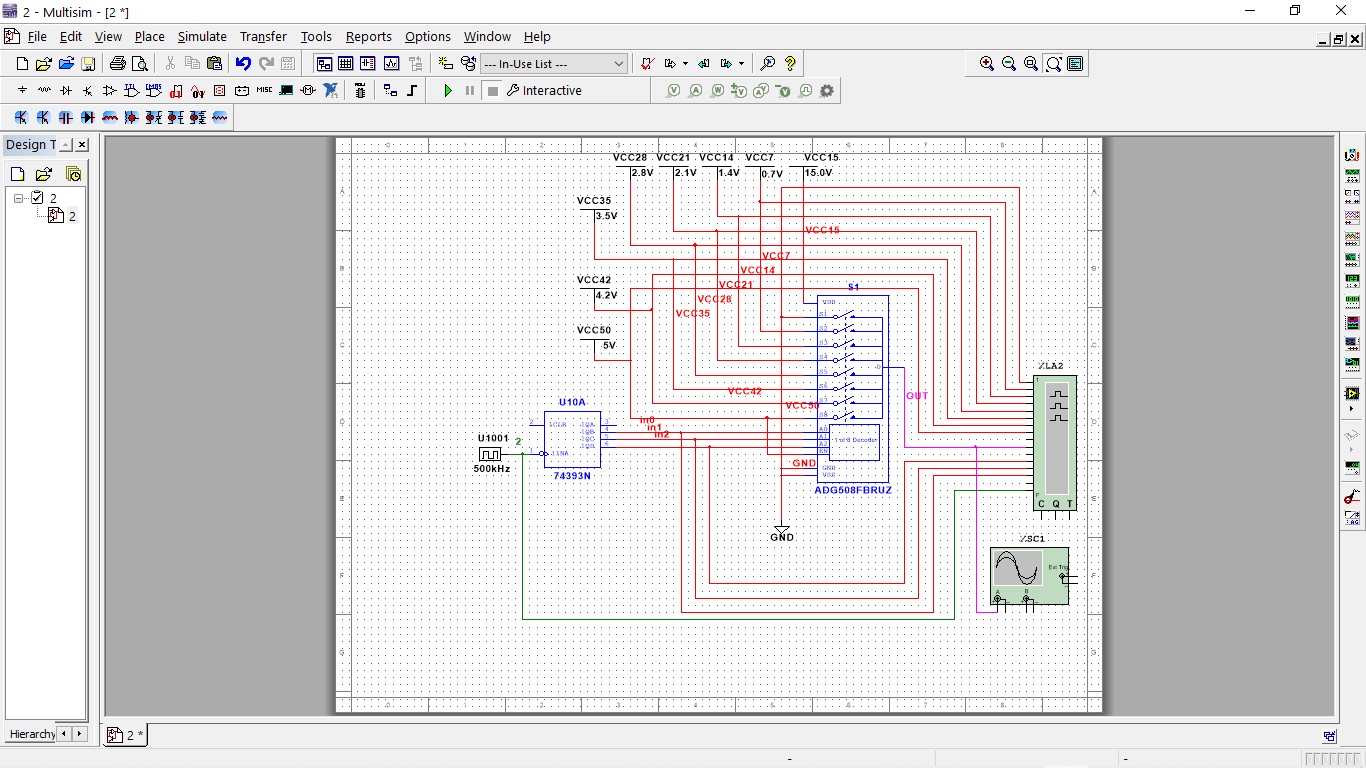
2. Исследование ИС ADG508 в качестве коммутатора MUX 8 – 1 аналоговых сигналов:

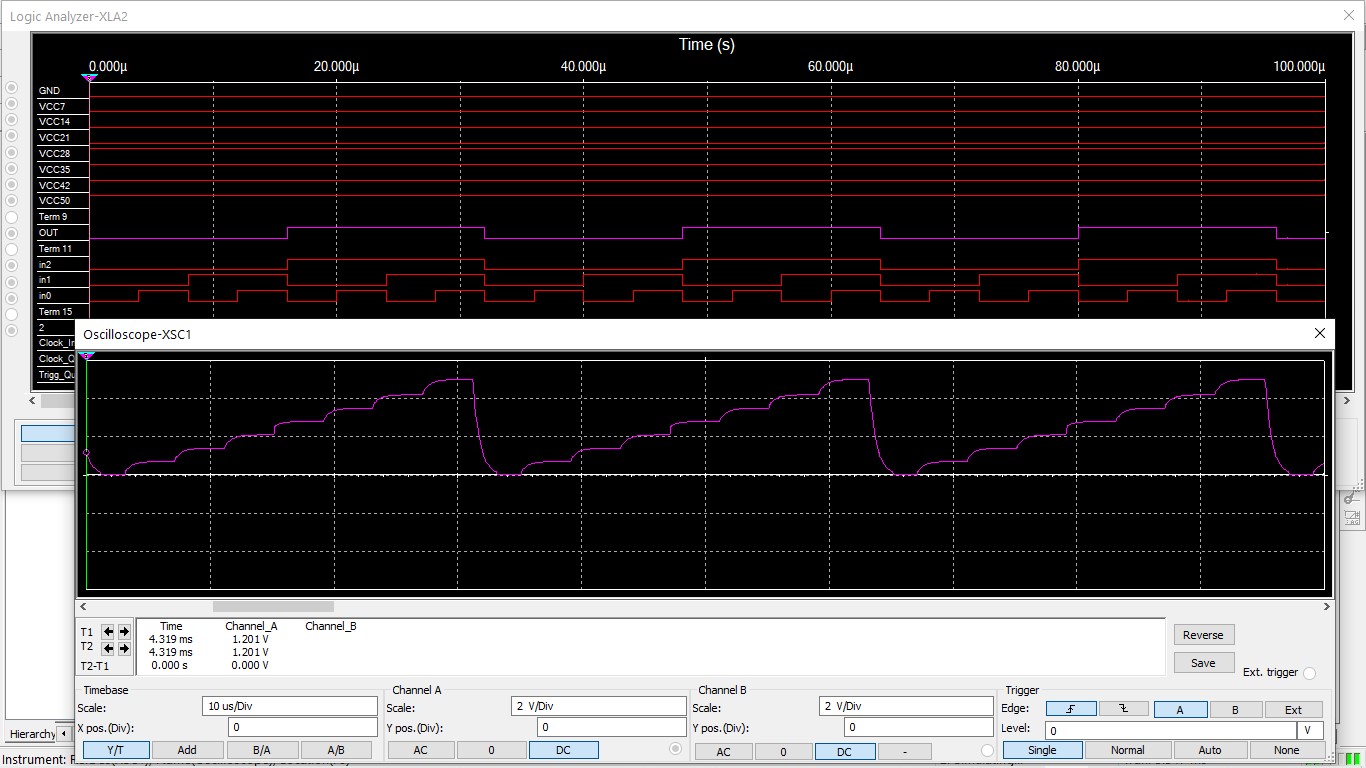
а) на информационные входы D0 …D7 мультиплексора подать дискретные уровни напряжений с источников напряжения UCC (приложение Мultisim):

0 В; 0.7 В; 1.4 В; 2.1 В; 2.8 В; 3.5 В; 4.2 В; 5.0 В;

б) на адресные входы А2, А1, А0 подать сигналы Q3, Q2. Q1 соответственно c выходов 4-разрядного двоичного счетчика (младший разряд – Q0). На вход счетчика подать импульсы генератора с частотой 500 кГц;

в) снять временную диаграмму сигналов при EN=1 и провести ее анализ. Наблюдение сигналов выполнить на логическом анализаторе, выходного сигнала мультиплексора – на логическом анализаторе и осциллографе. Совместить развертки сигналов, регистрируемых логическим анализатором и осциллографом



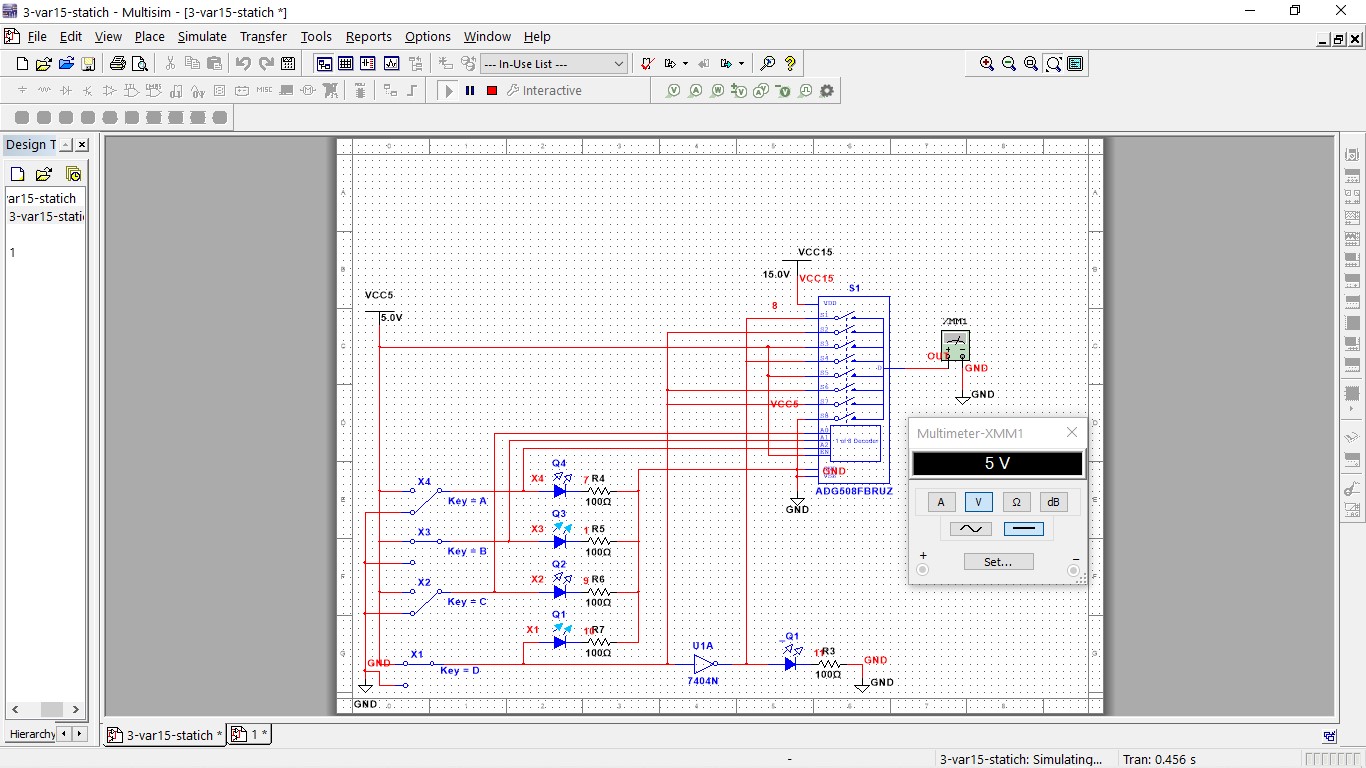


3. Исследование ИС ADG508 как коммутатора MUX 8 – 1 цифровых сигналов в качестве формирователя ФАЛ четырех переменных. ФАЛ задается преподавателем из табл. 2.

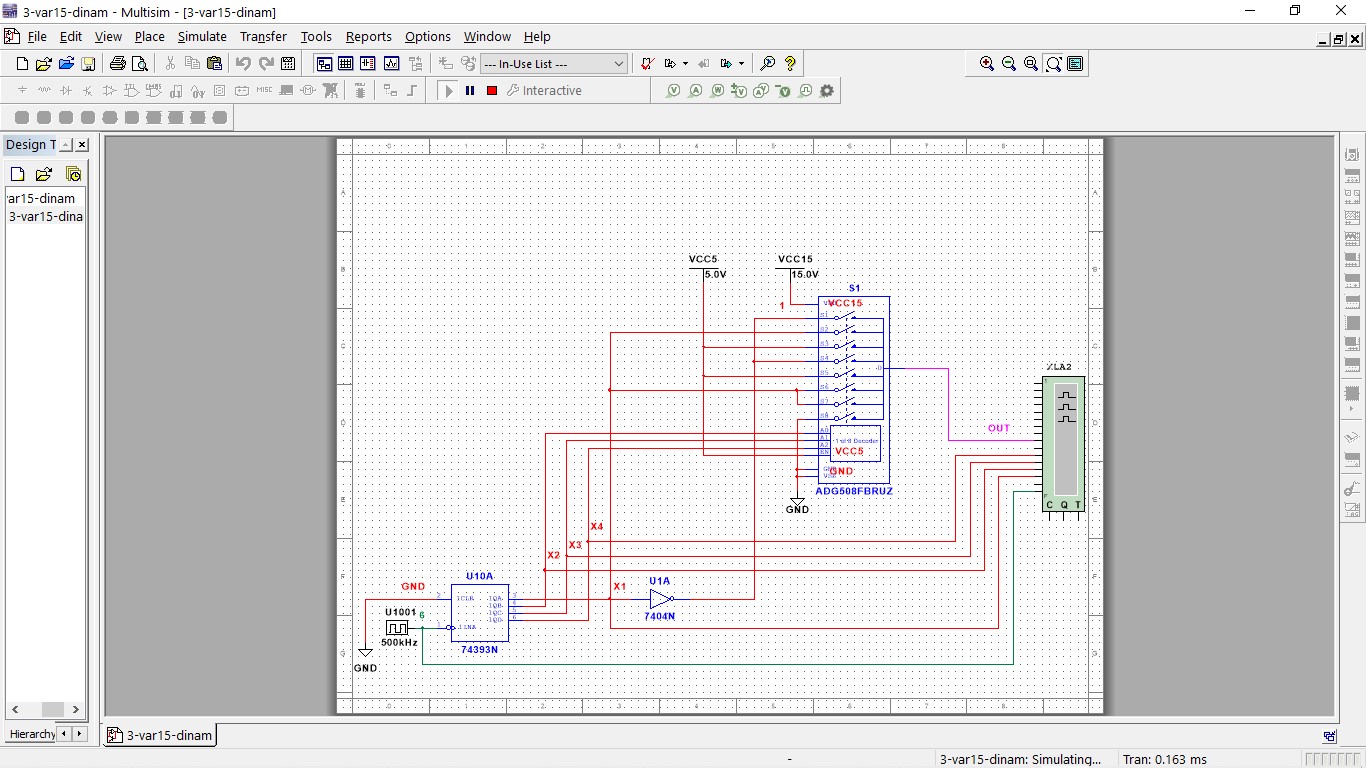
**вариант 15: *f(X4,X3,X2,X1)=1001111011010100 (0,3,4,5,6,8,9,11,13)***

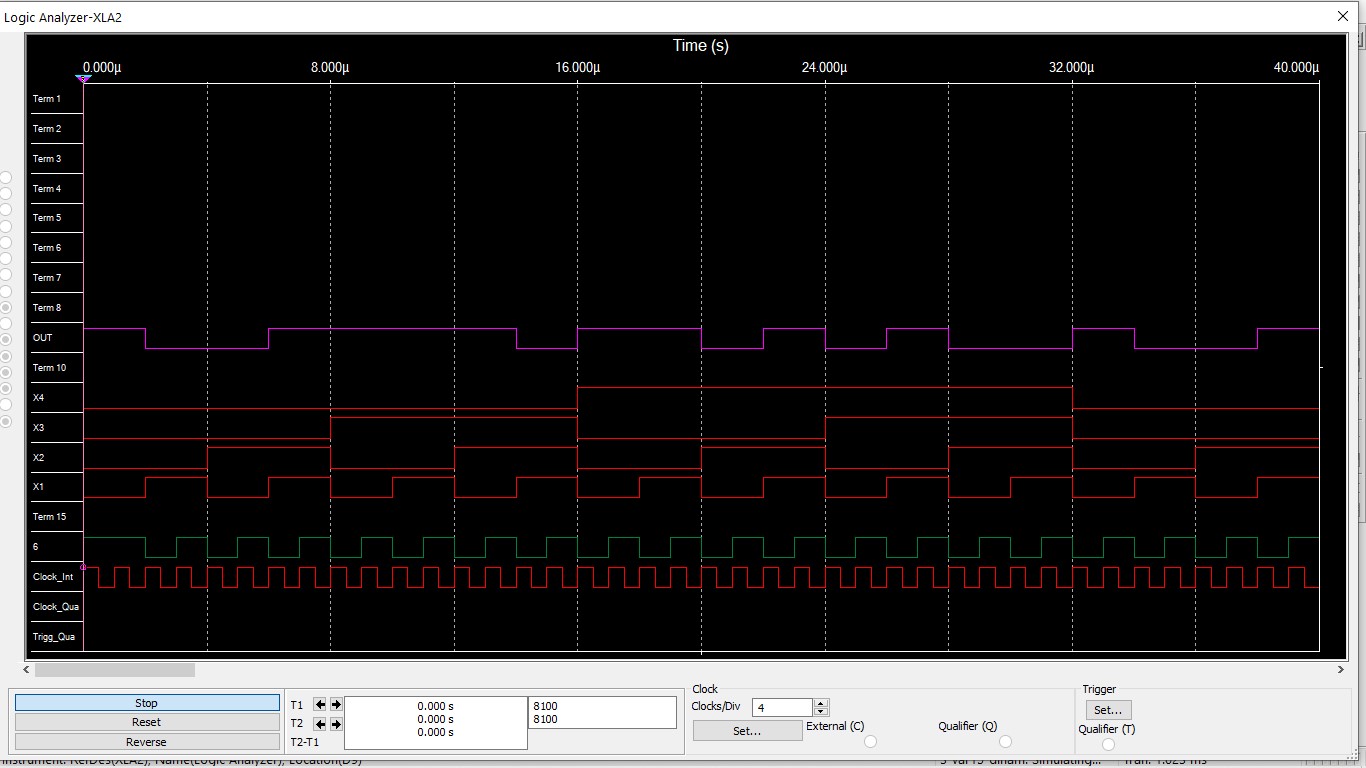
|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| **Х4** | **Х3** | **Х2** | **Х1** | ***f*** | | **примечания** |
| 0 | 0 | 0 | 0 | 1 | 0 | D0= ~X1 |
| 0 | 0 | 0 | 1 | 0 | 1 |
| 0 | 0 | 1 | 0 | 0 | 2 | D1= X1 |
| 0 | 0 | 1 | 1 | 1 | 3 |
| 0 | 1 | 0 | 0 | 1 | 4 | D2= 1 |
| 0 | 1 | 0 | 1 | 1 | 5 |
| 0 | 1 | 1 | 0 | 1 | 6 | D3= ~X1 |
| 0 | 1 | 1 | 1 | 0 | 7 |
| 1 | 0 | 0 | 0 | 1 | 8 | D4= 1 |
| 1 | 0 | 0 | 1 | 1 | 9 |
| 1 | 0 | 1 | 0 | 0 | 10 | D5= X1 |
| 1 | 0 | 1 | 1 | 1 | 11 |
| 1 | 1 | 0 | 0 | 0 | 12 | D6= X1 |
| 1 | 1 | 0 | 1 | 1 | 13 |
| 1 | 1 | 1 | 0 | 0 | 14 | D7= 0 |
| 1 | 1 | 1 | 1 | 0 | 15 |

Проверить работу формирователя в статическом режиме:



Проверить работу формирователя в динамическом режимах. Снять временную диаграмму сигналов формирователя ФАЛ и провести ее анализ.





4. Наращивание мультиплексора.

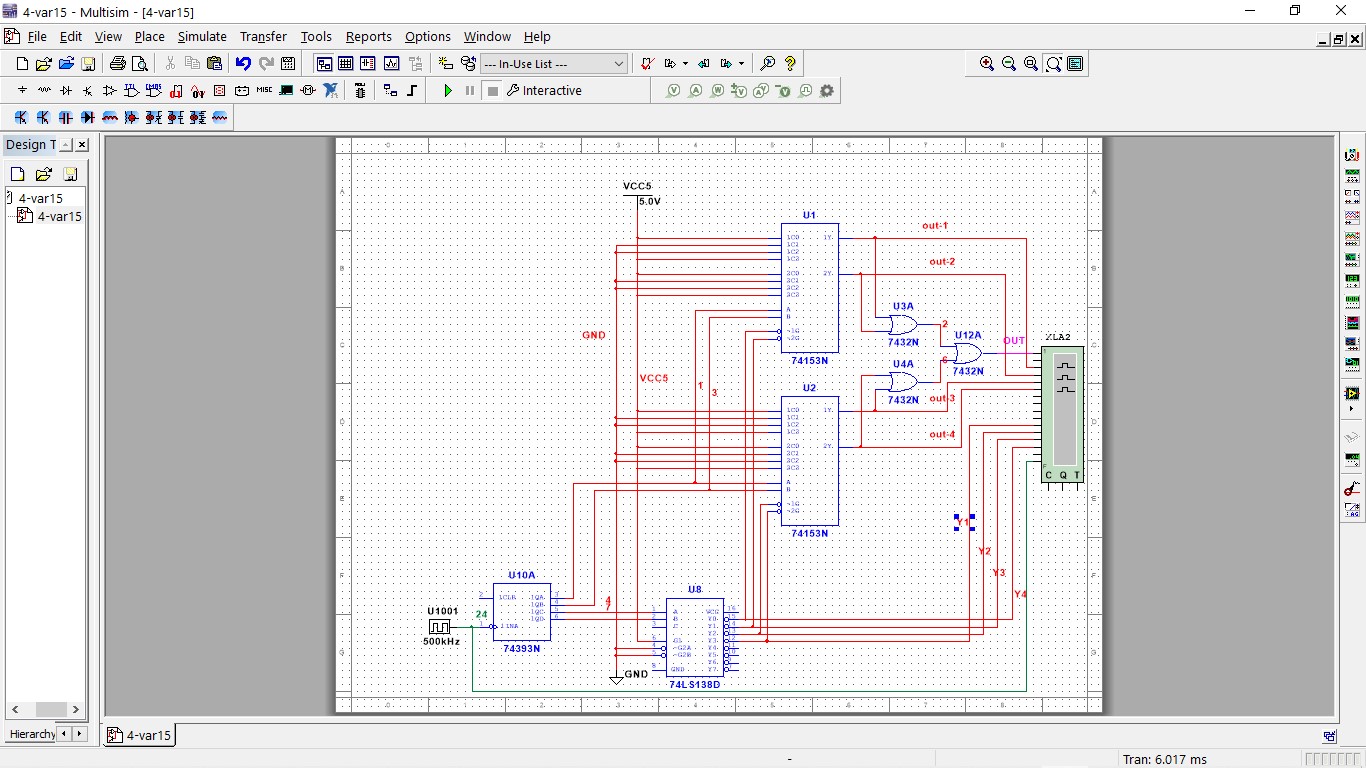
Построить схему мультиплексора MUX 16 – 1 на основе простого мультиплексора MUX 4 – 1 и дешифратора DC 2-4 (второй вариант наращивания).

Исследовать мультиплексора MUX 16 – 1 в динамическом режиме.

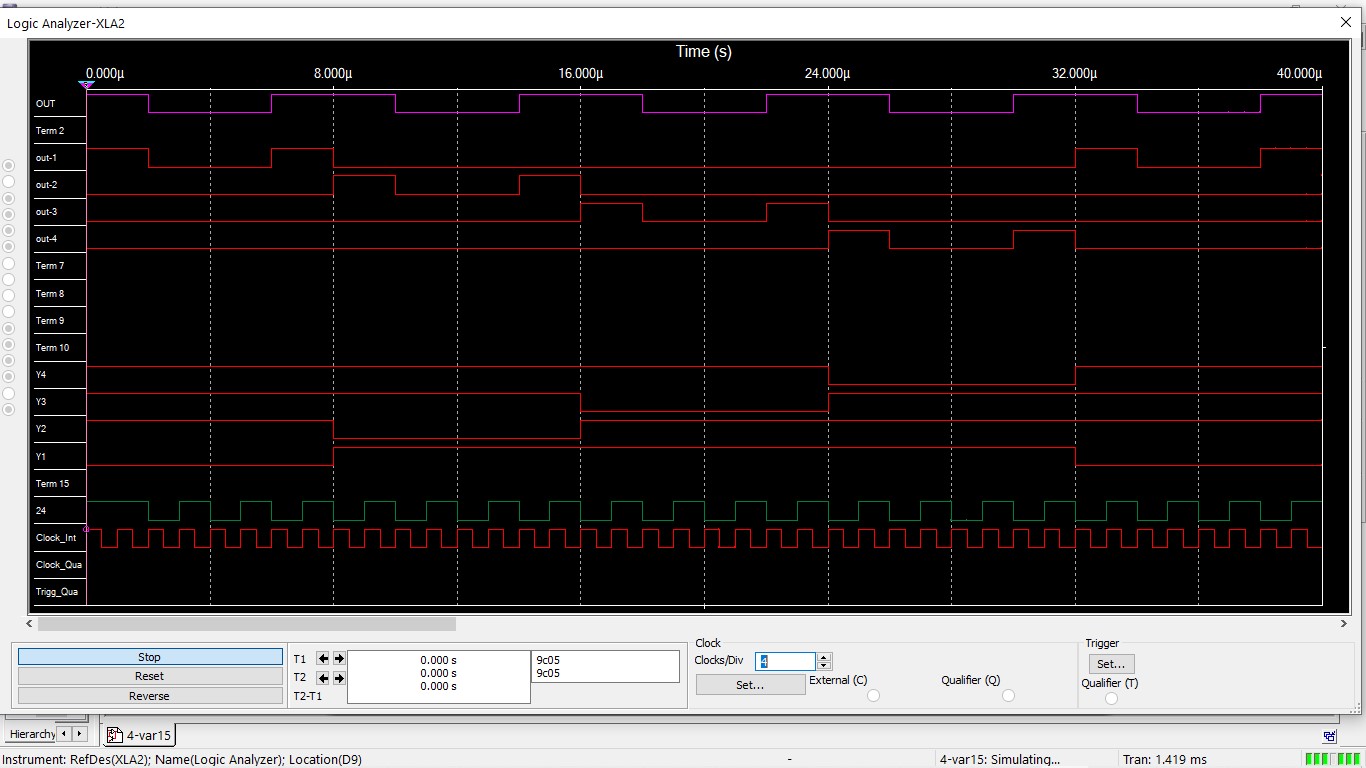
На адресные входы подать сигналы с 4-разрядного двоичного счетчика, на информационные входы D0 …D15 – из табл. 2.

**Вариант 15: *1001100110011001***

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| D0 | D1 | D2 | D3 | D4 | D5 | D6 | D7 | D8 | D9 | D10 | D11 | D12 | D13 | D14 | D15 |
| 1 | 0 | 0 | 1 | 1 | 0 | 0 | 1 | 1 | 0 | 0 | 1 | 1 | 0 | 0 | 1 |



Провести анализ временной диаграммы сигналов мультиплексора MUX 16–1.



**Контрольные вопросы**

1. Что такое мультиплексор?

2. Какую логическую функцию выполняет мультиплексор?

3. Каково назначение и использование входа разрешения?

4. Какие функции может выполнять мультиплексор?

5. Какие способы наращивания мультиплексоров?

6. Поясните методику синтеза формирователя ФАЛ на мультиплексоре?

7. Почему возникают ложные сигналы на выходе мультиплексора? Как их устранить?