**Министерство науки и высшего образования Российской Федерации Федеральное государственное бюджетное образовательное учреждение высшего образования**

**«Московский государственный технический университет имени Н.Э. Баумана**

**(национальный исследовательский университет)» (МГТУ им. Н.Э. Баумана)**

Факультет «Информатика и системы управления»

Кафедра «Программное обеспечение ЭВМ и информационные технологии»

**ОТЧЁТ ПО ЛАБОРАТОРНОЙ РАБОТЕ №7**

**«Усилители»**

**по курсу «Основы электроники»**

Студент: Талышева Олеся Николаевна

Группа: ИУ7-35Б

Студент

Талышева О. Н.

*подпись, дата*

Преподаватель Оглоблин Д. И.

*подпись, дата*

Оценка

*2023*

СОКРАЩЕНИЯ ТЕРМИНОВ, АББРЕВИАТУРЫ:

* АЧХ — амплитудно-частотная характеристика;
* ПОС - положительная обратная связь
* ВАХ – вольтамперная характеристика
* ООС - отрицательная обратная связь
* ОБ - схема включения транзистора с обшей базой
* ОЭ - схема включения транзистора с общим эмиттером
* ОК - схема включения транзистора с общим коллектором
* РТ - рабочая точка БП,
* BJT — биполярный транзистор (Bipolar Junction Transistor)
* ПТ, JFET — полевой транзистор с управляющим р-n переходом (Junction Field Effect Transistor)
* МОП (МДП), MOSFET, NMOS, PMOS – полевой транзистор с структурой металл - окись (диэлектрик) - полупроводник.
* КМОП – комплементарные (дополняющие) полевые транзисторы, имеющие разную проводимость и зеркальные характеристики.

ЦЕЛЬ ПРАКТИКУМА:

Получить навыки в использовании базовых возможностей программы Microcap и знания при исследовании и настройке усилительных, ключевых и логических устройств на биполярных и полевых транзисторах.

НОМЕР ВАРИАНТА ЗАДАНИЯ:

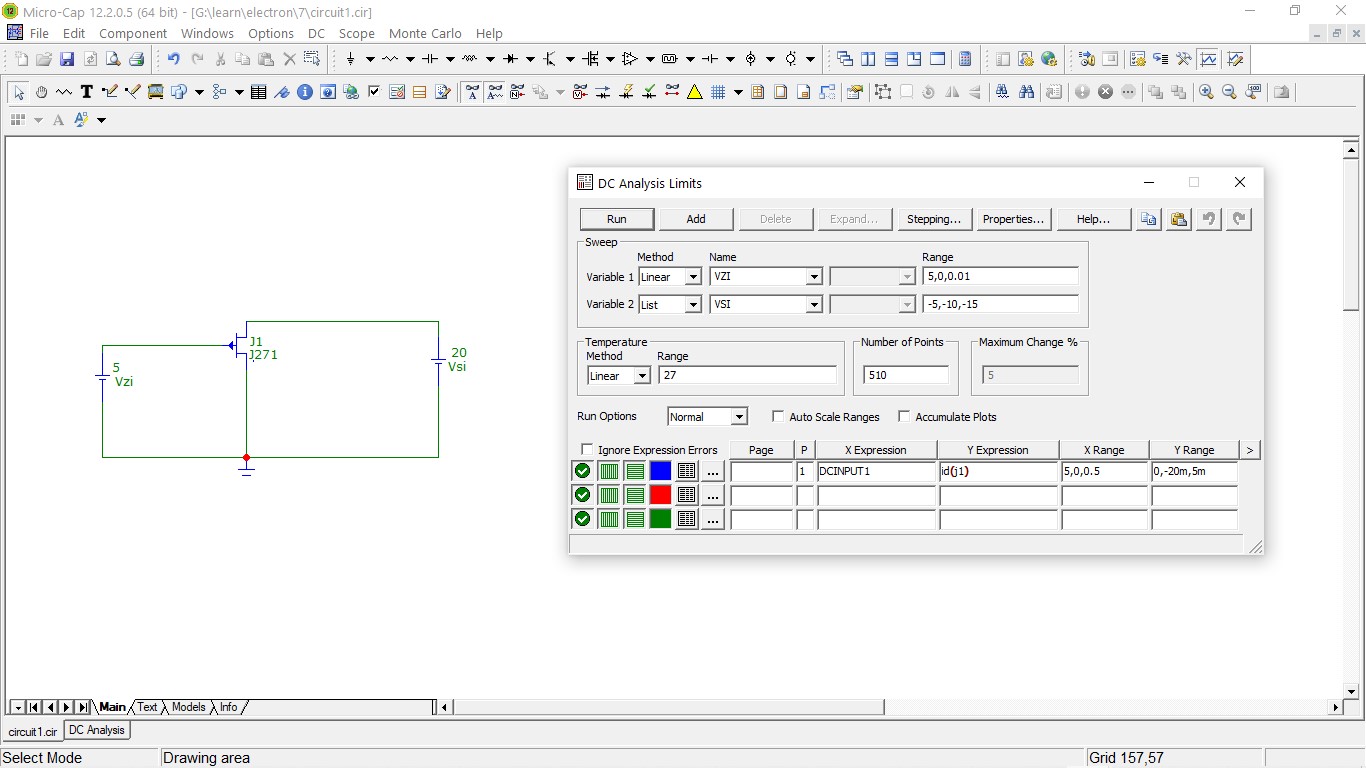
\* Variant 14

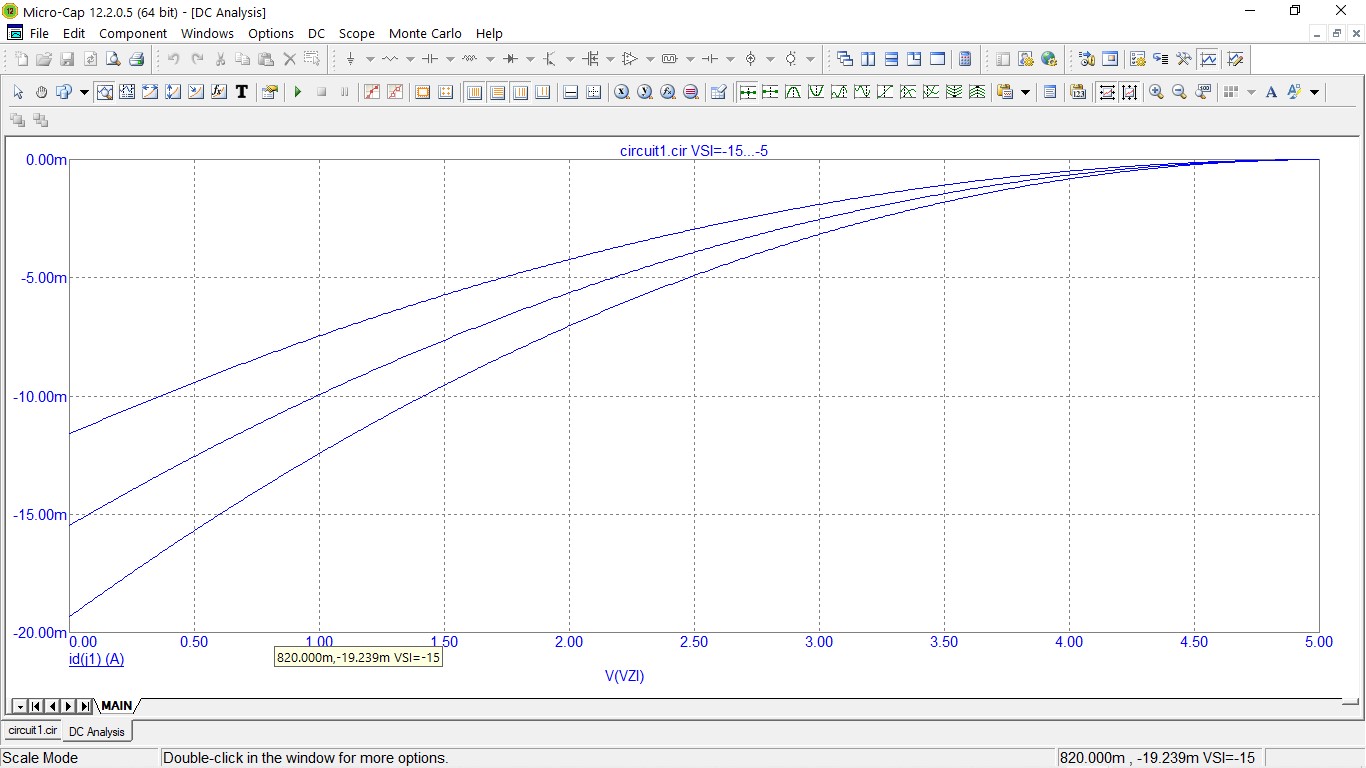




ЧАСТЬ 2. ЭКСПЕРИМЕНТ 7. ХАРАКТЕРИСТИКИ ПОЛЕВОГО ТРАНЗИСТОРА.

1. В режиме DC определила переходные характеристики полевого транзистора с управляющим p – n – переходом (JFET) и МОП – транзистора





- Определила, при каких напряжениях на затворе запирается JFET для вашего варианта.

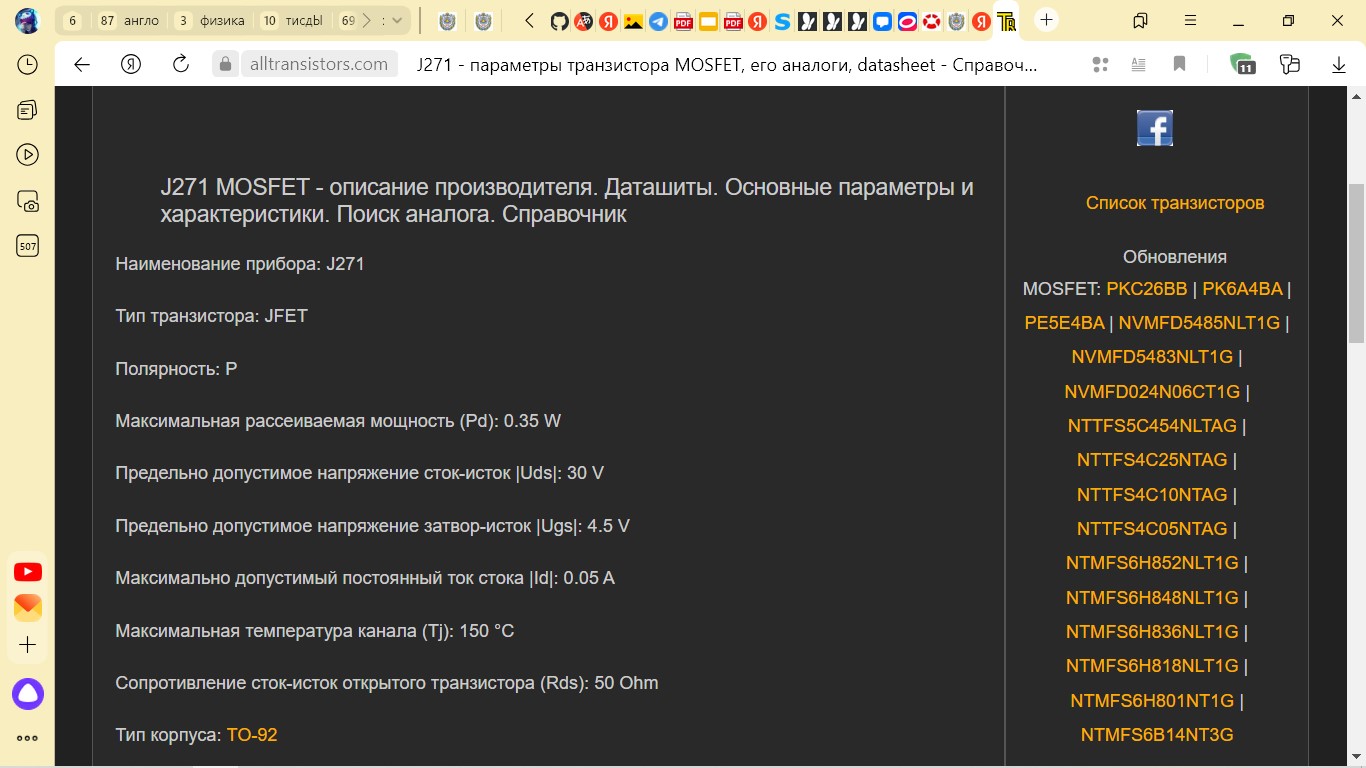
При напряжении на затворе 4,5 В.

Значение начального тока стока зависит от подаваемого напряжения между стоком и истоком. Определяется при нулевом значении напряжения между затвором и истоком.

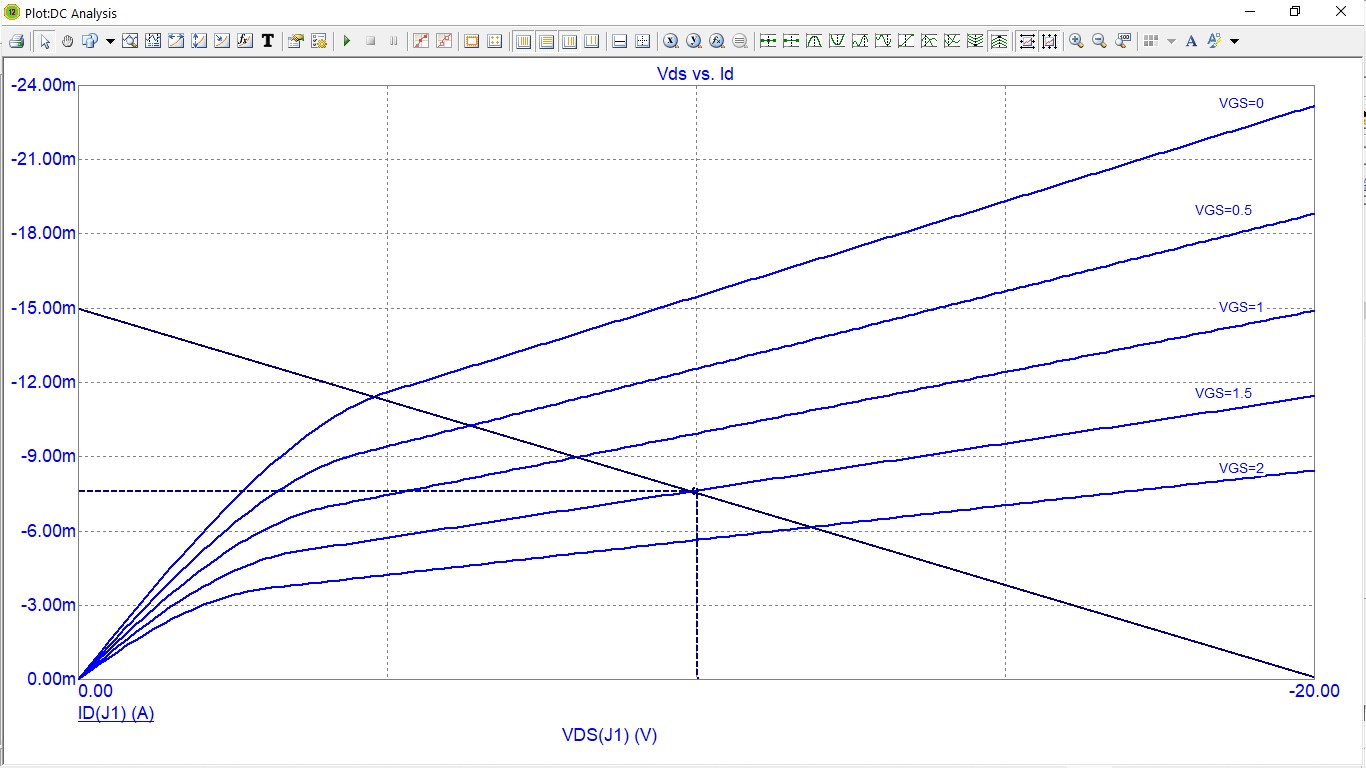
При Uси = -15В, Iнач = -19,2mА

При Uси = -10В, Iнач = -15,4mА

При Uси = -5В, Iнач = -11,5mА



2. Для JFET транзистора своего варианта вывела выходные характеристики (Plot) и выбрала (провела) нагрузочную прямую



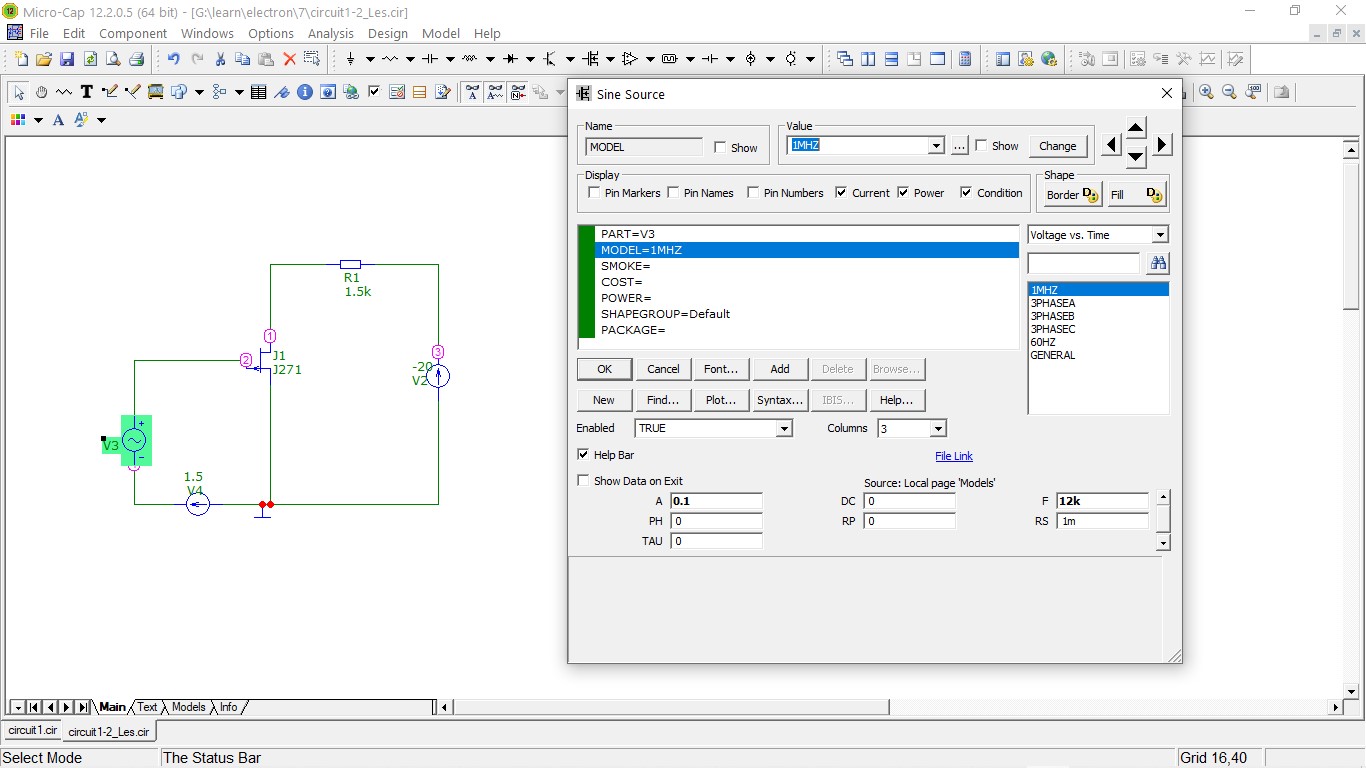
- выбрала рабочую точку (РТ), определила сопротивление стока Rd (исходя из правил Кирхгофа) Rd = (Епит – Uрт)/Id.

Rd = (20 - 10) / (7,5 \* 103) = 1,43 \* 103 Ом

Выбрала стандартное значение сопротивления резистора 1,5 кОм.

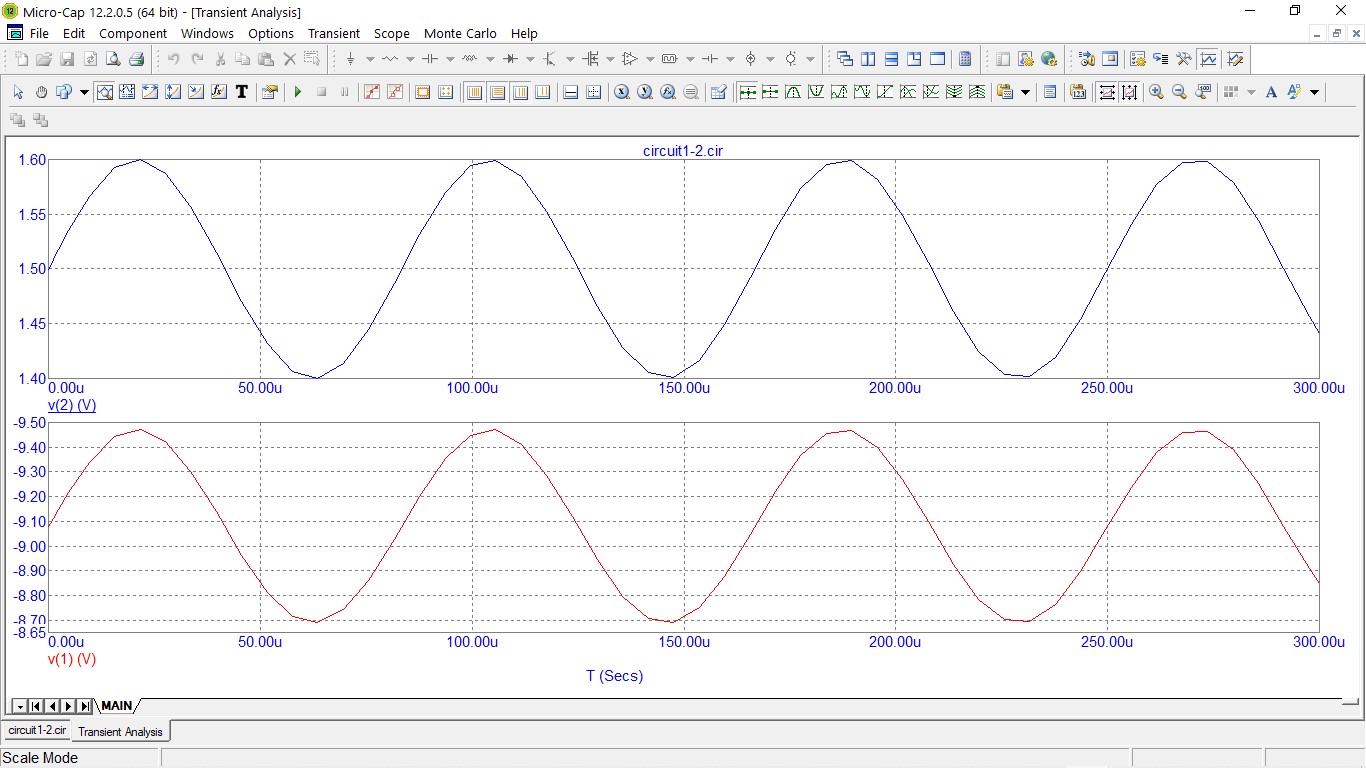
- по выходным характеристикам определила требуемое напряжение затвора Vgs=1,5.

- собрала схему усилителя на транзисторе JFET с рассчитанным сопротивлением стока и напряжением затвора Vgs, подала сигнал с амплитудой 0.1 В и с частотой, соответствующей варианту ЛР 5 и определила усиление каскада.

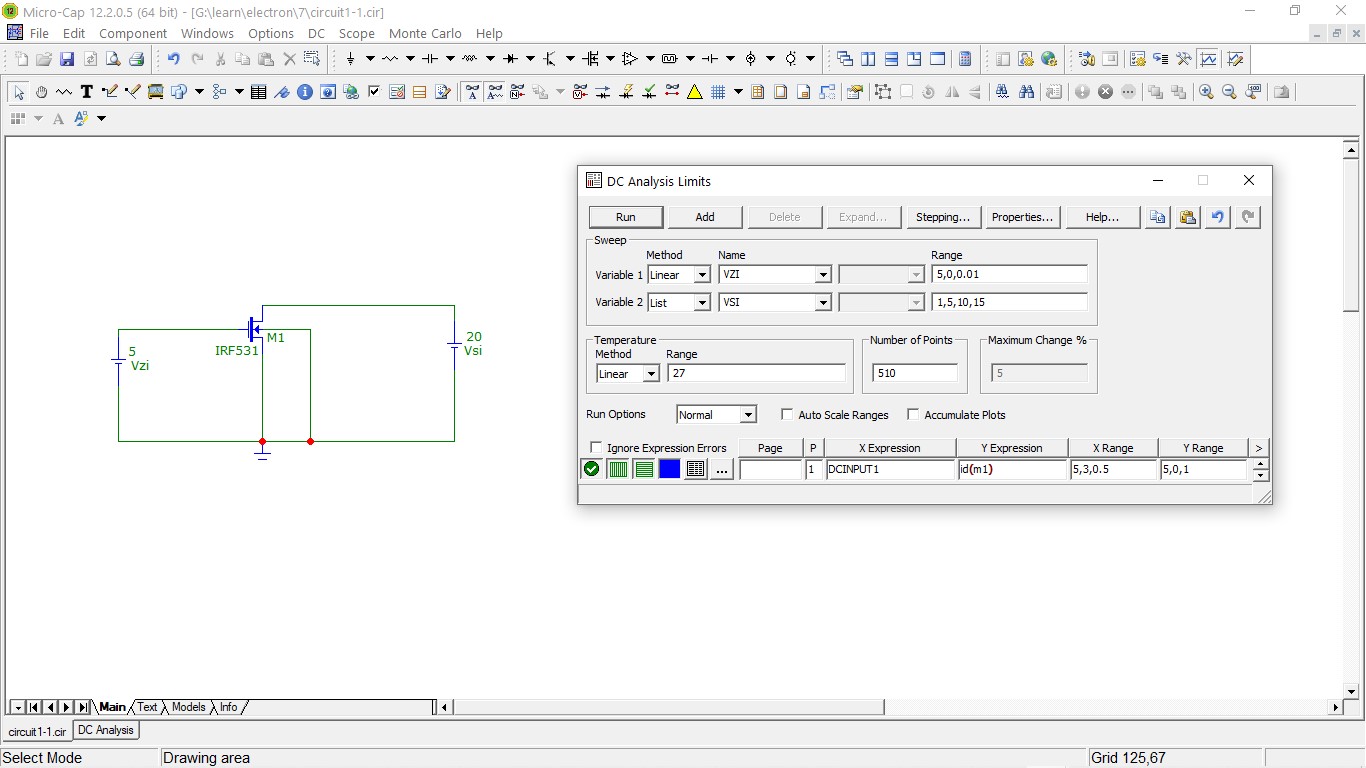


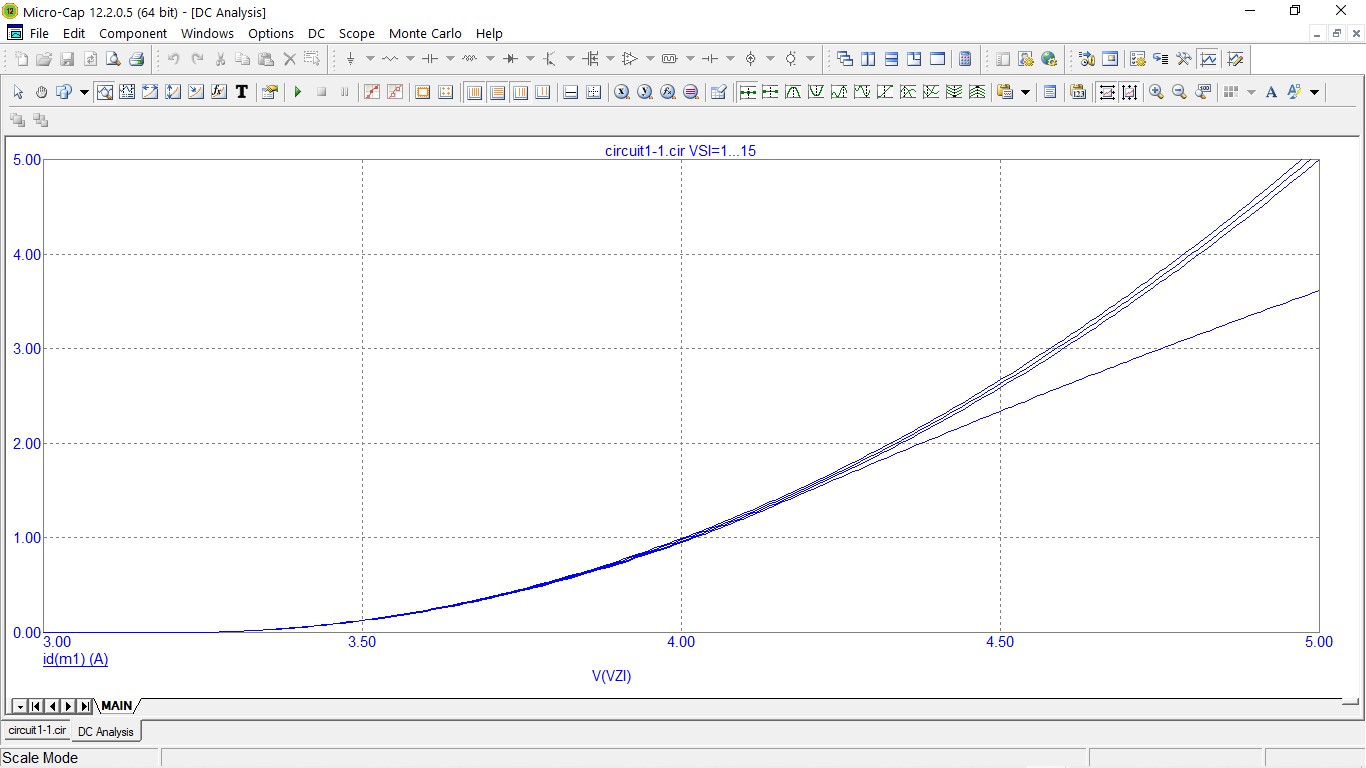
Модель 1МГц, A = 0,1, F = 12k

Нашла коэффициент усиления: Кус = (9,46 – 8,68) / (1,6 – 1,4) = 0,78 / 0,2 ≈ 4

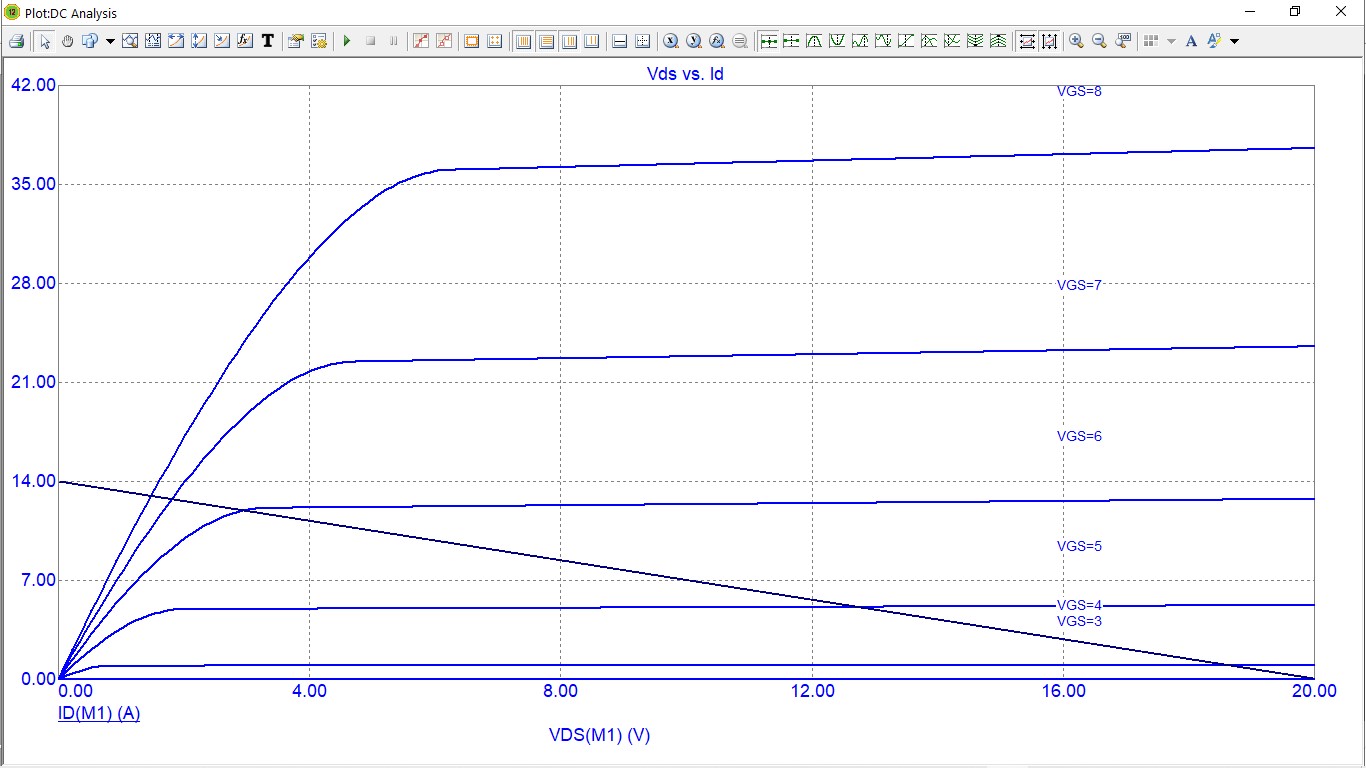


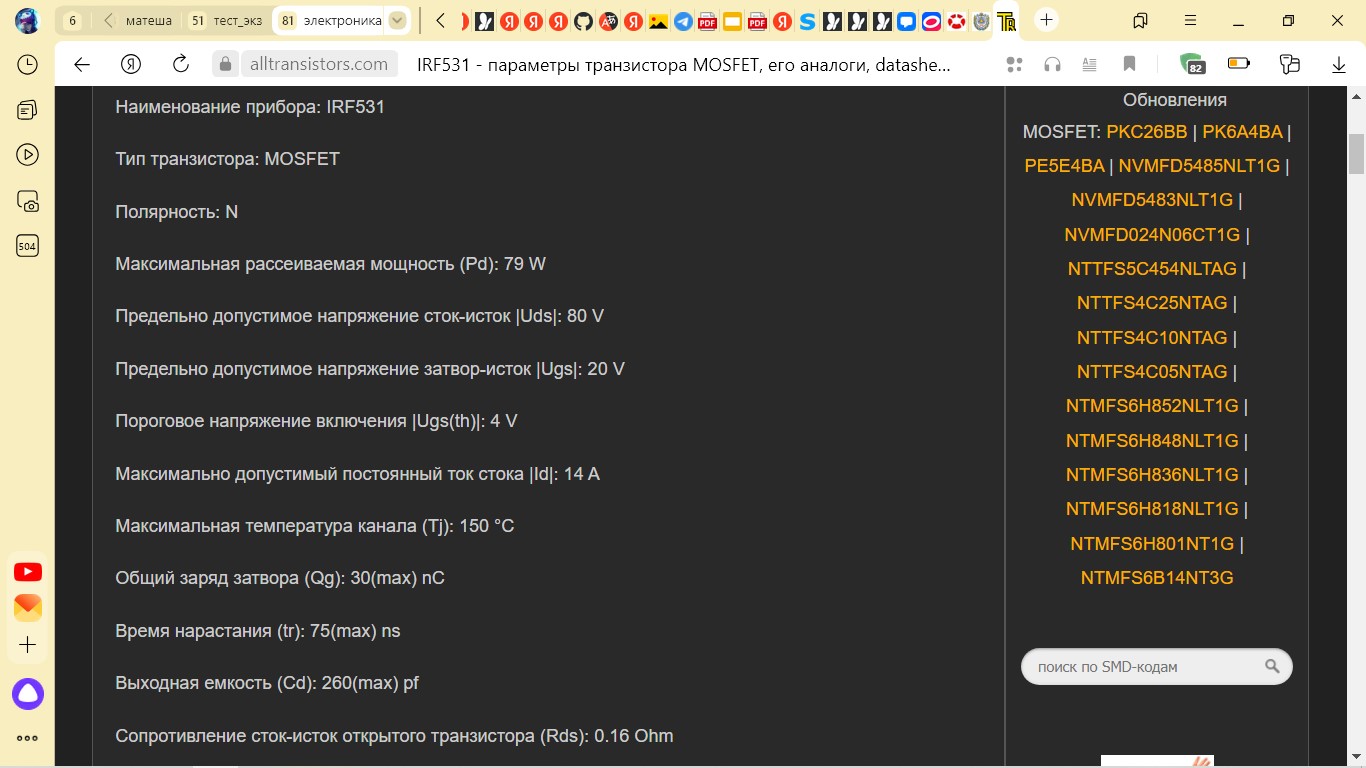
1. Для MOS транзистора своего варианта вывела переходные характеристики:





- вывела выходные характеристики (Plot) и выбрала (провела) нагрузочную прямую.



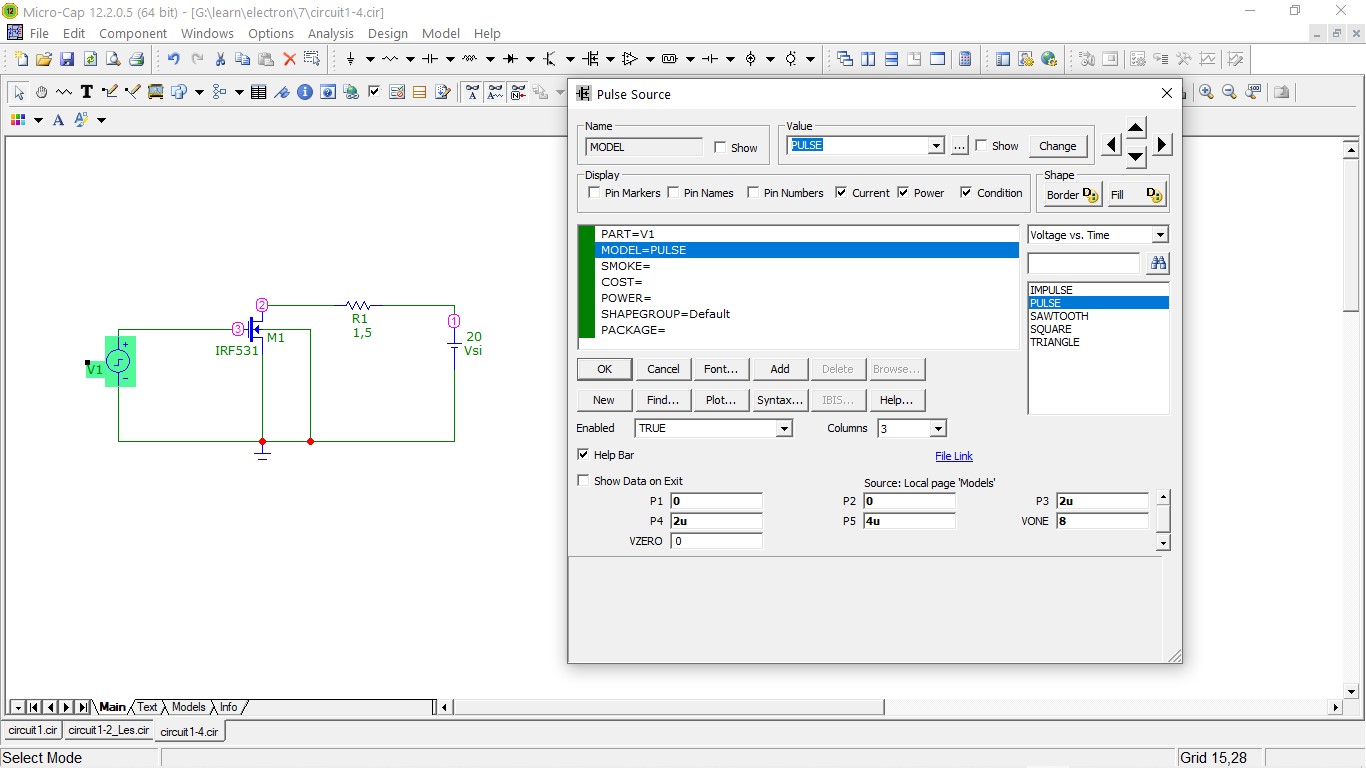


- определила сопротивление стока Rd в режиме полного открытия транзистора Rd =~ (Епит)/Id.

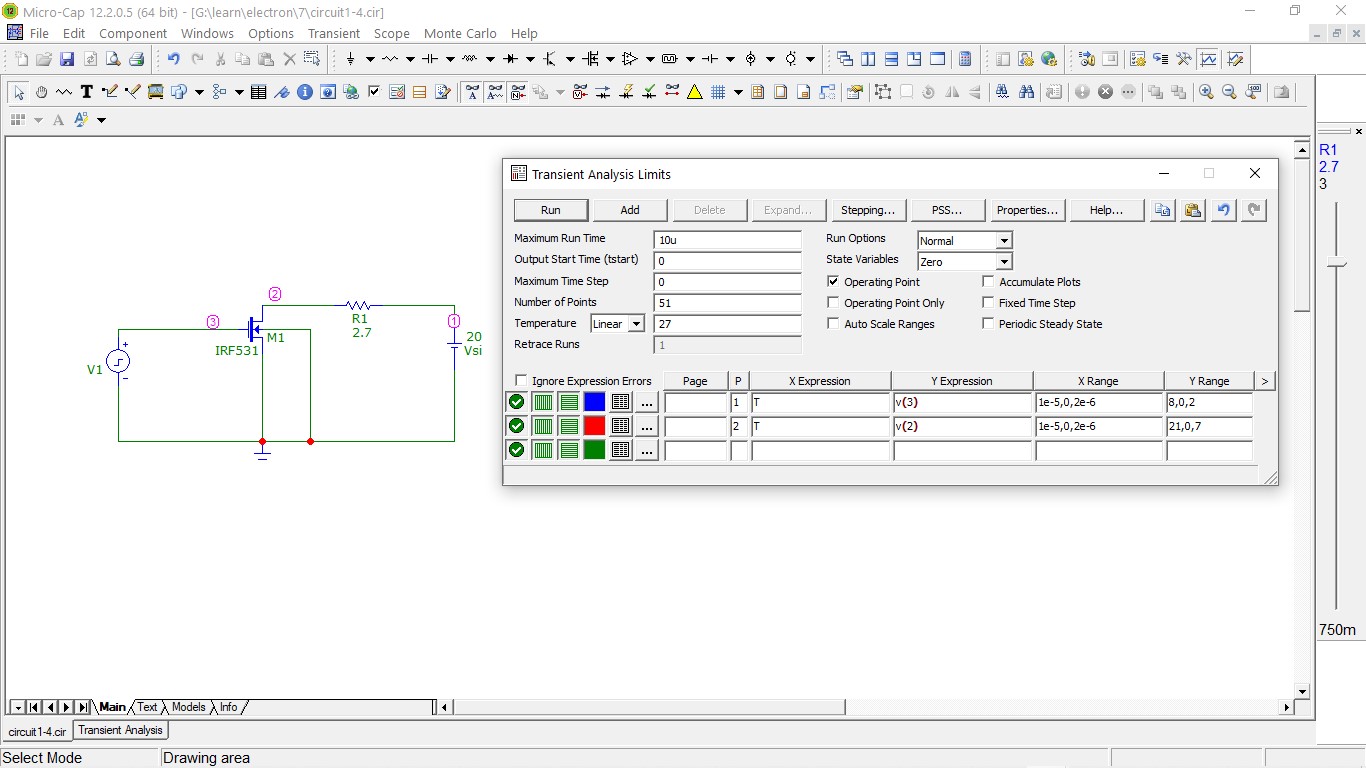
Rd =~ 20/14 = 1,5 Ом

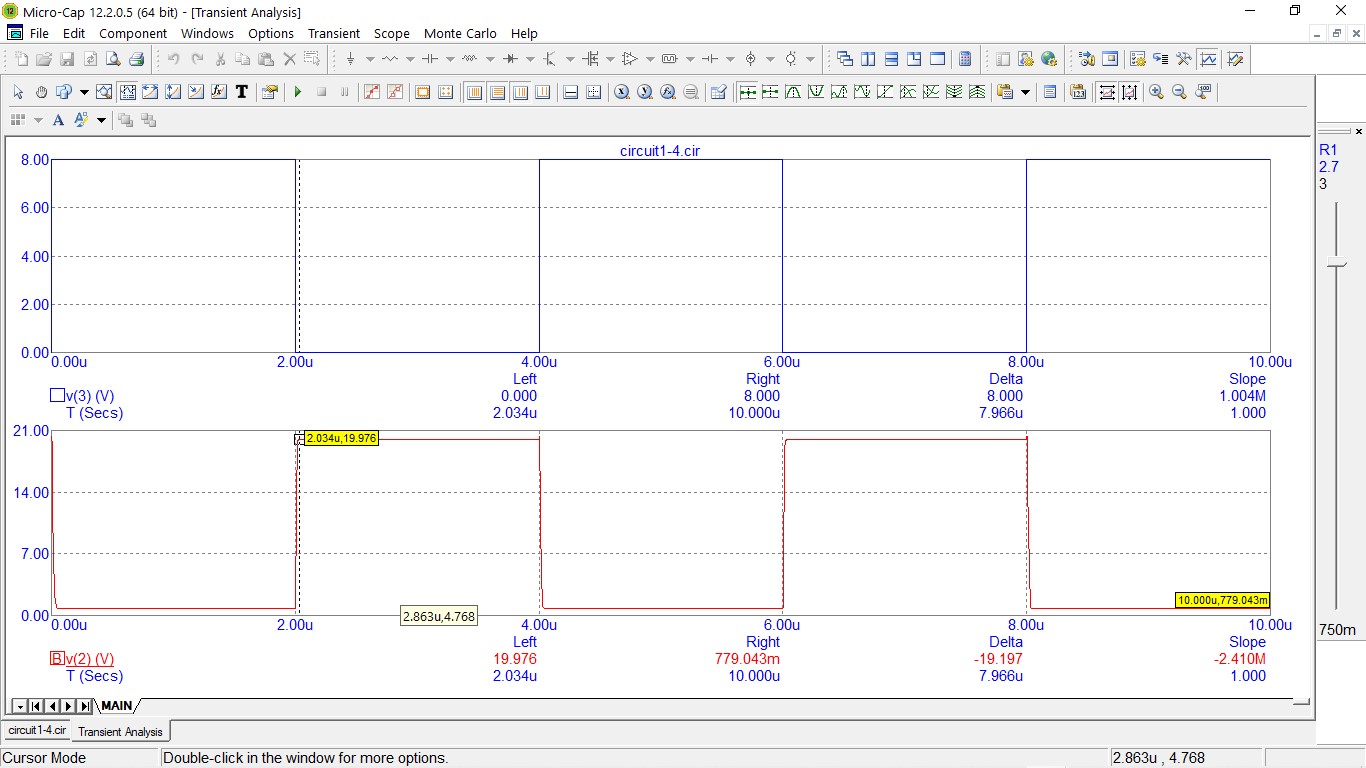
- установила требуемое для полного открытия транзистора напряжение импульсного сигнала Vone = Vgs = 8В.

- собрала схему ключа на транзисторе MOS, подала импульс амплитудой Vgs = 8В и длительностью 2 мкс.



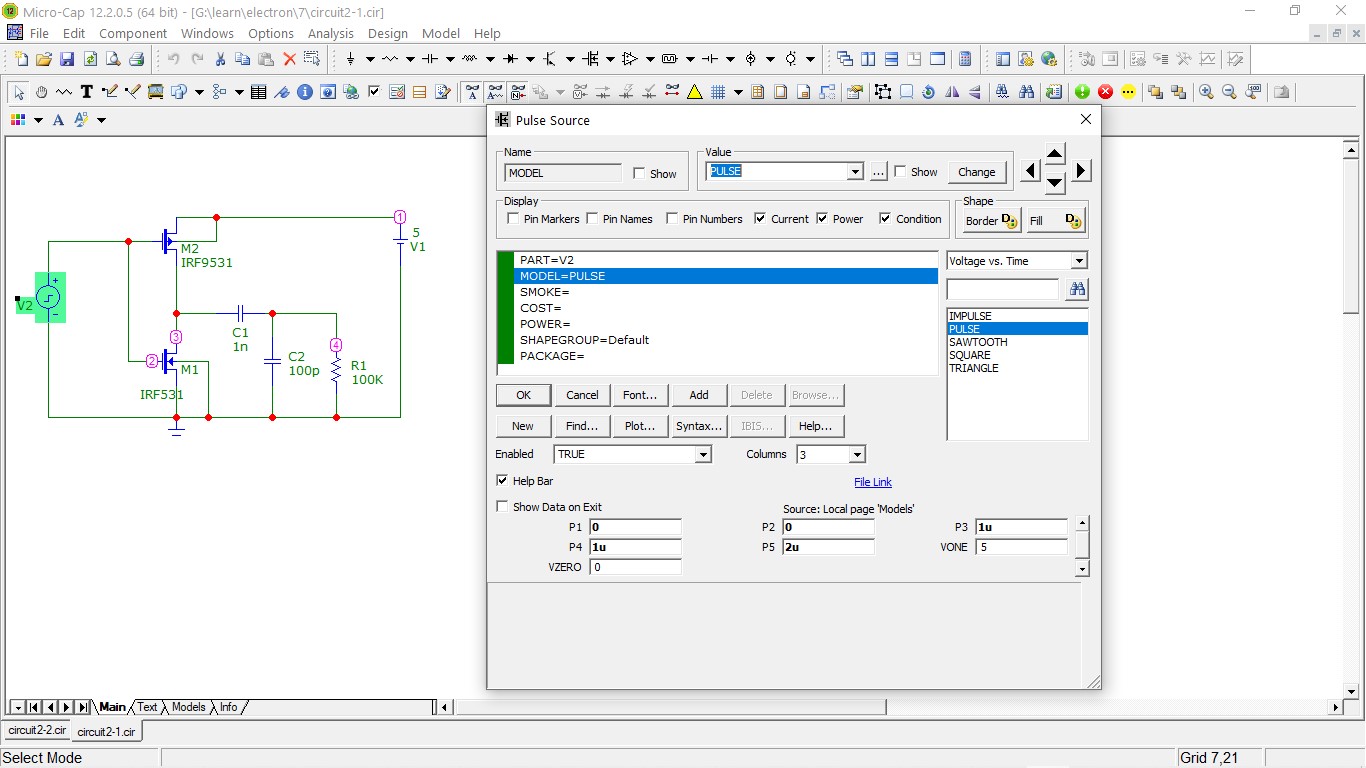
Проверила, что напряжение открытого транзистора не соответствует уровню «0» (>1.5 В). Поэтому я увеличила рассчитанное сопротивление до значения, при котором напряжение на стоке транзистора в открытом состоянии стало не более 1 В (2,7 Ом).

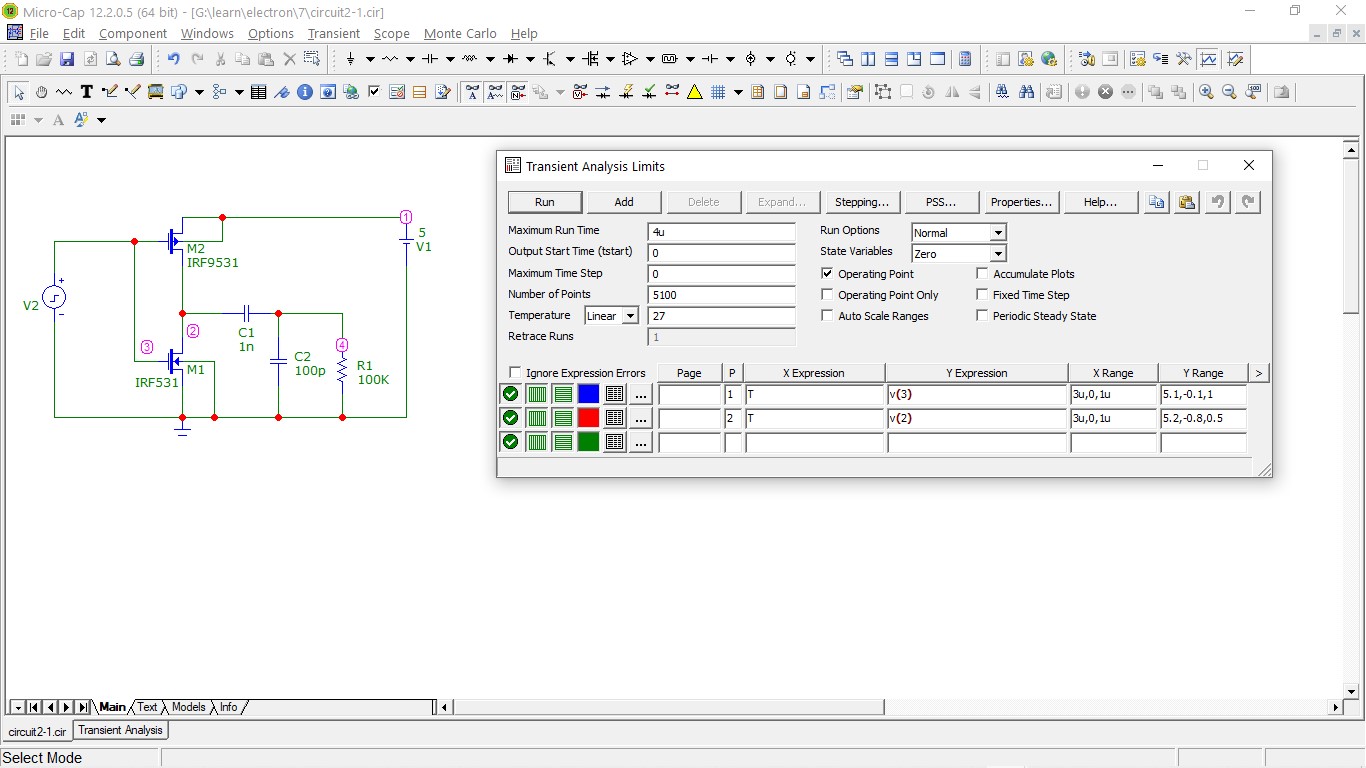


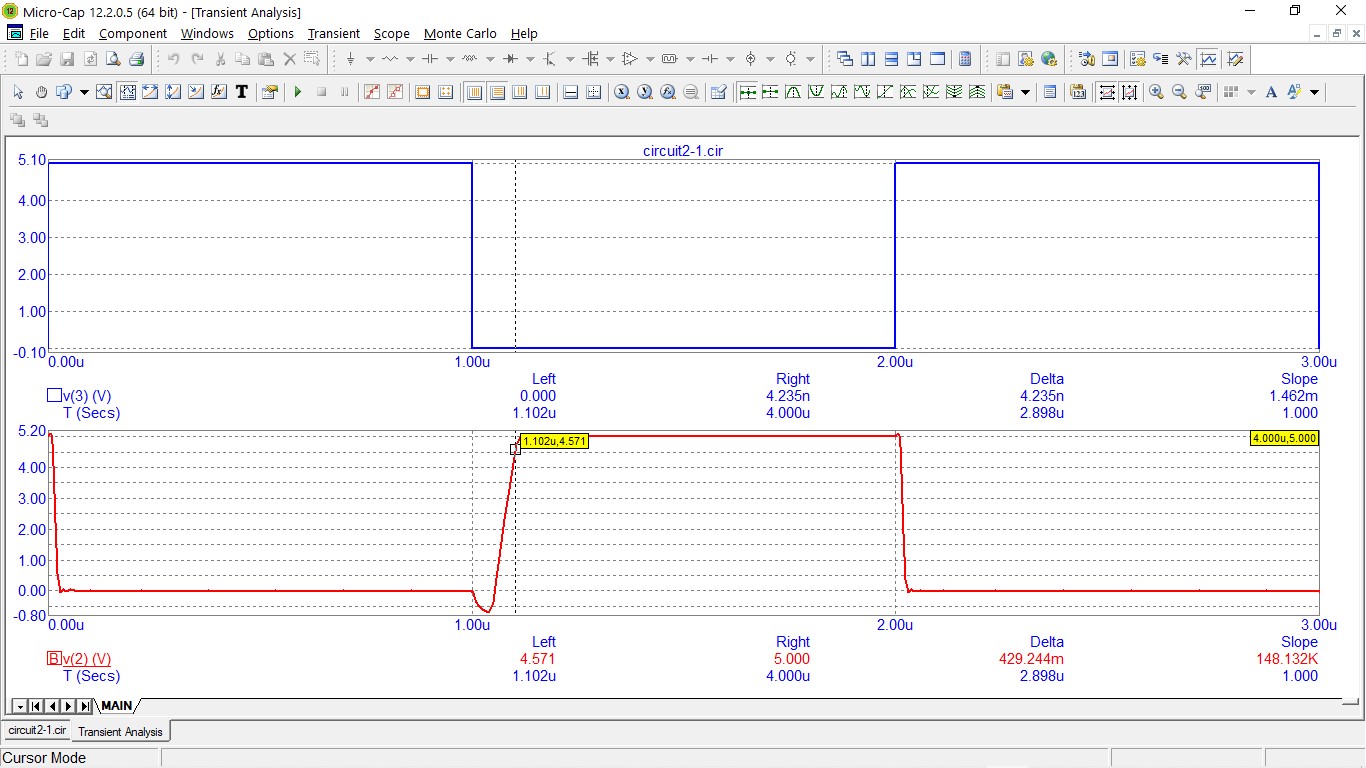


ЭКСПЕРИМЕНТ 8. КОМПЛЕМЕНТАРНЫЕ СХЕМЫ. ИНВЕРТОР НА ОСНОВЕ КМОП КЛЮЧА.

1. Собрала схему КМОП цифрового ключа и подала на вход последовательность прямоугольных импульсов длительностью 1-2 мкс.



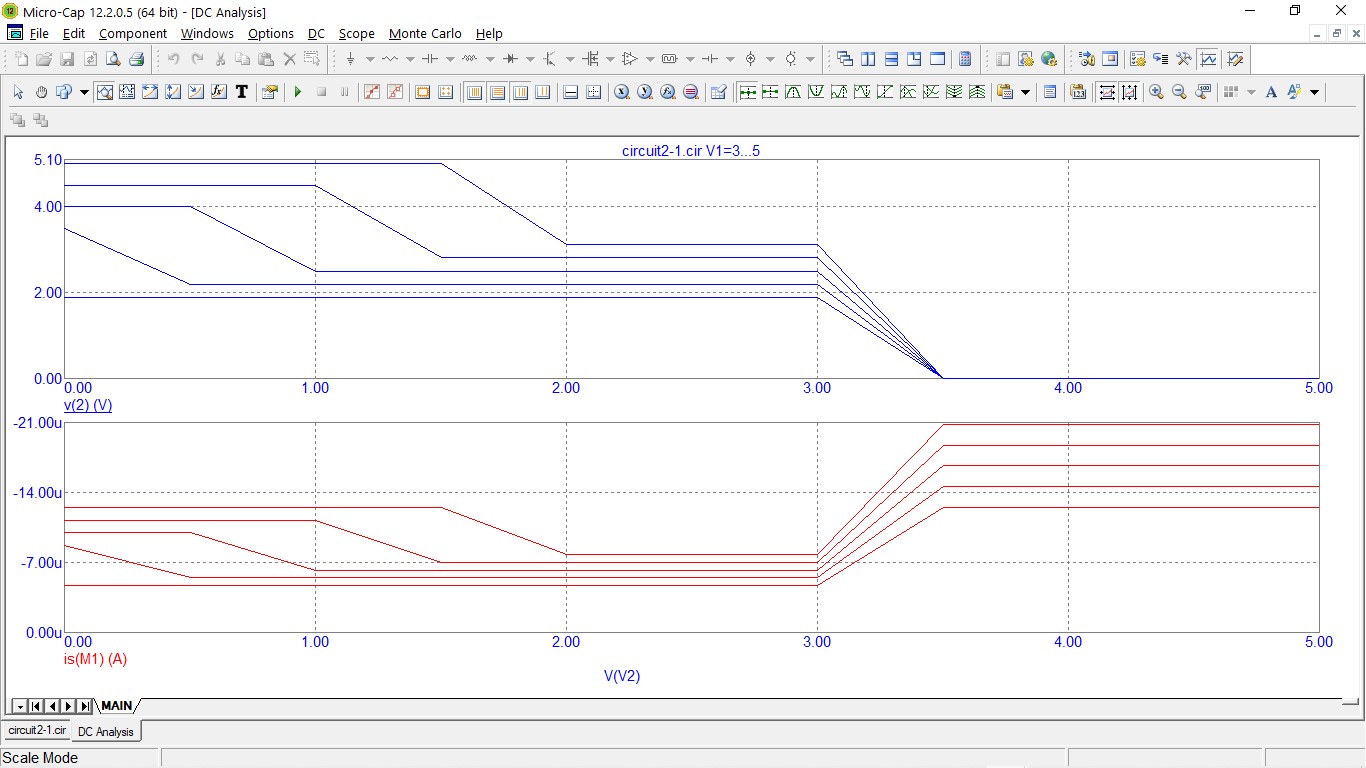




- Оценила быстродействие данной комплементарной пары, рассчитав задержку Tзад = (t10+t01)/2, где t10 - задержка перехода из 1 в 0; t01 – задержка перехода из 0 в 1.

Tзад = (t10+t01)/2 = ((1,831 – 1, 062) + (2,032 – 2,009)) / 2 = 0,396

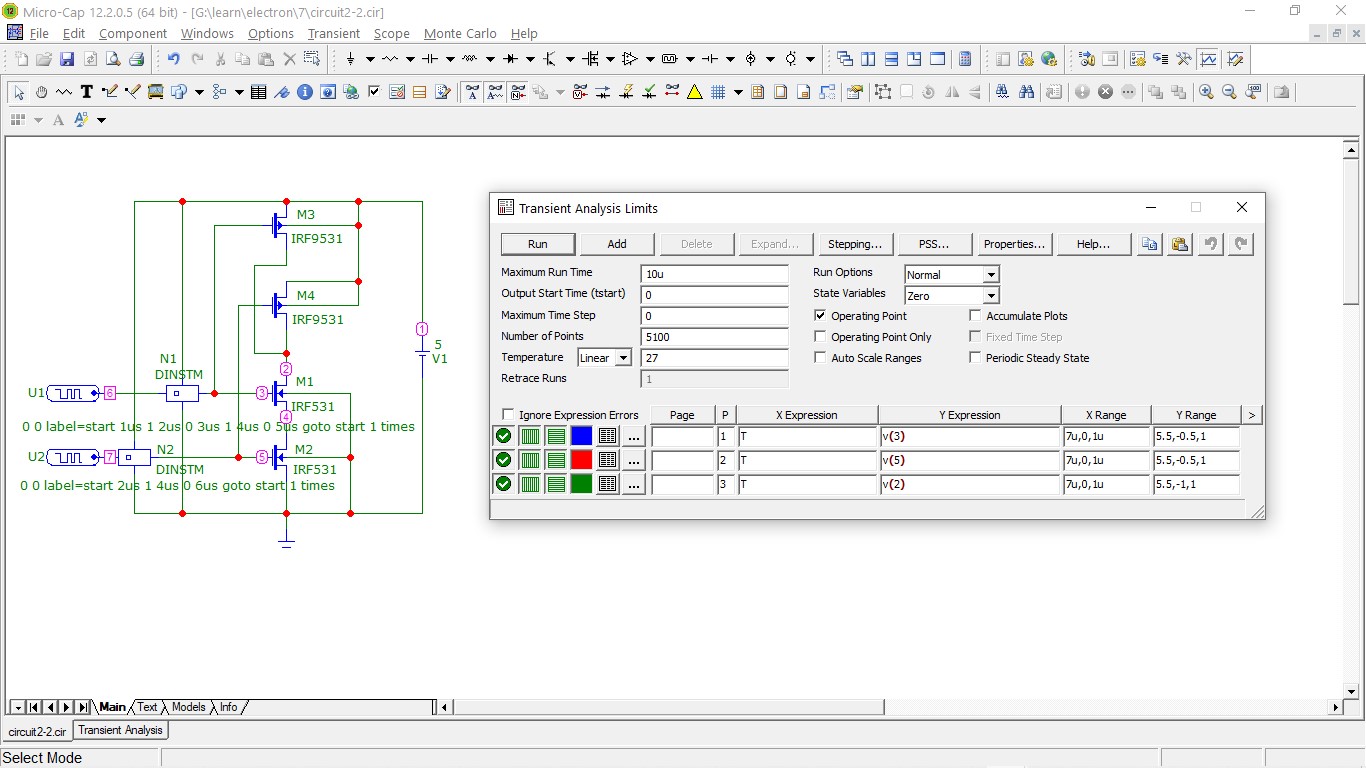
1. Получила передаточную характеристику



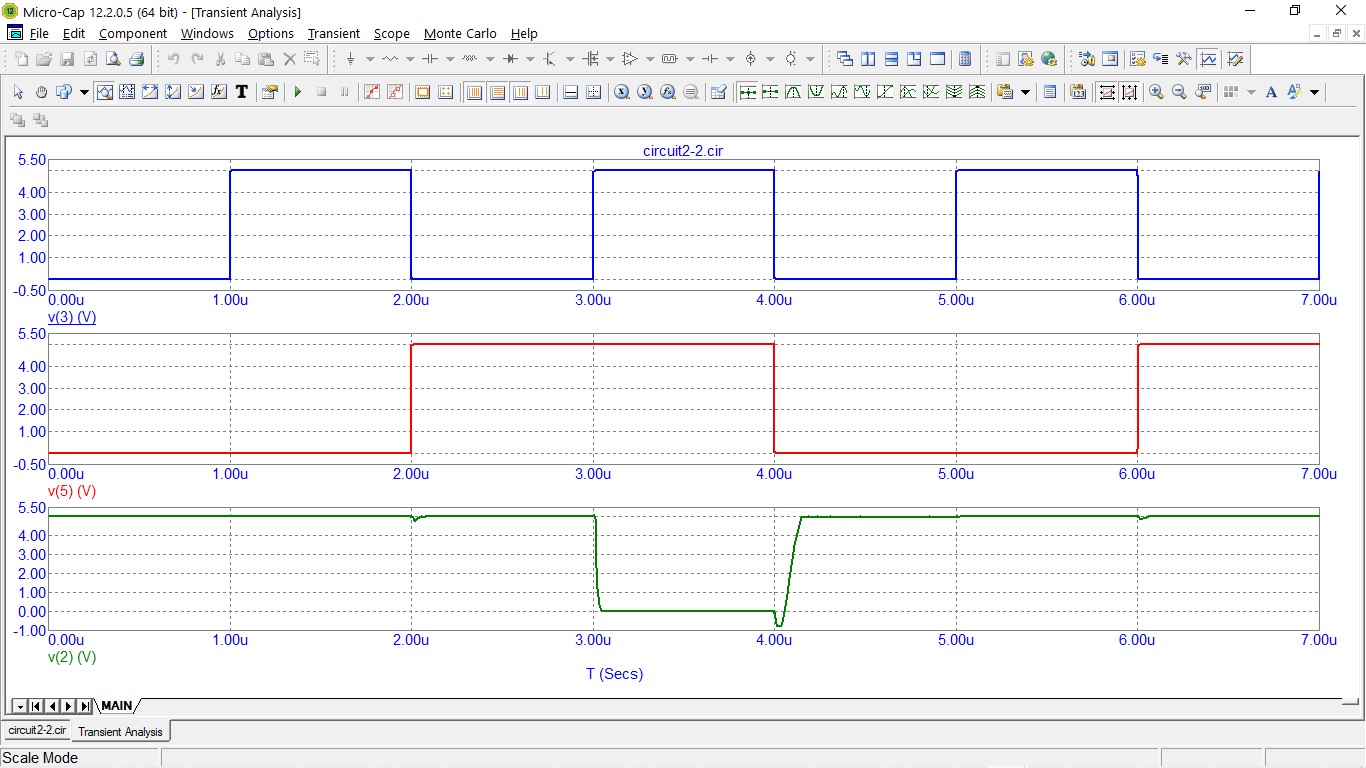
- Определила при значении входного напряжения равном 3,48 В открываются транзисторы, максимальный ток через комплементарную пару для заданного напряжения источника питания 20,8 µА.

Транзисторы из задания условно комплементарны, поэтому характеристики отличаются от идеальных.

1. Собрала стенд для исследования работы логического элемента 2И-НЕ на полевых транзисторах NMOS и PMOS своего варианта:



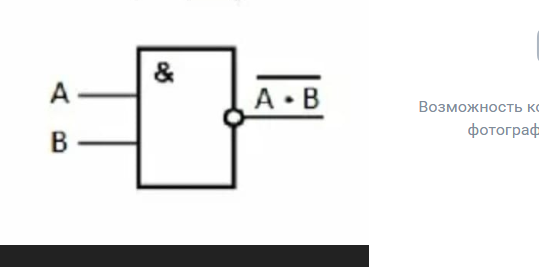
- Исследовала работу схемы, выполняющей логическую функцию 2И-НЕ и получила напряжения на входах 3 и 5 и выходе 2 в режиме Transient



- Таблица истинности логического элемента:

|  |  |  |  |
| --- | --- | --- | --- |
| A | B | A^B | A^B |
| 0 | 0 | 0 | 1 |
| 0 | 1 | 0 | 1 |
| 1 | 0 | 0 | 1 |
| 1 | 1 | 1 | 0 |

- Cтандартное обозначение логического элемента в схемотехнике.



Напряжения соответствуют требуемым для КМОП. Переключения на входах и выходах выполняются одновременно.

ЭКСПЕРИМЕНТ 9. УСТРОЙСТВО ЯЧЕЙКИ ТРИГГЕРА СТАТИЧЕСКОЙ ПАМЯТИ.

Собрала схему со своим транзистором, подала сигналы на входы S и R и получила результат на выходе Q для своего варианта транзистора nMOS.

