



Звіт

З лабораторної роботи № 1

З дисципліни «Моделювання комп'ютерних систем»

На тему: «Інсталяція та ознайомлення з середовищем розробки Xilinx ISE.

Ознайомлення зі стендом Elbert V2 - Spartan 3A FPGA»

Виконав: ст. гр. КІ-202

Лесяк Х. В.

Прийняв:

Козак Н. Б.

Львів – 2023

Мета: ознайомлення з середовищем розробки Xilinx ISE та побудова дешифратора 3-7.

Виконання завдання

1. За допомогою ISE було створено схему дешифратора 3->7, використовуючи компоненти з бібліотеки.

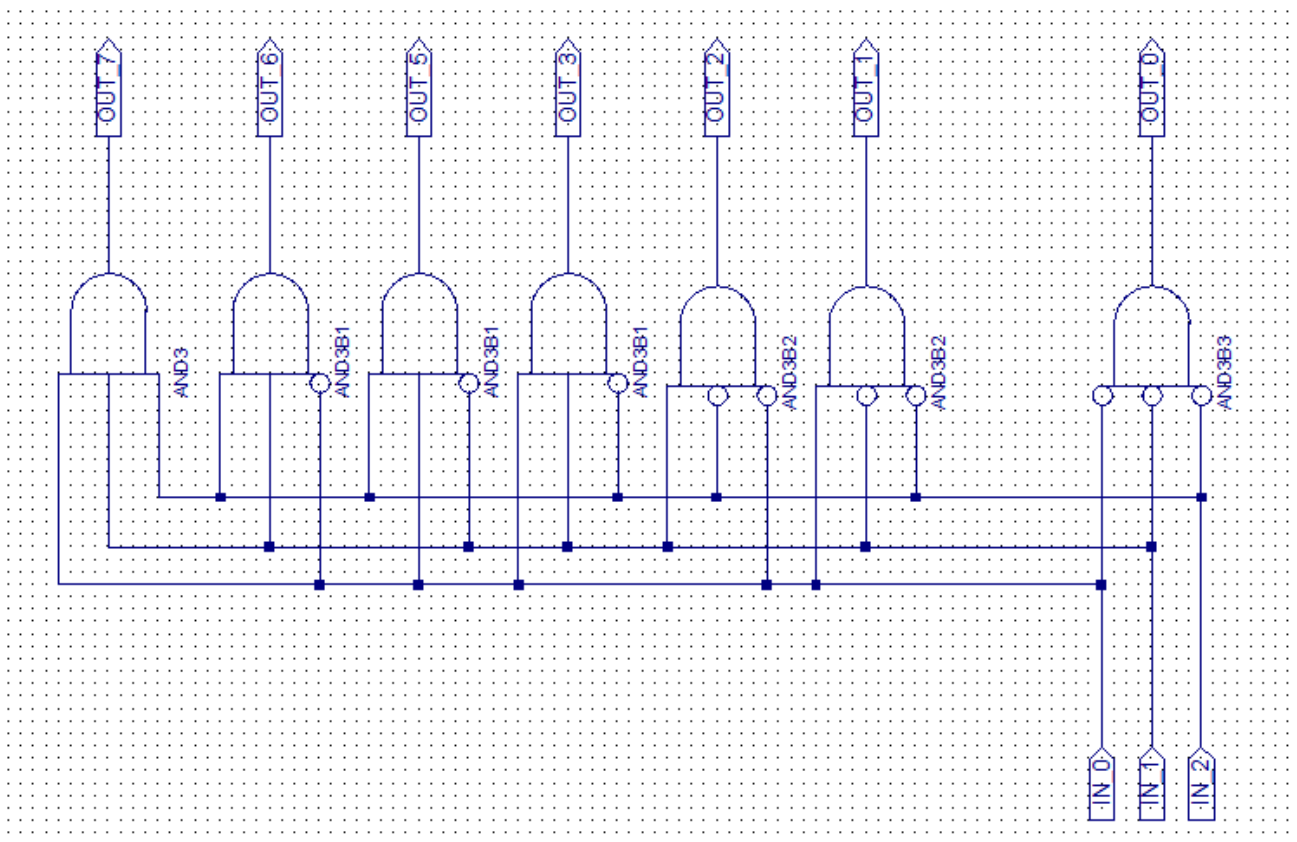


Рис.1.1. Схема дешифратора 3 -> 7

- Додано до проекту User Constraint файл, й призначено виводам схеми фізичні виводи цільової FPGA.

```

11 CONFIG VCCAUX = "3.3" ;
12
13 # Clock 12 MHz
14 # NET "Clk"          LOC = P129 | IOSTANDARD = LVCMOS33 | PERIOD = 12MHz;
15
16 #####
17 #                      LED
18 #####
19
20 NET "OUT_0"          LOC = P46 | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
21 NET "OUT_1"          LOC = P47 | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
22 NET "OUT_2"          LOC = P48 | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
23 NET "OUT_3"          LOC = P49 | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
24 # NET "LED[4]"        LOC = P50 | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
25 NET "OUT_5"          LOC = P51 | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
26 NET "OUT_6"          LOC = P54 | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
27 NET "OUT_7"          LOC = P55 | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
28
29 #####
30 #                      DP Switches
31 #####
32
33 NET "IN_0"           LOC = P70 | PULLUP | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
34 NET "IN_1"           LOC = P69 | PULLUP | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
35 NET "IN_2"           LOC = P68 | PULLUP | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
36 # NET "DPSwitch[3]"  LOC = P64 | PULLUP | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
37 # NET "DPSwitch[4]"  LOC = P63 | PULLUP | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
38 # NET "DPSwitch[5]"  LOC = P60 | PULLUP | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
39 # NET "DPSwitch[6]"  LOC = P59 | PULLUP | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
40 # NET "DPSwitch[7]"  LOC = P58 | PULLUP | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
41

```

Рис.1.2. User Constraint файл

- За допомогою ISim у режимі Simulation було перевірено роботу схеми.

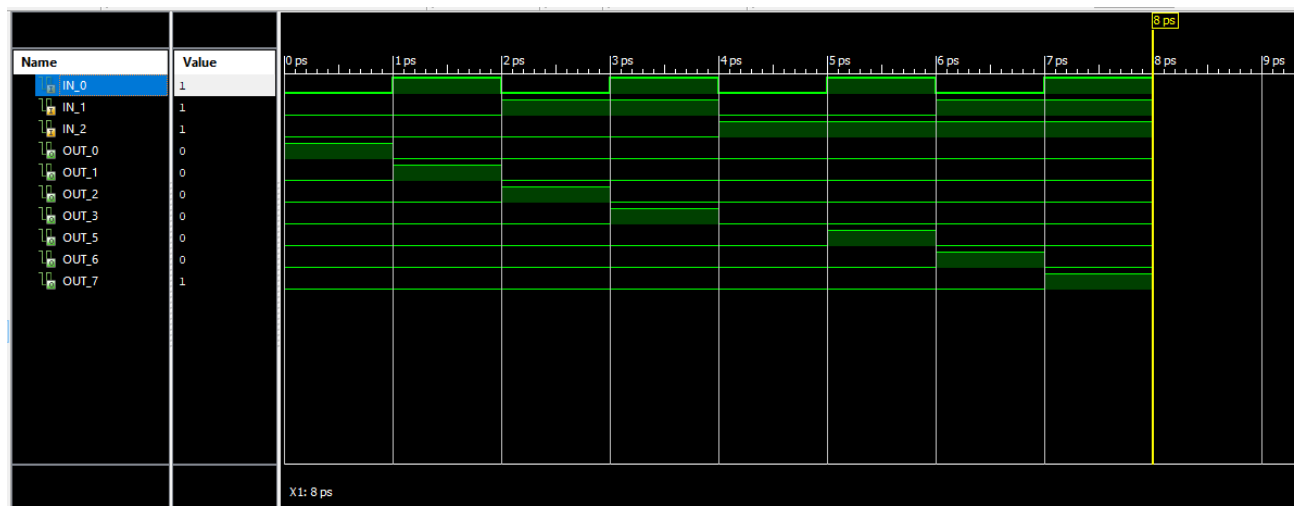


Рис.1.3. Запуск симуляції

4. Згенеровано ВІТ файл, усі процеси виконанні успішно.

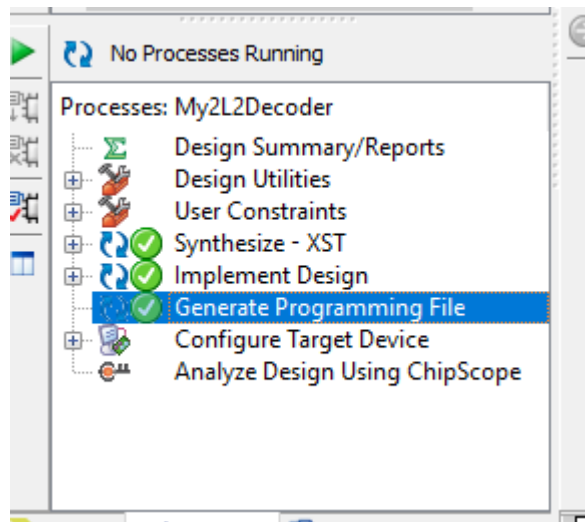


Рис.1.4. Виконання процесів

5. Запрограмувати лабораторний стенд отриманим файлом

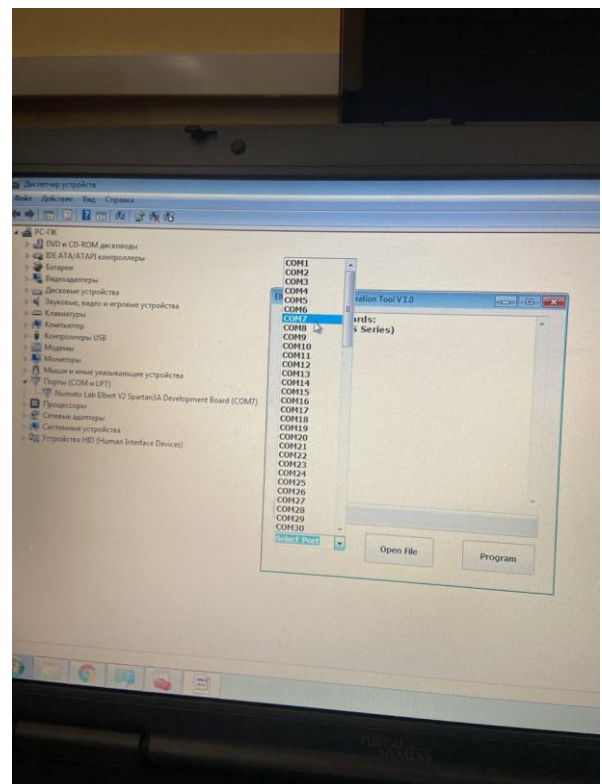
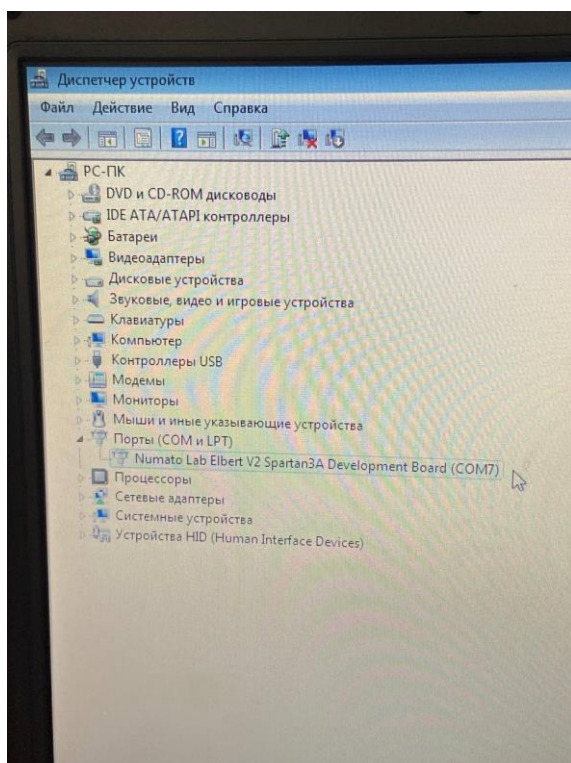


Рис.1.5. Відкриваємо ВІТ файл

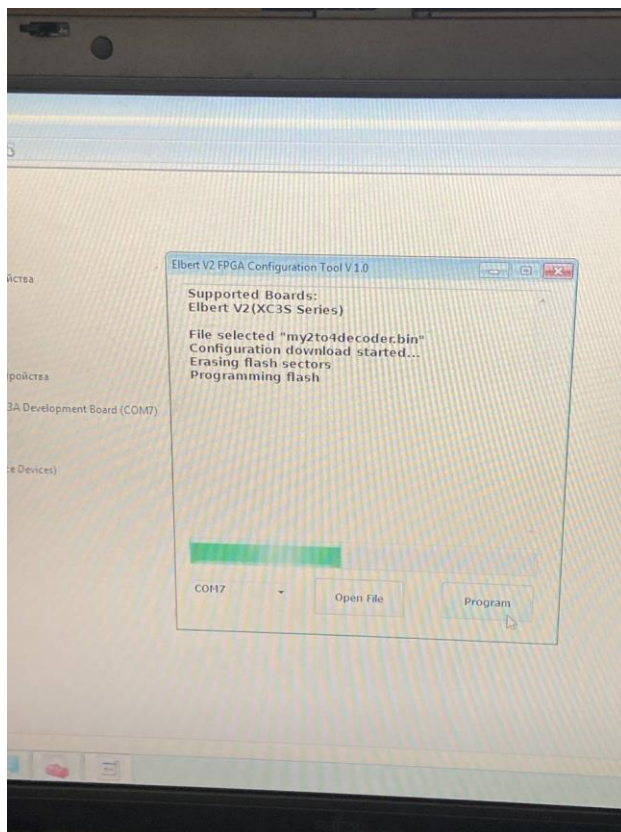


Рис.1.6. Прошиваєм

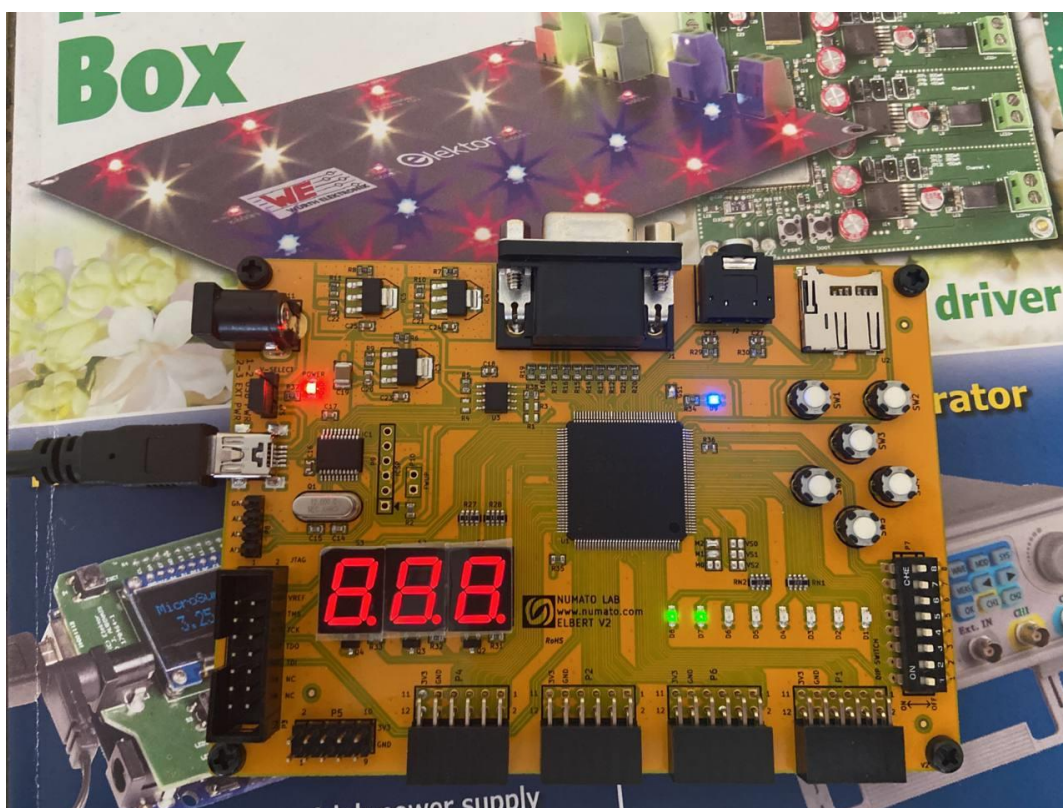


Рис.1.7. Перевірка роботи проекту

Висновок: на цій лабораторній ознайомилася з середовищем розробки Xilinx ISE та побудувала дешифратора 3-7.