

基本逻辑部件设计——实验报告

孙启翔 241220098

1 3输入多数表决器

1.1 整体方案设计

根据给出的逻辑表达式和电路图实现电路

1.2 logisim电路图

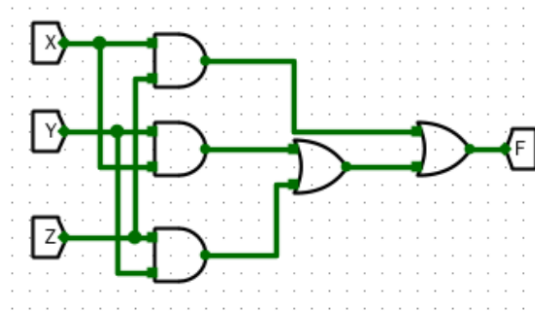
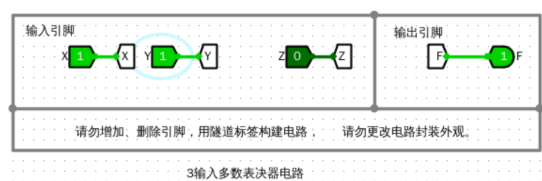
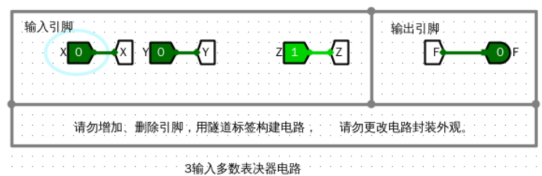


Figure 1: 3输入多数表决器电路

1.3 仿真测试图



(a) 图 1



(b) 图 2

Figure 2: 测试结果

X	Y	Z	F
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	1

Table 1: 真值表

1.4 错误现象即分析

照着图片连线，想错都难（

2 或门实现电路

2.1 整体方案设计

思路是或非门加非门，共用3对CMOS

2.2 logisim电路图

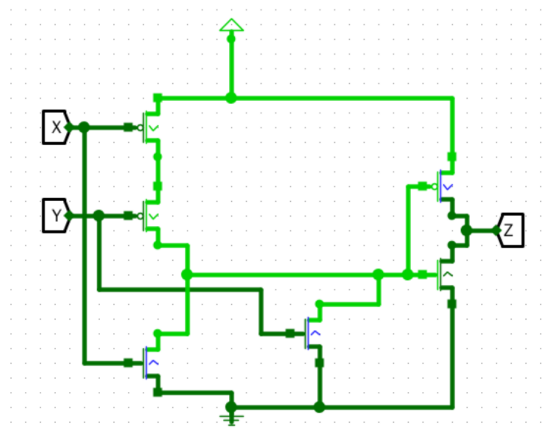
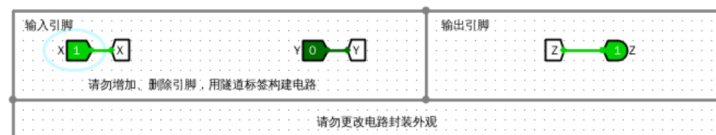


Figure 3: 活门实现电路

2.3 仿真测试图



(a) 图 1

Figure 4: 测试结果

X	Y	F
0	0	0
0	1	1
1	0	1
1	1	1

Table 2: 真值表

2.4 错误现象即分析

容易搞反PMOS的源极和漏极

3 2选1多路选择器 (1)

3.1 整体方案设计

看图连线

3.2 logisim电路图

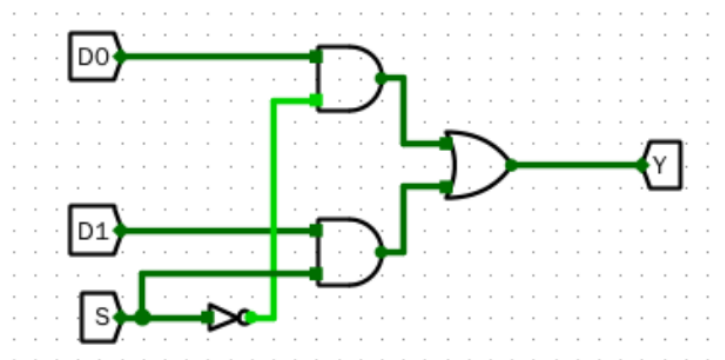


Figure 5: 2选1多路选择器 (1)

3.3 仿真测试图



(a) 图 1

Figure 6: 测试结果

3.4 错误现象即分析

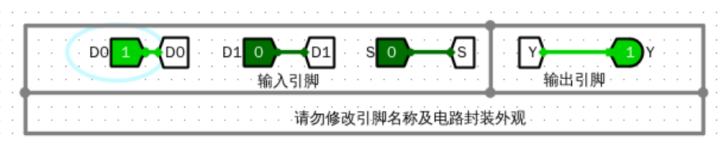
照着图片连线，想错都难（

4 2选1多路选择器 (2)

4.1 整体方案设计

看图连线，多了个传输门

4.3 仿真测试图



(a) 图 1

Figure 8: 测试结果

真值表同第三题

4.4 错误现象即分析

多了个传输门需要注意一下

5 4选1多路选择器

5.1 整体方案设计

通过两个2路选择器再进行一次选择，通过 s_0, s_1 信号进行筛选

5.2 logisim电路图

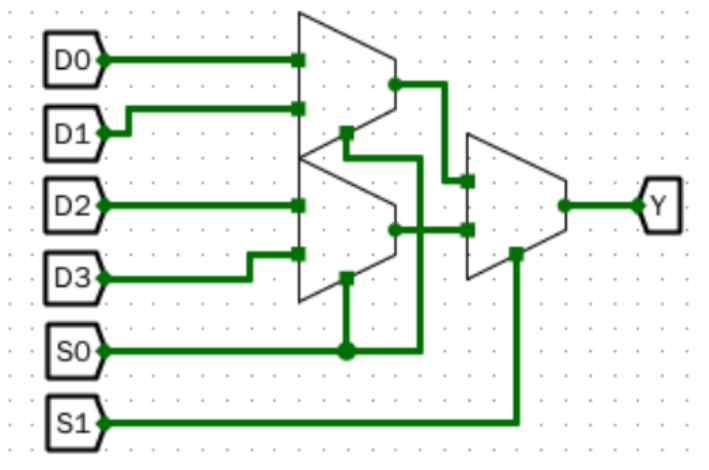


Figure 9: 整体实现

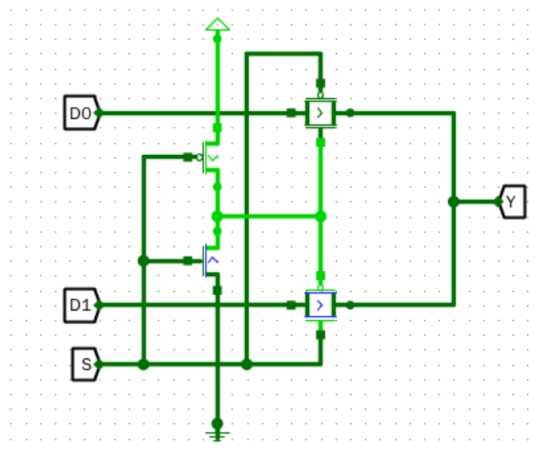


Figure 10: 2选1多路选择器的实现

5.3 仿真测试图

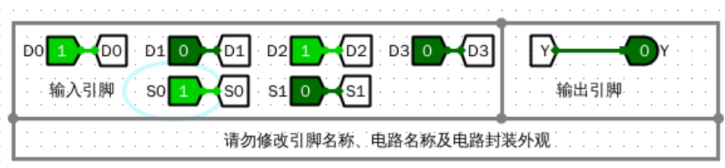


Figure 11: 测试结果1

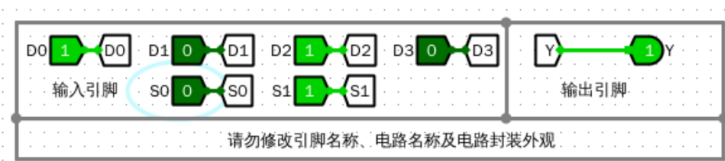


Figure 12: 测试结果2

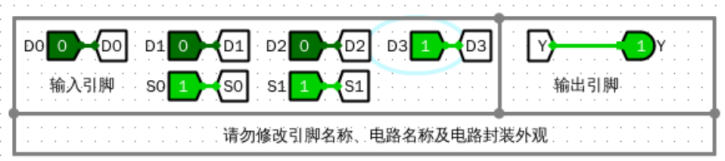


Figure 13: 测试结果3

5.4 错误现象即分析

注意到不仅需要实现整体，还需要在第五题做一遍第四题已经做过的并且是一模一样的东西

6 思考题

6.1 根据2选1多路选择器的与-或电路，替换成与非-与非电路，并分析两种电路的特性

1. 设输入端为A, B, 选择控制端为S, 输出端口为F, 则 $Y = \bar{S}A + SB$ 。变为非-与非电路后, $F = \overline{\bar{S}A \cdot \bar{S}B}$, 将该逻辑表达式化为电路即可。
2. 与-或电路更加简单直观, 同时使用的逻辑门更少, 电路延迟更低

6.2 实现4位二进制数转换成格雷码的转换电路

对于4位二进制数 $B_3B_2B_1B_0$, 对应的格雷码记为 $G_3G_2G_1G_0$, 对应的转换为:

$$G_3 = B_3$$

$$G_2 = B_3 \oplus B_2$$

$$G_1 = B_2 \oplus B_1$$

$$G_0 = B_1 \oplus B_0$$

依次将这四个输入端进行3个异或门操作得到4个输出段即可

6.3 实现4位二进制数的奇偶校验位生成电路

偶校验位可以将所有位进行异或操作:

$$F_{even} = B_3 \oplus B_2 \oplus B_1 \oplus B_0$$

对于奇校验位则可以简单地将偶校验位的结果取反, 电路可以简单地通过3个异或门和一个非门实现