

**ĐẠI HỌC QUỐC GIA TP. HỒ CHÍ MINH**  
**TRƯỜNG ĐẠI HỌC BÁCH KHOA**  
**KHOA ĐIỆN – ĐIỆN TỬ**  
**BỘ MÔN VIỄN THÔNG**  
-----o0o-----



**Radio Frequency Integrated Circuits and Systems Laboratory**

**RFICS LAB**

***ĐỀ TÀI***

**DESIGN OF OPERATIONAL AMPLIFIER**

**MINIPROJECT 2**

**Student: Lê Trường Quốc**

**TP. HỒ CHÍ MINH, 07 THÁNG 12 NĂM 2024**

## LỜI CẢM ƠN

Em là Lê Trường Quốc, hiện đang là sinh viên năm 3, và đang được học, đào tạo tại RFICS Lab. Em được học tập cùng các anh, chị những người đầy vui vẻ, đam mê và hăng say trong công việc. Em được nghiên cứu trong một môi trường với các phần mềm và công nghệ thực tế là một cơ hội quý giá để em tích lũy kinh nghiệm cho tương lai.

## MỤC LỤC

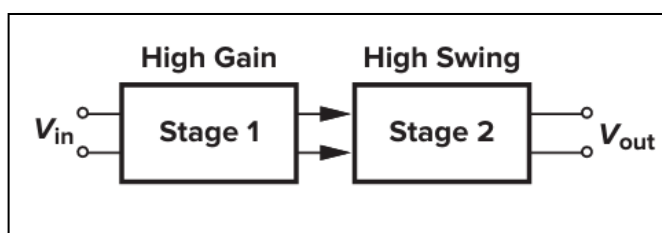
<b>LỜI CẢM ƠN .....</b>	<b>0</b>
<b>NỘI DUNG.....</b>	<b>2</b>
<b>CHƯƠNG 1: LÝ THUYẾT .....</b>	<b>2</b>
1. <i>Op-amp hai tầng.....</i>	2
2. <i>Bù Miller .....</i>	2
<b>CHƯƠNG 2: THIẾT KẾ .....</b>	<b>6</b>
1. <i>Yêu cầu thiết kế (requirement) .....</i>	6
2. <i>Lý do chọn telescopic cascode .....</i>	7
3. <i>Quy trình thiết kế (Design flow) .....</i>	8
4. <i>Thiết kế tầng 1 (First-stage design) .....</i>	8
5. <i>Thiết kế tầng 2 (Two-stage design) .....</i>	15
6. <i>Layout.....</i>	24
7. <i>Post Layout.....</i>	26
<b>KẾT LUẬN .....</b>	<b>29</b>
<b>TÀI LIỆU THAM KHẢO.....</b>	<b>30</b>

# NỘI DUNG

## CHƯƠNG 1: LÝ THUYẾT

### 1. Op-amp hai tầng

Các nhà thiết kế mạch tích hợp thường thiết kế các hệ thống với hành vi cực đơn vì chúng dễ phân tích và có thể chịu được phản hồi âm mà không gặp vấn đề về ổn định. Do đó, các bộ khuếch đại thuật toán một giai đoạn đã được ưa chuộng nhờ phản ứng tần số ổn định của chúng. Một số thách thức phát sinh khi thiết kế các bộ khuếch đại khi công nghệ CMOS liên tục thu nhỏ và hiện đại hơn. Ngoài ra, điện áp nguồn cũng giảm, khiến các kỹ thuật như nối tiếp các con transistor trở nên khó thực hiện hơn. Các quy trình mới thu nhỏ cho phép tốc độ nhanh hơn, nhưng độ lợi vòng hở thấp hơn và sự giảm điện áp không cho phép nối tiếp nhiều giai đoạn để đạt được độ lợi cao hơn. Do đó, các kiến trúc thay thế phải được triển khai để khắc phục nhược điểm của các bộ khuếch đại một giai đoạn. Các bộ khuếch đại nhiều giai đoạn có thể được triển khai để đạt được thiết kế mạch có độ lợi cao hơn, bất kể các hạn chế về điện áp nguồn và các khía cạnh hiệu suất khác ảnh hưởng đến các bộ khuếch đại một giai đoạn.



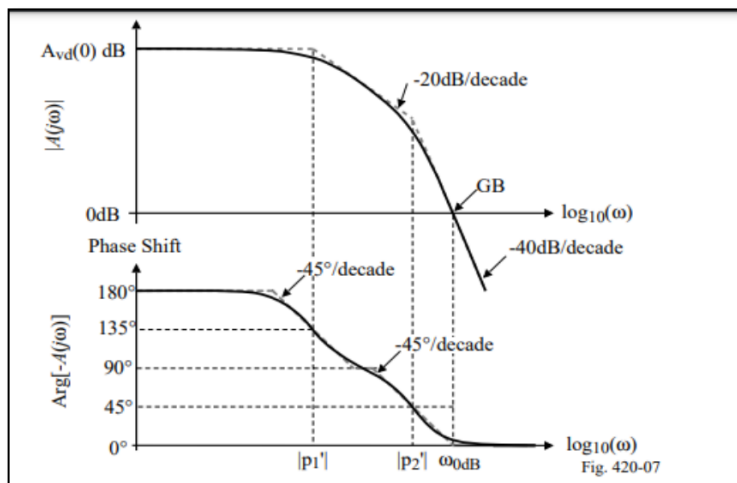
#### *Op-amp hai tầng*

Giai đoạn thứ hai thường được cấu hình như một tầng nguồn chung đơn giản để cho phép biên độ dao động đầu ra tối đa.

### 2. Bù Miller

Các bộ khuếch đại nhiều giai đoạn thường phức tạp trong việc bù tần số. Bộ khuếch đại thuật toán hai giai đoạn là bộ khuếch đại đa giai đoạn được sử dụng phổ biến nhất vì nó có thể cung cấp độ lợi cao và biên độ dao động đầu ra lớn. Tuy nhiên, một bộ khuếch đại thuật toán hai giai đoạn chưa được bù có hàm truyền đạt hai cực, và các cực này nằm dưới tần số độ lợi bằng một. Do đó, một mạch bù tần số phải được triển khai để đảm bảo sự ổn định. Rất khó để thiết kế một hệ thống với hành vi thực sự của một cực đơn, tuy nhiên, hành vi mong muốn này có thể được xấp xỉ trong một khoảng tần số nằm trong các thông số thiết kế mong muốn.

Do các thành phần ký sinh trên bộ khuếch đại, ngoài việc làm suy giảm tín hiệu, còn gây ra sự dịch pha giữa đầu vào và đầu ra. Sự dao động sẽ xảy ra khi sự dịch pha (biên độ pha) vượt quá 180 độ. Một biên độ pha 180 độ sẽ biến phản hồi âm thành phản hồi dương, gây ra sự dao động trong bộ khuếch đại. Do đó, càng nhiều tầng khuếch đại, hành vi của nó càng không ổn định, đòi hỏi các phương pháp bù phức tạp hơn. Theo quy tắc chung, biên độ pha 45 độ hoặc lớn hơn sẽ mang lại độ ổn định tốt và ít vượt ngưỡng hơn, như thể hiện trong hình 1, độ ổn định là quan trọng để có được phản hồi bước tốt trên bộ khuếch đại. Hành vi mong muốn của một bộ khuếch đại là đạt đến giá trị cuối cùng một cách nhanh chóng, do đó, bộ khuếch đại phải ổn định và có biên độ pha ít nhất lớn hơn 45 độ. Một bộ khuếch đại hai tầng bao gồm một bộ khuếch đại vi sai ở tầng đầu vào, trong khi tầng thứ hai là một tầng khuếch đại cao được bù bởi đầu ra của bộ khuếch đại vi sai. Như đã giải thích trước đó, bộ khuếch đại hai tầng có hai cực dưới độ lợi vòng hở bằng một. Như thể hiện trong hình 3, khi độ lợi của bộ khuếch đại hai tầng bằng tần số độ lợi bằng một, sự dịch pha ít hơn 45 độ. Do đó, để đạt được độ ổn định, bộ khuếch đại hai tầng phải được bù. Kiến trúc bù phổ biến nhất trong thiết kế mạch và hệ thống analog là tách cực bằng cách sử dụng hiệu ứng Miller. Đây được gọi là kỹ thuật bù Miller.



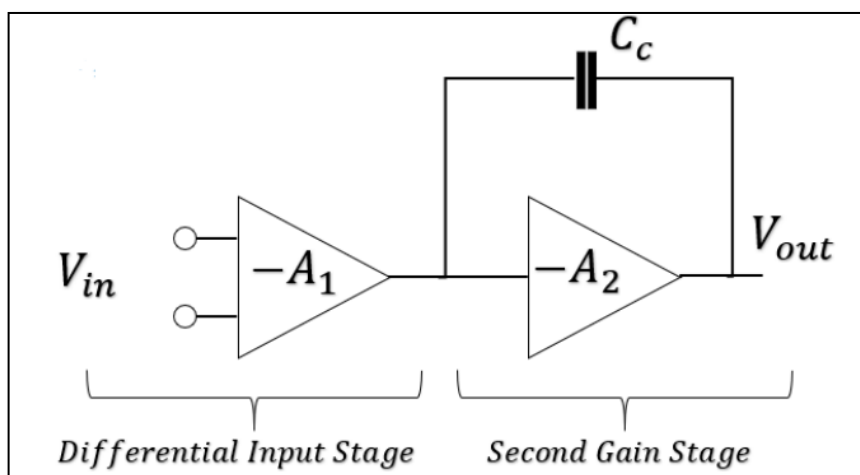
### *Đáp ứng tần số của một bộ khuếch đại hoạt động chưa được bù*

Một bộ khuếch đại hoạt động hai tầng bao gồm một bộ khuếch đại vi sai ở tầng đầu vào, trong khi tầng thứ hai là một tầng khuếch đại cao được bù bởi đầu ra của bộ khuếch đại vi sai. Như đã giải thích trước đó, bộ khuếch đại hoạt động hai tầng có hai cực dưới độ lợi vòng hở bằng một. Như thể hiện trong hình 3, khi độ lợi của bộ khuếch đại hoạt động hai tầng bằng tần số độ lợi bằng một, sự dịch pha ít hơn 45 độ. Do đó, để đạt được độ ổn định, bộ khuếch đại hoạt

động hai tầng phải được bù. Kiến trúc bù phổ biến nhất trong thiết kế mạch và hệ thống analog là tách cực bằng cách sử dụng hiệu ứng Miller. Đây được gọi là kỹ thuật bù Miller.

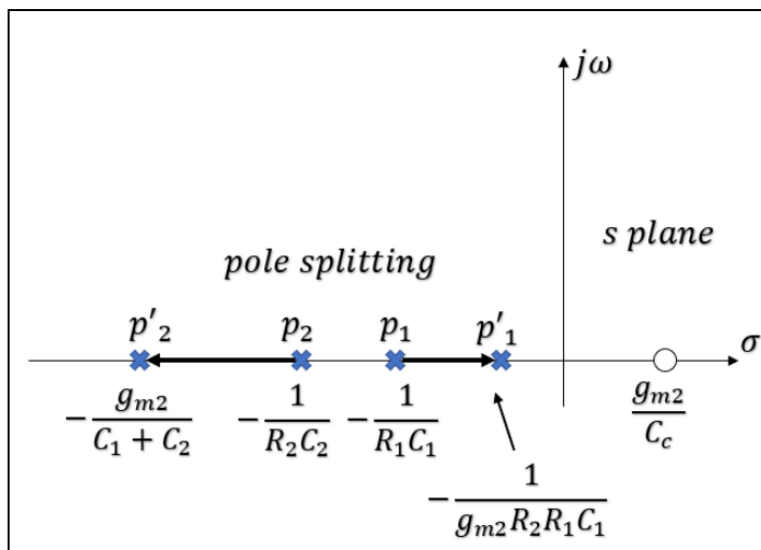
### Nguyên tắc của Kỹ thuật Bù Miller

Hiệu ứng Miller làm cho một cực trở nên chi phối hơn bằng cách di chuyển cực xuống tần số thấp hơn, trong khi cực còn lại trở nên kém chi phối hơn bằng cách di chuyển cực lên tần số cao hơn (tách cực). Hành động này nhằm đạt được biên độ pha thích hợp bằng cách buộc hàm truyền của hệ thống hoạt động như một hệ thống cực đơn. Kỹ thuật bù Miller bao gồm một tụ điện bù được đặt giữa đầu ra của tầng đầu tiên (bộ khuếch đại vi sai) và đầu ra của bộ khuếch đại hoạt động (đầu ra của bộ khuếch đại tầng khuếch đại). Một sơ đồ khối được hiển thị ở hình



Sơ đồ khối của một bộ khuếch đại sử dụng bù Miller

Kết quả của kỹ thuật bù Miller là một zero ở nửa phải mặt phẳng (RPH) được giới thiệu trong bộ khuếch đại vận hành hai giai đoạn do dòng điện phản hồi từ đầu ra của giai đoạn đầu tiên và đầu ra của bộ khuếch đại vận hành, vì hiệu ứng Miller có thể làm tăng đáng kể hằng số thời gian liên quan đến tụ bù [4]. Đây là một tác dụng không mong muốn vì nó làm suy giảm biên độ pha, giới hạn băng thông tối đa của bộ khuếch đại vận hành hai giai đoạn. Do những lý do này, kích thước của tụ bù trong bộ khuếch đại vận hành hai giai đoạn thường lớn. Như đã chỉ ra trong đồ thị cực-zero, các cực của đầu vào và đầu ra được tách rời, từ đó tạo ra các cực chi phối và không chi phối, giúp hệ thống cư xử như một hệ thống bậc nhất.



*Biểu đồ Pole-Zero của Hiệu Ứng Miller trên Bộ Khuếch Đại Hoạt Động*

## CHƯƠNG 2: THIẾT KẾ

### 1. Yêu cầu thiết kế (requirement)

Design a Fully Differential OpAmp with the following specifications:

Parameter	Specification	Unit
Process	CMOS 65nm	-
Supply voltage	1.2	V
Load capacitance	500	fF
Open loop gain	60	dB
Unity gain bandwidth	500	MHz
Phase margin	70	Degree
Current consumption	1	mA
CMRR	80	dB
PSRR	60	dB

- Dựa trên kiến thức lý thuyết, sinh viên cần chọn một topologie Op-Amp phù hợp cho thiết kế (cascode telescopic, cascode gấp, hai giai đoạn, hoặc tăng cường độ khuếch đại) và giải thích lý do lựa chọn.
- Áp dụng phương pháp thiết kế  $gm/Id$ , cung cấp lý do cho việc lựa chọn các tham số MOSFET như chiều dài kênh,  $gm/Id$ , dòng phân cực ( $I_d$ ), điện áp phân cực ( $V_{DS}$ ), và sử dụng chúng để tính toán các tham số như  $V_{gs}$ , bề rộng.
- Thực hiện thiết kế layout và thực hiện mô phỏng hậu layout. So sánh kết quả trước và sau layout, phân tích và giải thích bất kỳ sự khác biệt nào (nếu có), và tối ưu hóa layout để cải thiện hiệu suất mạch.



## 2. Lý do chọn telescopic cascode

Topology	Gain	Output swing	Speed	Power Dissipation	Noise
Telescopic	Medium	Medium	Highest	Low	Low
Folded-Cascode	Medium	Medium	High	Medium	Medium
Two-Stage	High	Highest	Low	Medium	Low
Gain-Boosted	High	Medium	Medium	High	Medium

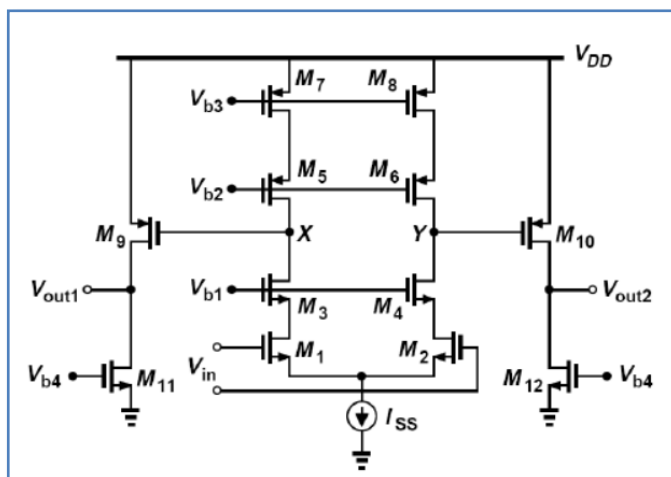
Em lựa chọn cấu trúc Telescopic op-amp two stage vì những lý do sau:

Telescopic op-amp có độ lợi cao cũng như tốc độ, tuy nhiên một nhược điểm quan trọng là output swing bị giới hạn. Khi mạch sử dụng nhiều transistor hơn, output swing giảm do transistor đuôi (tail transistor) trực tiếp tác động vào dải điện áp từ cả hai phía. Đây là một yếu tố quan trọng khi thiết kế mạch trong các hệ thống yêu cầu dải điện áp đầu ra rộng. Việc phân cực cho các transistor trong cấu trúc Telescopic op-amp gặp khó khăn vì các điện áp như  $V_{b1}$ ,  $V_{b2}$ ,  $V_{b3}$  có thể ảnh hưởng lẫn nhau, dễ dẫn đến việc các transistor rơi vào các vùng hoạt động không mong muốn (region 1 và region 3), làm giảm hiệu suất của mạch.

Khi khảo sát tầng 1, em thấy gain khá cao khoảng 52dB. Tuy nhiên, em thấy hạn chế của tầng 1 này là outswing khá thấp:

- $V_{outmin} = (V_{GS3} - V_{TH3}) + (V_{GS1} - V_{TH1}) + (V_{GS9} - V_{TH9})$
- $V_{DD} - (V_{GS5} - V_{TH5}) - (V_{GS7} - V_{TH7})$
- Output swing (ở single-side) =  $V_{DD} - 5 V_{OV}$

Nên em quyết định thêm 1 tầng là common source PMOS để tăng thêm output swing của toàn mạch.



### Telescopic op-amp two stage

- ➔ Cấu trúc Telescopic op-amp có những hạn chế về output swing và phân cực, nhưng nhờ vào các ưu điểm như tiết kiệm năng lượng, tốc độ cao, và nhiễu thấp (có 4 điểm đóng góp nhiễu chính là nhiễu từ nguồn cung cấp, transistor đuôi, transistor đầu vào, transistor đầu ra).

### 3. Quy trình thiết kế (Design flow)

- Khảo sát length của các transistor, transistor M1,M2 thì em sẽ cố định trong một  $g_{m1,2}$  nào đó để đạt được  $UBW = 500MHz$ . Các transistor khác có ảnh hưởng tới gain của mạch thì em cần Length lớn (ta có  $R_{out} = \frac{1}{\lambda I_D}$  thì length lớn  $\lambda$  nhỏ,  $R_{out}$  lớn để gain đạt được yêu cầu). Ta có công thức Gain:

$$A_v = [g_{m1,2}(g_{m3,4}r_{o3,4}r_{o1,2}) || (g_{m5,6}r_{o5,6}r_{o7,8})][g_{m9,10}(r_{o9,10} || r_{o11,12})]$$

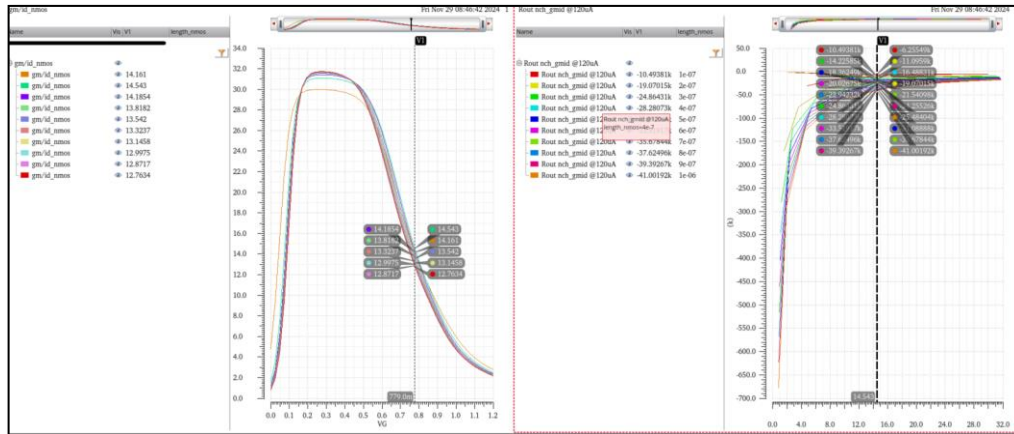
- Tầng 1 (telescopic cascode) được thiết kế sao cho gain được cao nhất, có output swing thấp. Ta có:  $V_{OD7} + V_{OD5} + V_{OD3} + V_{OD1} + V_{OD12} = V_{DD} = 1.2V$  (với M12 là NMOS phân cực dòng 240uA).  $V_{OD12}$  phải lớn vì M12 mang dòng lớn, để đảm bảo phân cực chính xác.
- Tầng 2 (common source) được thiết kế để output swing cao và bù thêm được gain còn thiếu của tầng 1.
- Chọn  $V_{out}$  tầng 1 là 650mV, tầng 2 là 650mV. Ở đây em chọn  $I_D$  (tầng 1)=240uA,  $I_D$  (tầng 2) = 400uA(chọn tầng 1 dòng nhỏ hơn tầng 2 bởi vì tầng 1 để gain lớn hơn tầng 2.)
- Sử dụng phương pháp  $g_m/id$  để tìm và khảo sát các giá trị  $R_{out}$ , JD. Sao cho  $g_m/id$  trong khoảng từ 10-20 S/A để trong vùng moderate.
- Sau khi khảo sát xong các transistor tầng 1 thì tính toán để xem có Gain, UBW, PhaseMargin, tầng 2 cần bao nhiêu để đạt gain. Có phù hợp để đạt được yêu cầu của đề.
- Tiếp tục khảo sát theo phương pháp  $g_m/id$  cho tầng 2 và khảo sát toàn mạch, nếu không đủ yêu cầu quay về chọn lại giá trị length và khảo sát. Sử dụng phương pháp bù Miller để tăng được PhaseMargin.S

### 4. Thiết kế tầng 1 (First-stage design)

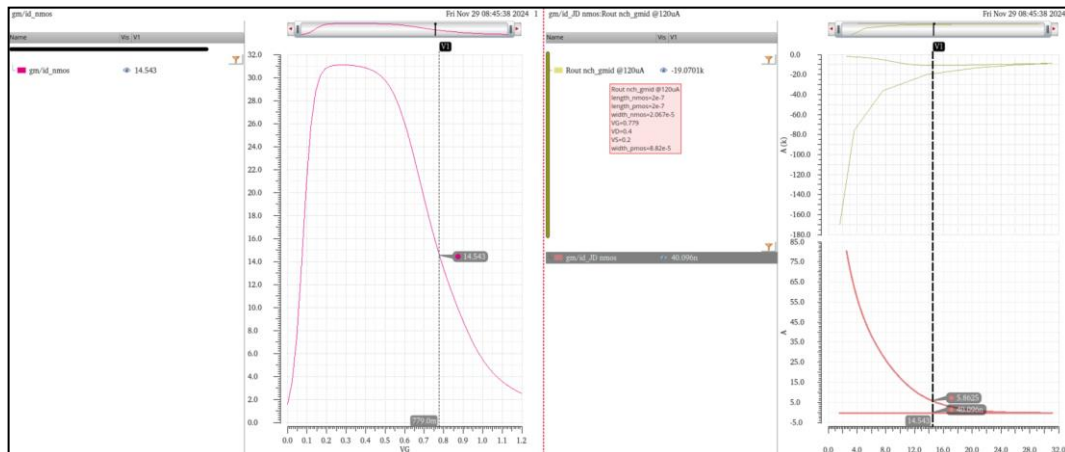
#### a. Thiết kế M1,M2

Đầu tiên em khảo sát với điện áp trong khoảng đã tính toán,  $V_{DSsat1,2} + V_{TH1,2} + V_{S1,2} < V_{G1,2} < V_{TH1,2} + V_{S1,2} \rightarrow 0.667 < V_{G1,2} < 0.867$ . Chọn trước  $V_{G1,2} = 0.779 V$  và khảo sát với  $g_m/id$  và  $R_{out}$  (tại  $I_D = 120uA$ ),

Chọn length của MOS của input khá nhỏ  $L=200n$ , để giảm thiểu điện dung với gm nhất định. Nếu muốn gm lớn, thì cần tăng W của transistor, tuy nhiên nếu tăng W quá lớn thì sẽ làm điện dung ký sinh ( $C_{gs}$ ,  $C_{gd}$ )  $\Rightarrow$  Điều này làm giảm gain và tốc độ của mạch. Khi length nhỏ thì tốc độ chuyển mạch nhanh hơn, kích thước của MOS cũng nhỏ hơn  $\Rightarrow$  tiện cho việc layout.



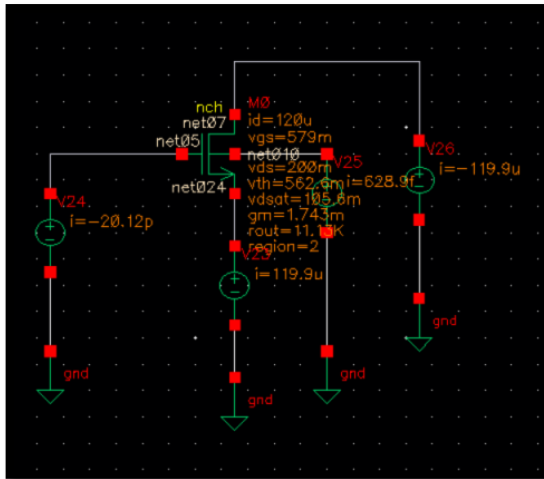
Khảo sát  $gm/id$  và  $Rout$  theo  $V_G$  khi chạy length từ  $100n - 1\mu$



Khảo sát  $gm/id$  và  $Rout$  theo  $V_G$ ,  $JD$  theo  $gm/id$

Với  $gm/id = 14.543$  ta tìm được  $JD = 5.86 \Rightarrow W = \frac{120u}{5.86} \approx 20.47\mu m$

- Ta có công thức:  $UBW = \frac{gm_1}{2\pi CC} \leftrightarrow 500MHz = \frac{gm_1}{2\pi \times 500f} \leftrightarrow gm_1 \approx 1mS$  ( $gm_1$  nhỏ nhất để băng thông đạt được 500MHz)



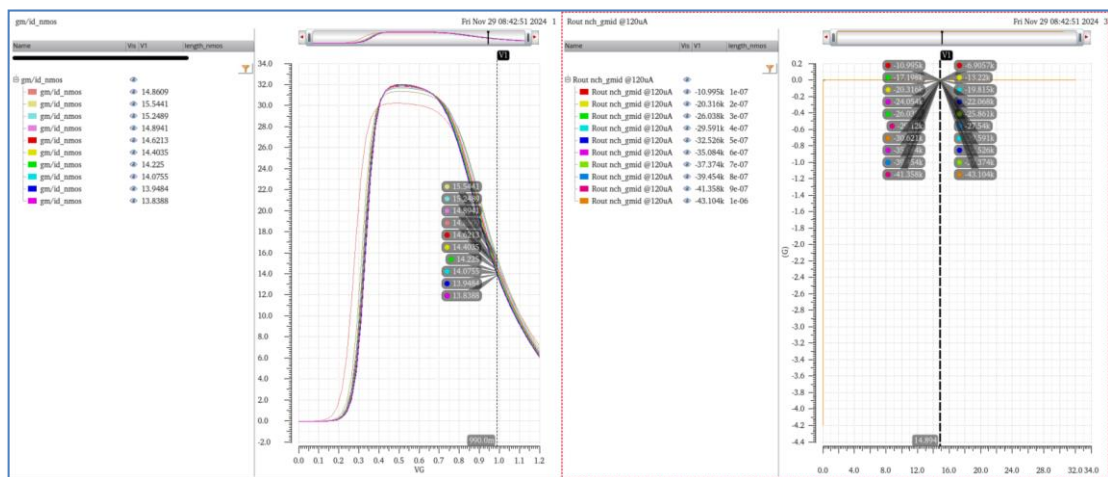
Điểm hoạt động, bảng thông số của M1,M2

	M3,4
Width (m)	20.67u
Length (m)	200n
$ V_{GS} $ (V)	0.579
$ V_{DS} $ (V)	0.2
$V_{in}$ (V)	0.779

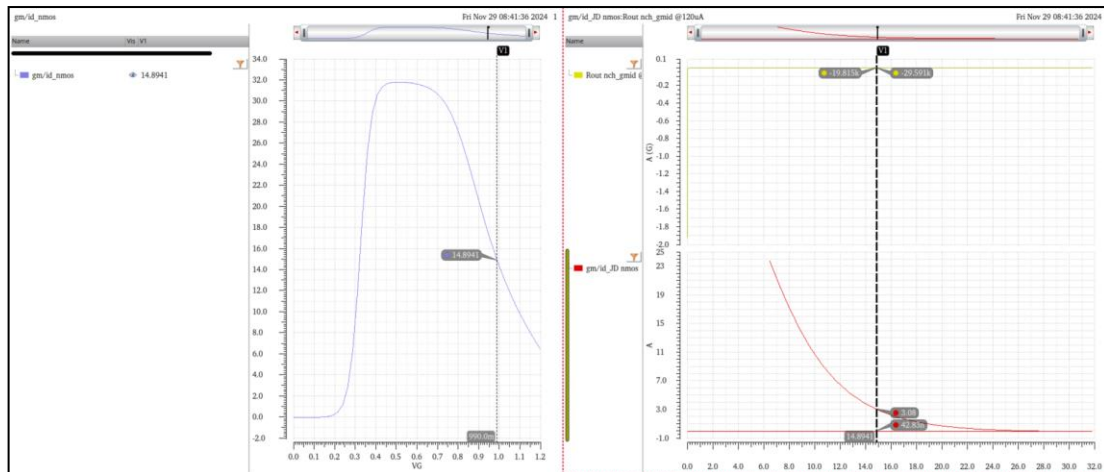
### b. Thiết kế M3,M4

Tiếp tục khảo sát theo điện áp đã tính toán như trước, thì ta tìm được  $V_G=0.99$  và tìm được  $gm/id$  tại đó là  $14.89\text{ S/A}$  (vùng moderate). Ở đây em khảo sát length và thấy được khi length =  $400\text{n}$  thì Rout phù hợp.

Nên khảo sát thêm  $gm \cdot rout$  theo length để xem sự thay đổi của  $gm$  và rout như thế nào khi length thay đổi. Trong bài này, thì em đã chọn length trước và khảo sát với length đó thì có phù hợp hay không.

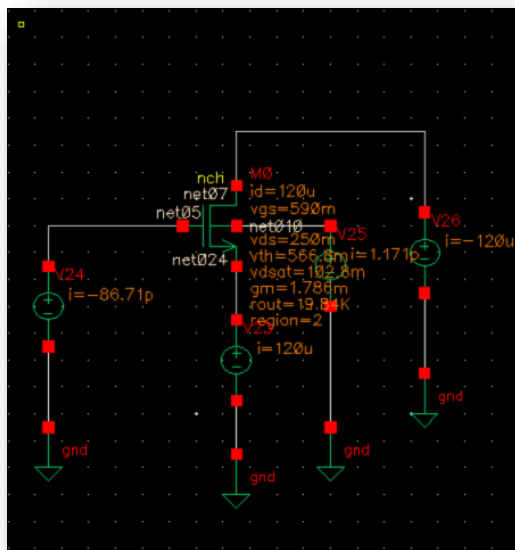


Khảo sát  $gm/id$  và Rout theo  $V_G$  khi chạy length từ  $100\text{n} - 1\mu$



Khảo sát  $gm/id$  và  $Rout$  theo  $V_G$ ,  $JD$  theo  $gm/id$

- Với  $gm/id = 14.8941$  ta tìm được  $JD = 3.08 \Rightarrow W = \frac{120u}{3.08} \approx 39.3um$



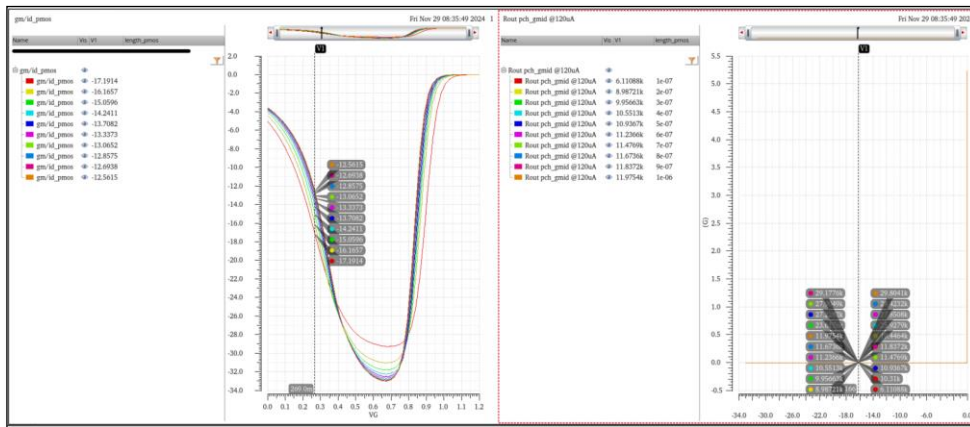
Điểm hoạt động, bảng thông số của M3,M4

	M1,2
Width (m)	39.3u
Length (m)	400n
$ V_{GS} $ (V)	0.59
$ V_{DS} $ (V)	0.25
$V_{in}$ (V)	0.99

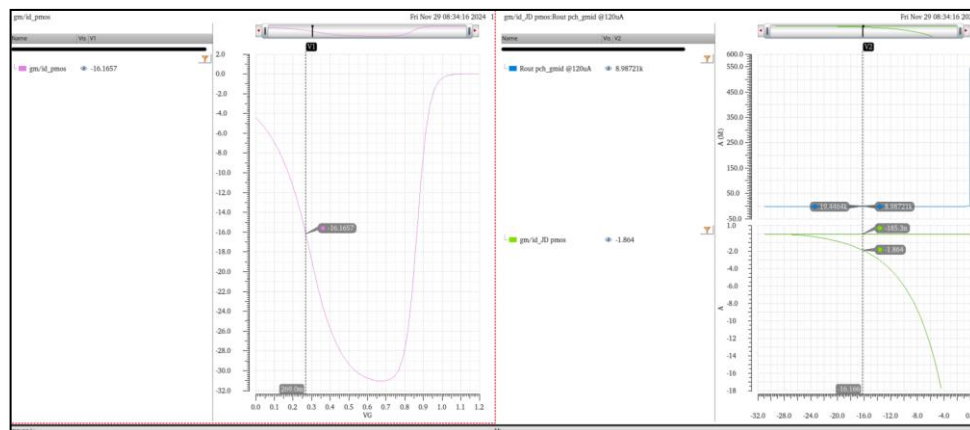
### c. Thiết kế M5,M6

Tiếp tục, khảo sát và tính toán được điện áp cực G của M6,M5 như phần trước. Em tiếp tục chọn  $gm/id$  theo  $V_G$ . Lưu ý khi chọn  $gm/id$ ,  $gm/id$  phải ở vùng moderate từ 10-20 S/A (vùng nghịch đảo vừa phải), ở vùng này thì mos đạt được sự cân bằng giữa tốc độ chuyển mạch và hiệu quả năng lượng  $\Rightarrow$  MOS không tiêu thụ quá nhiều năng lượng nhưng vẫn có thể hoạt động ở tốc độ cao.

$gm/id = 16.1657$  tại  $V_G = 0.269V$ , em thấy  $gm/id$  phù hợp và em thử tiếp tục khảo sát length tại điểm đó thì thấy  $length = 200n$  phù hợp. Tuy nhiên, em quên nhìn biểu thức độ lợi thì đối với M5 thì cần  $length$  vừa phải và nên khảo sát thêm  $gm \cdot rout$  theo  $length$  để xem sự thay đổi của  $gm$  và  $rout$  như thế nào khi  $length$  thay đổi, vì khi  $length$  lớn  $Rout$  lớn tuy nhiên  $gm$  lại sẽ giảm ở mức nào đó, nên ở đây ta cần chọn  $length$  vừa phải để cân bằng 2 yếu tố.

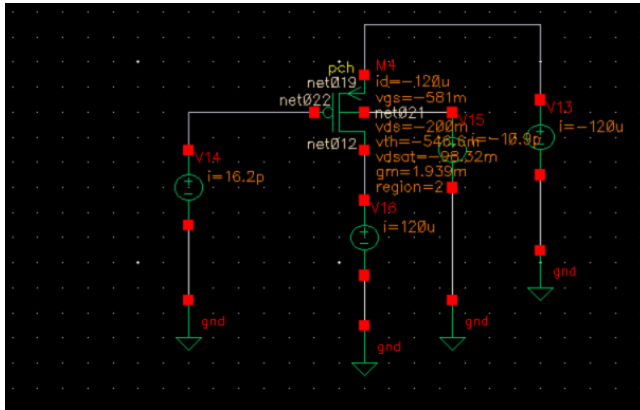


Khảo sát  $gm/id$  và  $Rout$  theo  $V_G$  khi chạy  $length$  từ  $100n - 1u$



Khảo sát  $gm/id$  và  $Rout$  theo  $V_G$ ,  $JD$  theo  $gm/id$

- Với  $gm/id = 16.1657$  ta tìm được  $JD = 1.864 \Rightarrow W = \frac{120u}{1.864} \approx 64.87um$



Điểm hoạt động, bảng thông số của M5,M6

	M3,4
Width (m)	64.87u
Length (m)	200n
$ V_{GS} $ (V)	0.6
$ V_{DS} $ (V)	0.2
$V_{b2}$ (V)	0.269

#### d. Thiết kế M7,M8

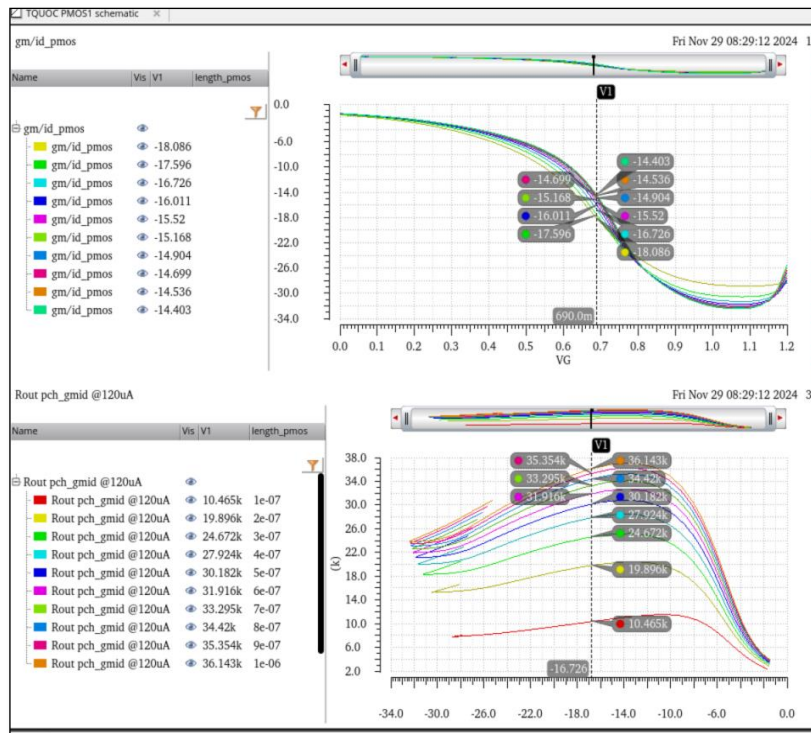
Đầu tiên, ta có biểu thức độ lợi của tầng 1:  $A_v = g_{m1,2}(g_{m3,4}r_{o3,4}r_{o1,2}) || (g_{m5,6}r_{o5,6}r_{o7,8})$

Ta thấy rout1,3,5,7 cần khá lớn để đủ độ lợi cho tầng 1

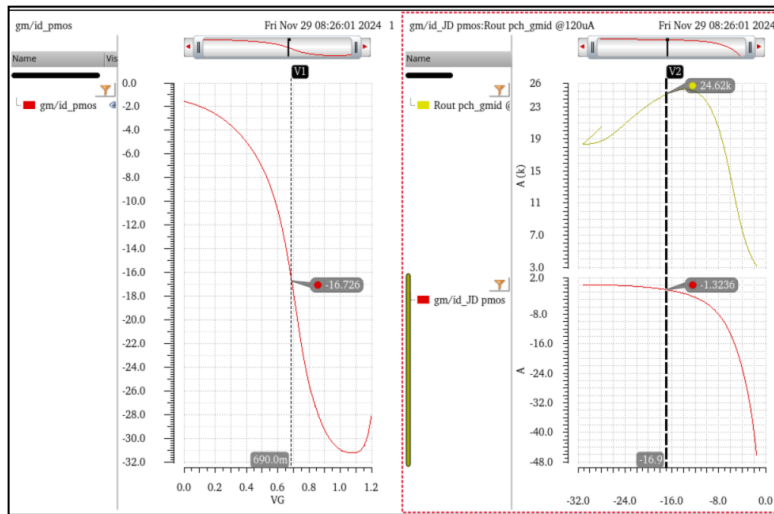
Ở đây em sử dụng phương pháp gm/id để tìm các thông số khác cho phù hợp, tuy nhiên em tìm điện áp  $V_G(V_{bias})$  trong khoảng nên chọn được gm/id cố định trước.

Tính toán điện áp của M8, M7 ở đây:  $V_{DSsat7} + V_{TH7} + V_{S7} < V_G < V_{TH7} + V_{S7} \rightarrow 0.662 < V_G < 0.732$ . Cộng 2 khoảng lại và chia đôi, em vẽ đồ thị gm/id theo  $V_G$  và  $R_{out}$  (tại  $I_D = 120\mu A$ ),  $J_D$  theo gm/id. Thấy gm/id tại  $V_G = 0.69$  là -16.726 là phù hợp ở vùng moderate nên em chọn gm/id tại điểm này và tìm được  $J_D$ ,  $R_{out}$ . Từ đó suy ra được  $W = \frac{I_D}{J_D} = 88.2\mu$





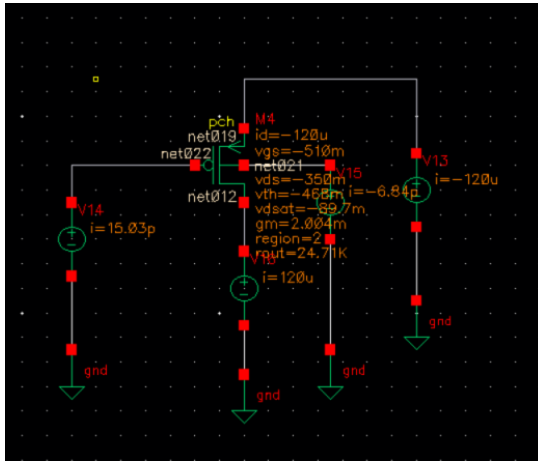
Khảo sát gm/id và Rout theo  $V_G$  khi chạy length từ 100n -1u



Khảo sát gm/id và Rout theo  $V_G$ , JD theo gm/id

- Với gm/id = 16.726 ta tìm được JD=1.3236  $\Rightarrow W = \frac{120u}{1.3236} \approx 90.66\mu m$

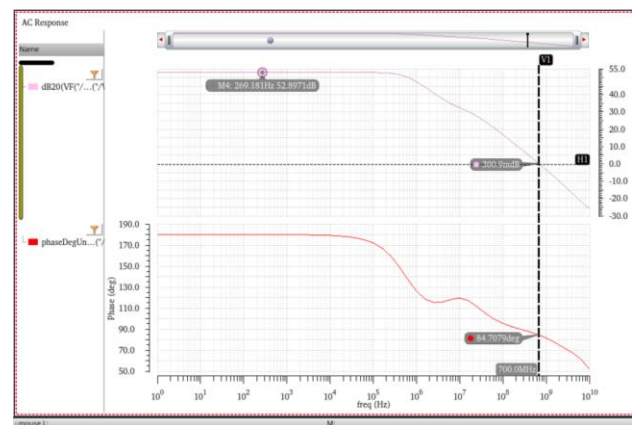
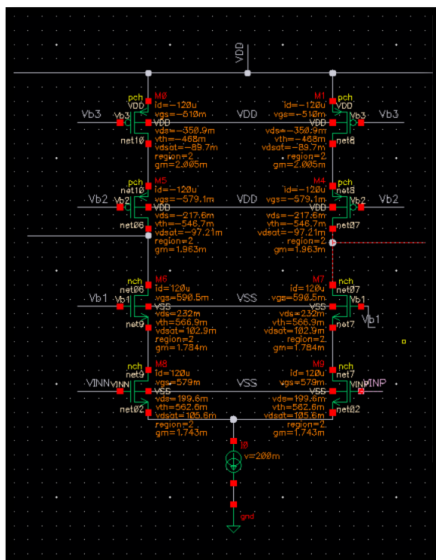




Điểm hoạt động, bảng thông số của M7,M8

	M7,8
Width (m)	88.2u
Length (m)	300n
$ V_{GS} $ (V)	0.51
$ V_{DS} $ (V)	0.35
$V_{b3}$ (V)	0.69

#### e. Mô phỏng tầng 1



Với dòng tiêu thụ tầng 1 là 240uA, và điện áp  $V_{out} = 650mV$ ,  $Gain = 52.8971dB$ ,  $UBW = 700MHz$ ,  $Phase\ Margin = 84.7deg$ . Tầng 1 đạt gần hết yêu cầu đề ra. Để độ lợi của tầng 1 còn thiếu, để tăng được độ lợi thì cần tăng Length của các con MOS hoặc tăng dòng tổng tầng 1, trade-off là sẽ làm giảm UBW, tăng kích thước, tăng công suất tiêu thụ của mạch.

### 5. Thiết kế tầng 2 (Two-stage design)

#### a. Thiết kế M9,M10

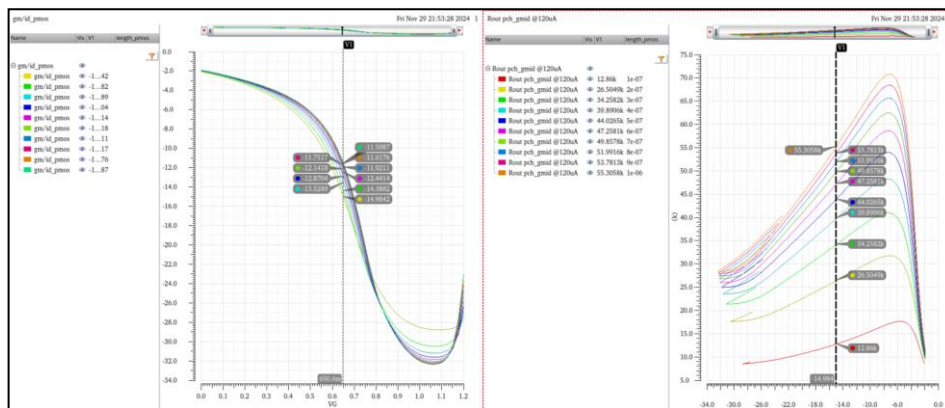
Em chọn common source PMOS là ngõ vào bởi vì để có thể tối đa hóa gm khi hoạt động ở tần số cao (vì nếu cùng kích thước thì gm NMOS lớn hơn PMOS). PMOS giúp giảm nhiễu flicker.

Tầng 2 cần dòng lớn để gm lớn, thì length cần phải nhỏ  $\Rightarrow L=100n$ , ta cần gm9,10 lớn hơn khoảng 4 lần so với gm1,2 để mạch được ổn định. Và tầng 2 em cần rout cần nhỏ  $\Rightarrow$  độ lợi nhỏ để vừa đủ độ lợi của yêu cầu.

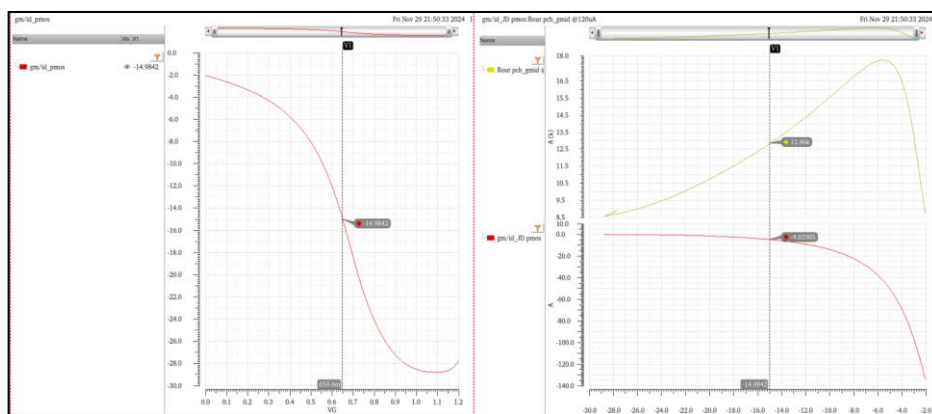
Ta có công thức độ lợi của toàn mạch:

$$A_v = [g_{m1,2}(g_{m3,4}r_{o3,4}r_{o1,2})][g_{m5,6}r_{o5,6}r_{o7,8}][g_{m9,10}(r_{o9,10}||r_{o11,12})]$$

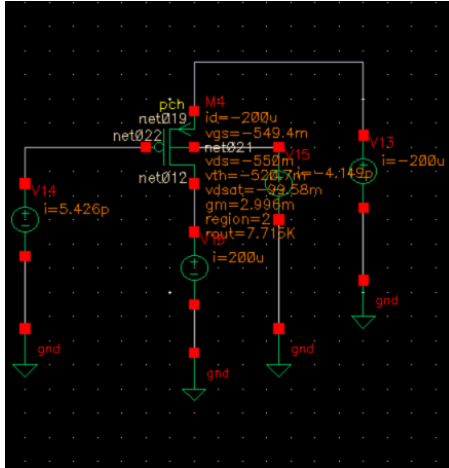
- Tiếp tục khảo sát với điện áp trong khoảng đã tính toán. Và em tìm được các thông số như trong bảng.



Khảo sát gm/id và Rout theo  $V_G$  khi chạy length từ 100n - 1u



Khảo sát gm/id và Rout theo  $V_G$ , JD theo gm/id

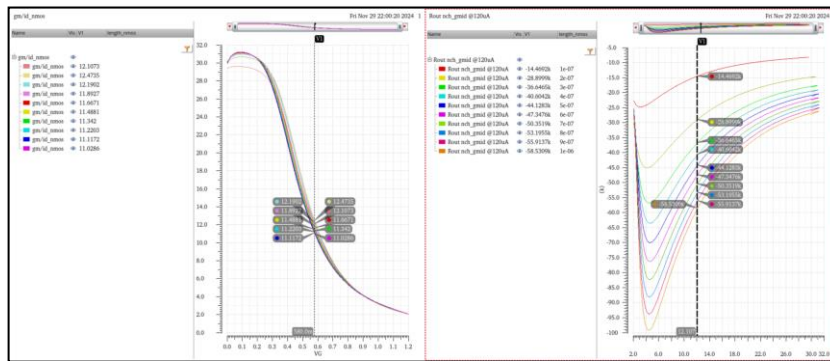


Điểm hoạt động, bảng thông số của M7,M8

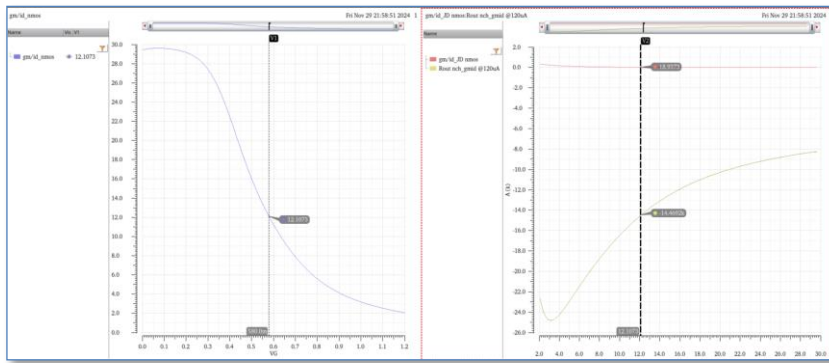
#### b. Thiết kế M11,M12

Tiếp tục khảo sát, em cần  $V_{out}$  là 650mV, tìm được  $gm/id$  (ở vùng moderate) theo điện áp tính toán.  
Ta có  $A_v$  (tầng 2) =  $gm_9(ro_9//ro_{10}) = 21.74$  dB.

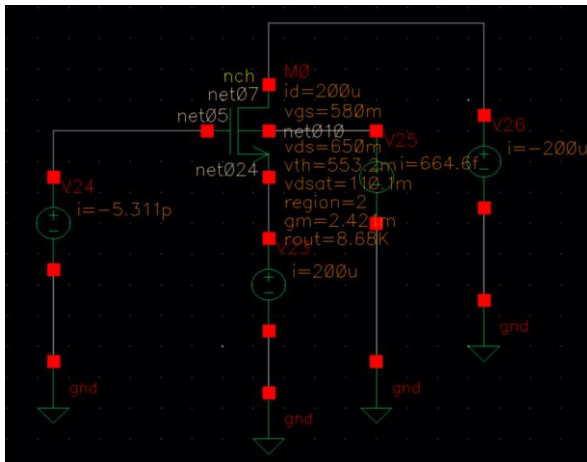
	M9,M10
Width (m)	43.55u
Length (m)	100n
$ V_{GS} $ (V)	0.549
$ V_{DS} $ (V)	0.55
$V_G$ (V)	0.65



Khảo sát  $gm/id$  và  $R_{out}$  theo  $V_G$  khi chạy length từ 100n - 1u



Khảo sát  $gm/id$  và  $Rout$  theo  $V_G$ ,  $JD$  theo  $gm/id$

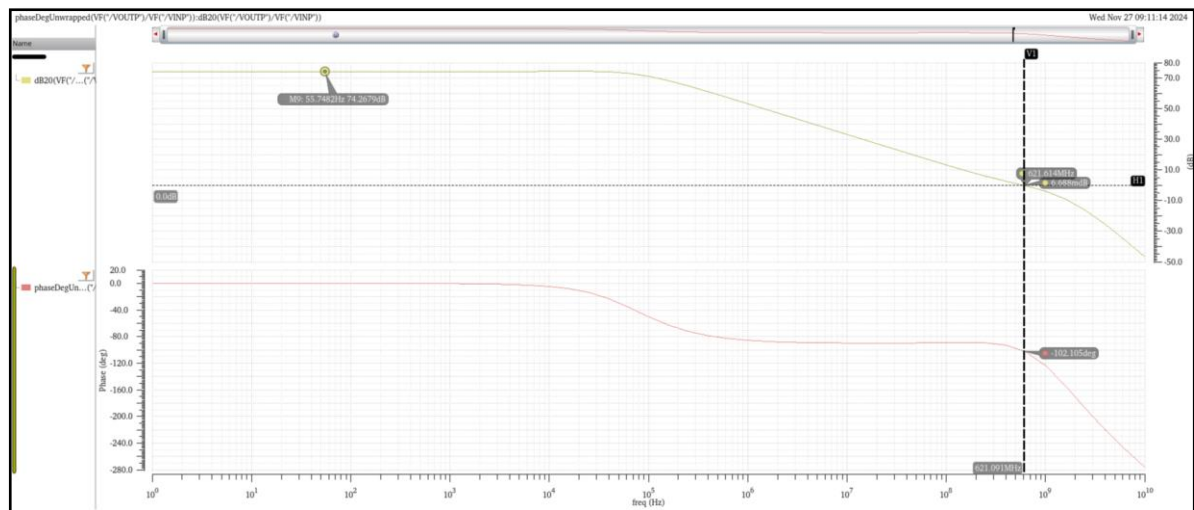


Điểm hoạt động, bảng thông số của M7,M8

	M3,4
Width (m)	10.6u
Length (m)	100n
$ V_{GS} $ (V)	0.58
$ V_{DS} $ (V)	0.65
$V_{b5}$ (V)	0.58

- Bước tiếp theo, em thiết kế dòng tổng của tầng 1, ban đầu là dòng lý tưởng 240u, khi phân cực thì em sử dụng gương dòng tham chiếu từ  $I_{ref}=10u$ . Một số lưu ý khi thiết kế: các length của transistor phải bằng nhau để hạn chế sai lệch kích thước của cực D và S. Do hiệu ứng Channel-Length-Modulation gây nhiều sai lệch trong thiết kế dòng tham chiếu và dòng ngõ ra.

### c. Mô phỏng mạch

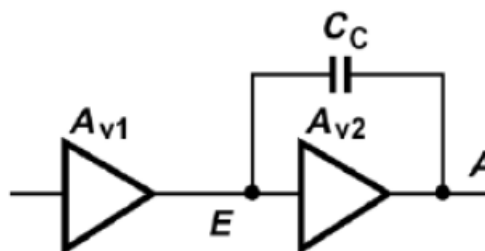


Đồ thị Gain, UBW và phaseMargin lúc chọn bất kỳ giá trị của tụ CC và Rz

**Nhận xét:** Sau khi em thiết kế xong, khi muốn tăng Gain tầng 1 thì ta phải tăng Length của các transistor M1,2,3,4 để tăng rout hoặc tăng dòng tổng Iss của tầng 1 lên. Tuy nhiên nhược điểm ở đây sẽ làm UBW giảm, làm tăng kích thước và tăng công suất tiêu thụ của toàn mạch. Khi muốn tăng UBW thì ta phải giảm Length hoặc tăng dòng ISS hoặc giảm tụ bù Cc, nhược điểm ở đây sẽ làm giảm Gain, phasemargin và làm tăng công suất tiêu thụ. Muốn tăng phasemargin thì ta phải tăng gm của PMOS load của tầng 2, thay đổi giá trị CC và Rz để đạt phasemargin lớn nhất.

Khi thêm tụ bù  $C_C=500f$ , và  $R_z=1K$  thì em thấy Gain =74dB, UBW=621MHz, PhaseMargin = 78 degree. Đầu tiên, muốn tăng UBW thì ta phải giảm length hoặc giảm dòng của tầng 1, giảm tụ bù CC, nhược điểm sẽ làm giảm Gain và tăng P tiêu thụ, cũng như sẽ làm giảm phasemargin. Thứ hai, muốn PhaseMargin tốt thì ta cần tăng gm, thay đổi các giá trị tụ CC và Rz để phasemargin đạt yêu cầu, nhược điểm sẽ làm tăng kích thước và công suất, cũng như nếu điều chỉnh không đúng pole, zero sẽ làm giảm Bandwidth của mạch.

Theo em tham khảo thì ta có các cực của mạch telescopic:



Theo định lý Miller thì tụ điện  $C_c$  sẽ được chia thành hai tụ điện có giá trị lần lượt tại điểm E và A là:

$$C_1 = C_c(1 + Av_2) \approx C_c \cdot Av_2 \text{ và } C_2 = C_c(1 + \frac{1}{Av_2}) \approx C_c.$$

Vì vậy có các điểm cực mới là:

$$p_{1\_new} = \frac{1}{R_{out1} \cdot C_{E\_new}} = \frac{1}{R_{out1} \cdot (C_{E\_old} + C_1)} \approx \frac{1}{R_{out1} \cdot C_1} = \frac{1}{R_{out1} \cdot C_c \cdot Av_2}$$

$$p_{2\_new} = \frac{1}{R_{out2} \cdot C_{L\_new}} = \frac{1}{R_{out2} \cdot (C_L + C_c)}$$

Để đạt được Phase margin là  $70^\circ$

Cho rằng:  $z \geq 10 \text{ UGB}$

$$\begin{aligned} \angle \frac{v_o}{v_{in}} &= \tan^{-1}\left(\frac{\omega}{z}\right) - \tan^{-1}\left(\frac{\omega}{|p_1|}\right) - \tan^{-1}\left(\frac{\omega}{|p_2|}\right) \\ &= -\tan^{-1}\left(\frac{\text{GBW}}{10\text{GBW}}\right) - \tan^{-1}\left(g_{m1}g_{m2} \frac{R_1 R_2 C_c}{C_c}\right) - \tan^{-1}\left(\frac{\text{UGBW}}{p_2}\right) \\ &= -\tan^{-1}\left(\frac{1}{10}\right) - \tan^{-1}(g_{m1}g_{m2} R_1 R_2) - \tan^{-1}\left(\frac{\text{UGBW}}{p_2}\right) \\ -180 + \text{PM} &= -5.71 - 90 - \tan^{-1}\left(\frac{\text{UGBW}}{p_2}\right) \\ \Rightarrow \text{PM} = 70^\circ &= 84,29 - \tan^{-1}\left(\frac{\text{UGBW}}{p_2}\right) \\ \Rightarrow \frac{\text{UGBW}}{p_2} &= \tan(84,29 - 70) = 0.2547 \\ \Rightarrow p_2 &\geq 3.9261 \text{ UGBW} \\ \Leftrightarrow \frac{g_{m2}}{C_L} &\geq 3,9261 \frac{g_{m1}}{C_c} \quad (*) \end{aligned}$$

We have:  $z = 10 \text{ UGBW} \Rightarrow \frac{gm_2}{C_c} = \frac{10gm_1}{C_C} \quad (**)$

Từ (\*) và (\*\*) được:

$$\frac{10gm_1}{C_L} \geq 3.9261 \frac{gm_1}{C_C}$$

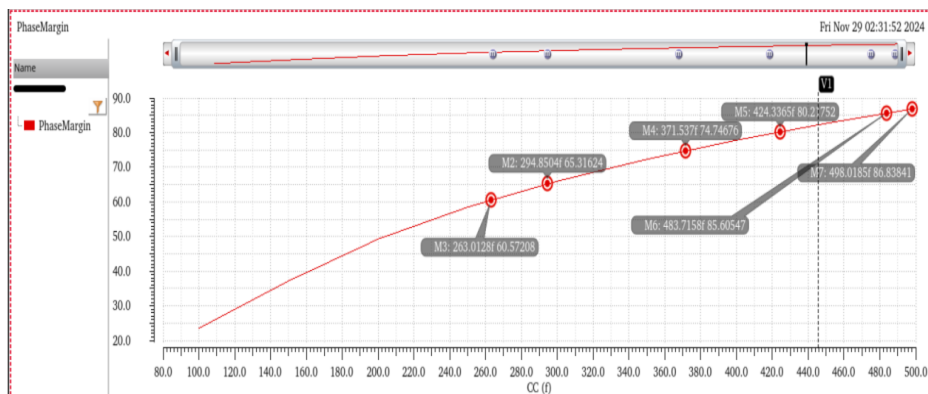
$$\Rightarrow C_C \geq 0.39261 C_L$$

Vì vậy sau khi bù Miller có được điểm cực thứ nhất ở tần số thấp hơn và điểm cực thứ hai ở tần số cao hơn. Cực nằm bên trái mặt phẳng phức: khi đi qua cực nằm bên trái mặt phẳng phức (đi từ gốc tọa độ), biên độ của hệ thống giảm, đáp ứng pha của hệ thống tăng (độ dự trữ pha giảm).

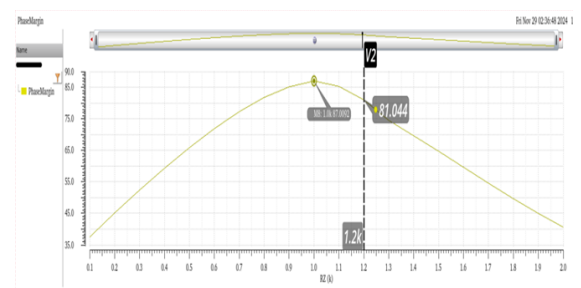
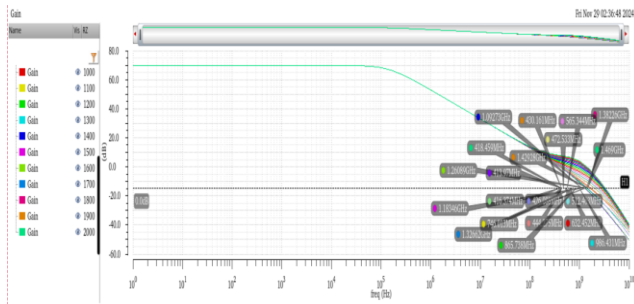
Cực nằm bên phải mặt phẳng phức: khi đi qua cực nằm bên phải mặt phẳng phức (đi từ gốc tọa độ), biên độ của hệ thống giảm, đáp ứng pha của hệ thống giảm (độ dự trữ pha tăng).

Zero nằm bên trái mặt phẳng phức; biên độ của hệ thống tăng: đáp ứng pha của hệ thống giảm (độ dự trữ pha tăng).

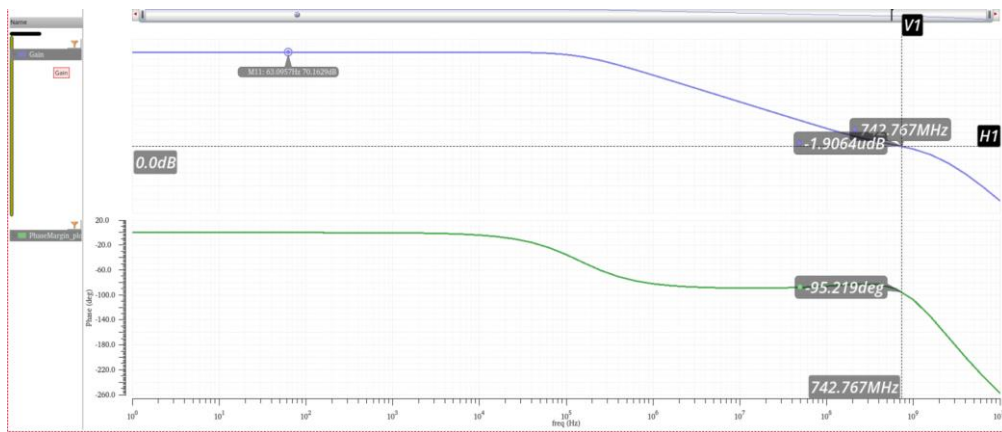
Zero nằm bên phải mặt phẳng phức khi đi qua zero nằm trên phải mặt phẳng phức (đi từ gốc tọa độ), biên độ của hệ thống tăng, đáp ứng pha của hệ thống tăng (độ dự trữ pha giảm).



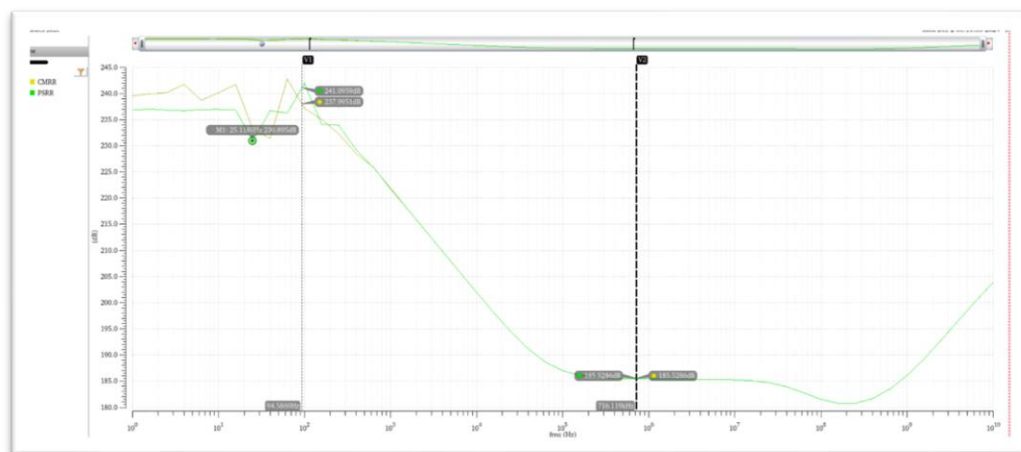




Em khảo sát tụ bù và trở zero thì em thấy để thông số ngõ ra đạt tốt nhất thì em chọn tụ bù  $CC=500f$ ,  $R_z=1.1KHz$ . Khi nhập vào mạch với trở poly và tụ mimcap thì độ lợi của em 70.16dB,  $UBW=742MHz$ ,  $PhaseMargin=85\text{ degree}$



*Mạch sau khi thay đổi giá trị tụ  $CC=500f$ ,  $R_z=1.1KHz$*



*Đồ thị của PSRR và CMRR*

Vẽ đồ thị của PSRR và CMRR thì em thấy giá trị của 2 thông số này rất cao, lần lượt là 237 dB và 241dB, hình dạng của đồ thị không ổn định do đang dùng nguồn lý tưởng VDC để phân cực cho các transistor. CMRR cao có nghĩa là mạch của em đang hoạt động rất tốt trong việc



loại bỏ tín hiệu đồng mạch => Loại bỏ các nhiễu đồng pha tốt, các tín hiệu vi sai được khuếch đại. PSRR cao nghĩa là mạch của em có thể loại bỏ nhiễu rất tốt từ nguồn cung cấp => Mạch ít bị ảnh hưởng bởi sự biến đổi của nguồn

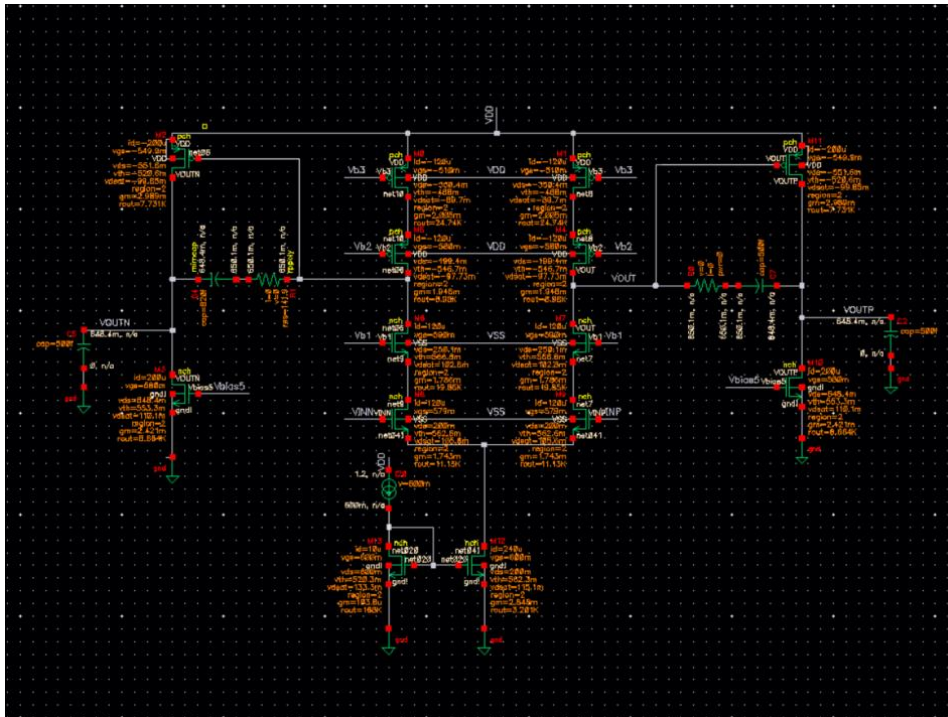
cung cấp.

*Kết quả của mạch đạt được:*

Gain	70.16dB
Unity Gain Bandwidth	742Mhz
Phase margin	85 degree
PSRR	241dB
CMRR	237dB
Total current	640uA

*Các thông số của mạch:*

	<b>M<sub>1,2</sub></b>	<b>M<sub>3,4</sub></b>	<b>M<sub>5,6</sub></b>	<b>M<sub>7,8</sub></b>	<b>M<sub>9,10</sub></b>	<b>M<sub>11,12</sub></b>	<b>M<sub>ISS</sub></b>
<b>Width (m)</b>	20.67u	39.3u	64.87u	64.87u	43.55u	10.6u	14.56u
<b>Length (m)</b>	200n	400n	200n	200n	100n	100n	100n
<b> V<sub>GS</sub> (V)</b>	0.579	0.59	0.6	0.6	0.549	0.58	0.6

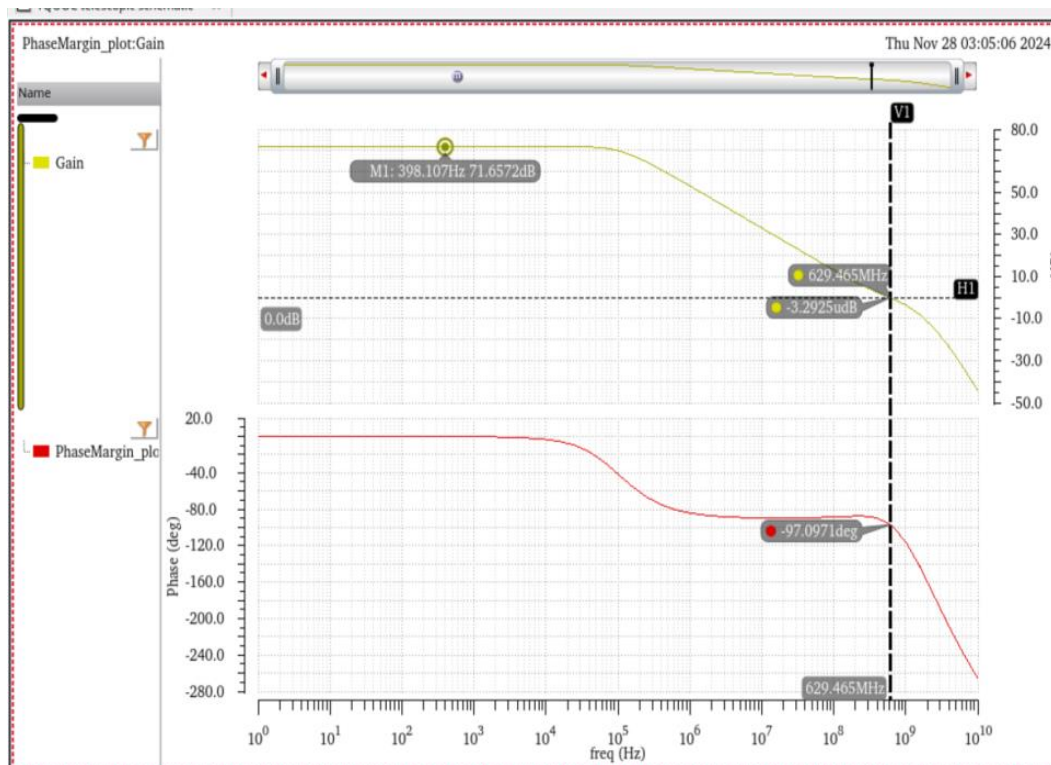


Mạch em bị lệch VDS của các transistor tầng 1, do khi phân cực chưa chính xác nhất. Giá trị Vout của tầng 1 là 650.1mV và Vout tầng 2 là 648.4mV gần đúng so với giá trị được chọn ban đầu

*Các thông số của mạch sau khi chia multiplier và finger:*

	<b>M<sub>1,2</sub></b>	<b>M<sub>3,4</sub></b>	<b>M<sub>5,6</sub></b>	<b>M<sub>7,8</sub></b>	<b>M<sub>9,10</sub></b>	<b>M<sub>11,12</sub></b>	<b>M<sub>ISS</sub></b>
<b>Width (m)</b>	2.86u	2.825u	2.44u	2.24u	1.91u	1.33u	1.08u
<b>Multiplier</b>	1	1	2	1	2	2	1

<b>Finger</b>	6	10	12	12	12	6	10
<b>Length (m)</b>	150n	400n	200n	200n	100n	100n	500n

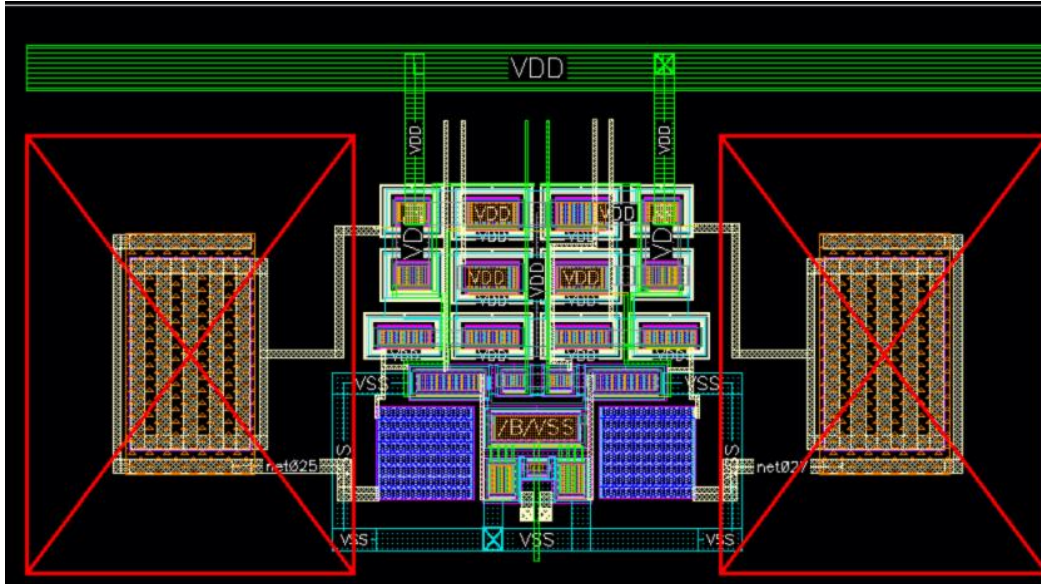


*Đồ thị gain, UBW, Phase Margin sau khi chia multiplier và finger*

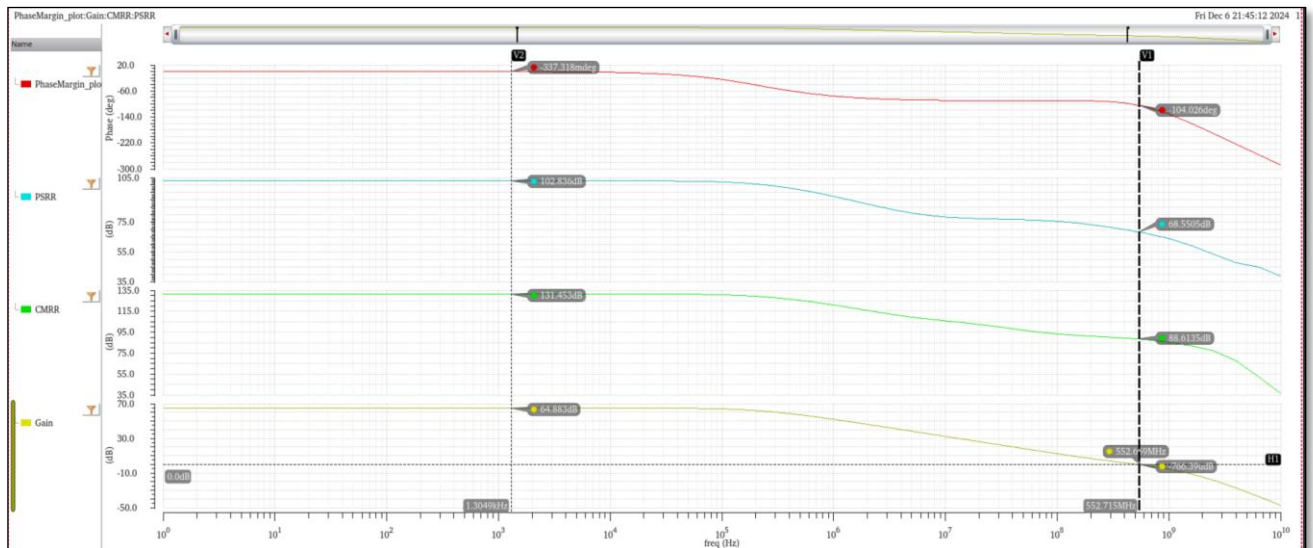
Khi phân chia multiplier và finger thì em nhận thấy là mình phải giữ giá trị gm/id của tầng 1 để giữ gm, rout để kết quả thu được không thay đổi quá nhiều, còn tầng 2 thì em phân cực lại theo Vout của tầng 1.

Sau khi chia multiplier và finger thì em thấy khi mình chia nhỏ các finger thì sẽ làm giảm điện trở và tụ ký sinh của mạch, cải thiện độ lợi ở tần số cao. Còn khi chia multi sẽ làm giảm VTH của transistor. Nếu mình chia quá nhiều multiplier và finger thì khi mình layout nếu đi các lớp metal via không tốt, ví dụ như dòng lớn nhưng lớp metal thì

đi quá nhỏ sẽ gây ra bị thất thoát dòng. Em chia multiplier và finger sao cho width của transistor khoảng 1-3u để có thể dễ dàng layout.



## 7. Post Layout



Đồ thị gain, UBW, Phase Margin, PSRR, CMRR

***Kết quả của mạch đạt được sau khi layout:***

Gain	64.88dB
Unity Gain Bandwidth	552.669Mhz
Phase margin	75.974degree
PSRR	102.836dB
CMRR	131.453dB

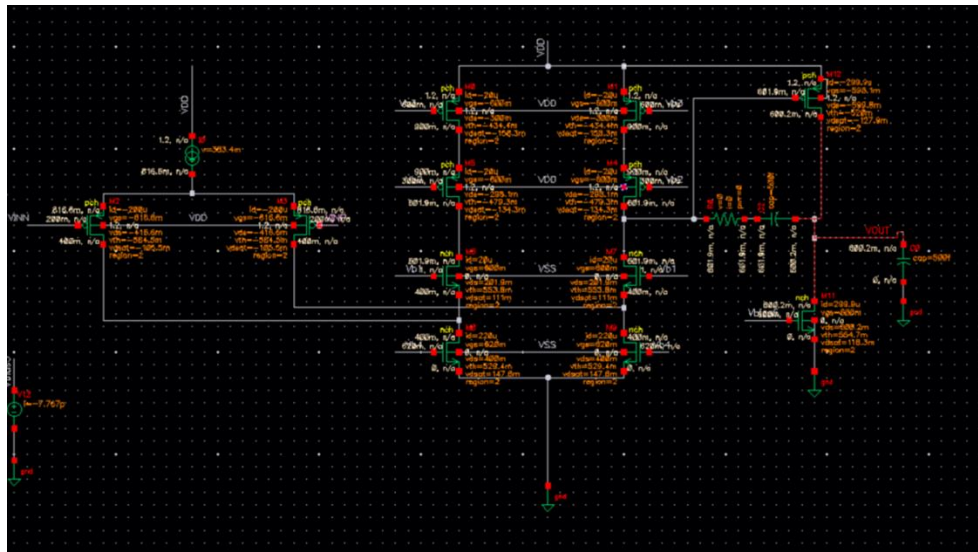
Nhận xét: Khi em hoàn thành layout của mạch và mô phỏng thì các transistor ở dòng tổng và Vin khá nhạy cảm và dễ rơi vào region 1. VoutN và VoutP của em không giống nhau, bị chênh lệch áp khoảng 50mV. Một trong những lý do chính là:

- Do em đi layout chưa đối xứng, đặc biệt là 2 đường VOUTN và VOUTP chưa đủ đối xứng. Khi layout tín hiệu vi sai thì ta phải chú ý các đường dây, các via, kích thước phải giống nhau hết sức có thể.
- Các thành phần ký sinh do đi các lớp metal quá to.
- Nguồn dòng, các đường đất đi chưa đủ mạnh nên chưa đủ đủ thông số ban đầu

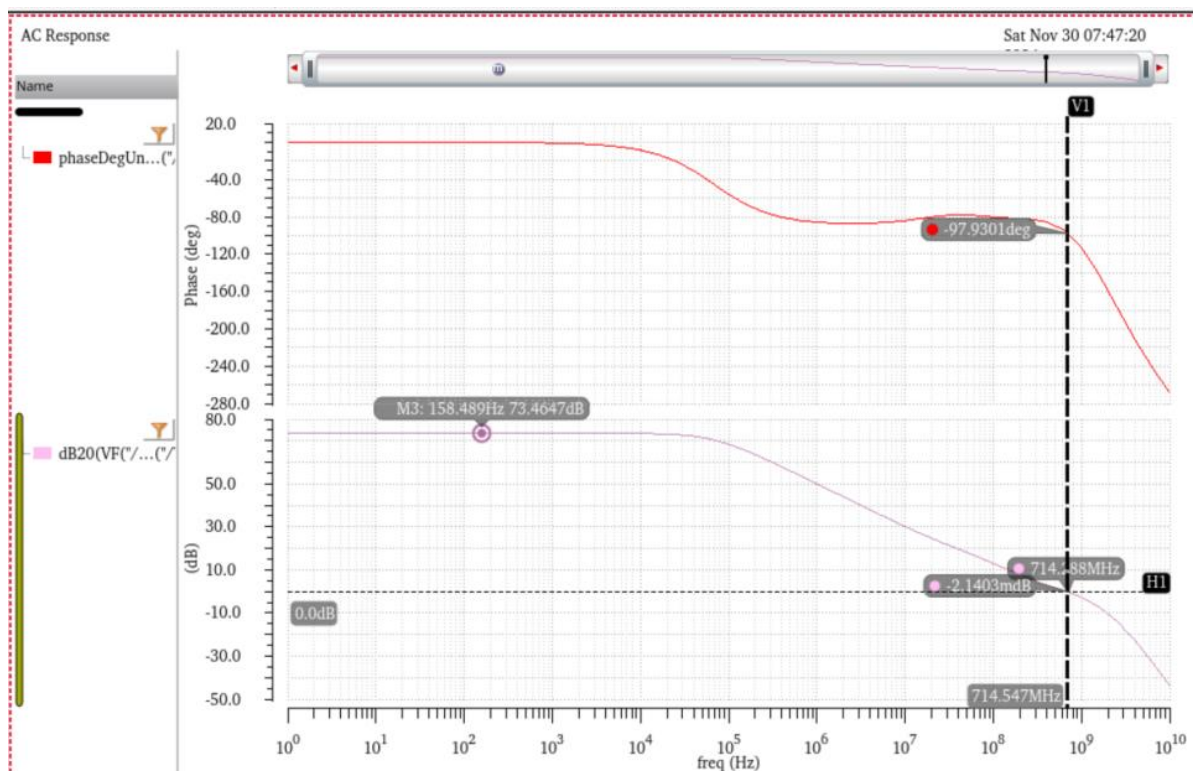
Khi sau layout thì em có thay đổi vbias của transistor để rơi vào vùng bão hòa.

## **8. Thiết kế Folded Cascode**





*Mạch Folded Cascode*



*Đồ thị Gain, UBW, PhaseMargin của mạch*

Mạch của em sau khi thiết kế đạt được UBW=714MHz, Gain =73Db, PhaseMargin =73degree

## KẾT LUẬN

Trong dự án này, em đã thiết kế và phân tích hai cấu trúc bộ khuếch đại thuật toán: Telescopic Op-Amp hai giai đoạn và Folded Cascode. Bộ khuếch đại Telescopic Op-Amp hai giai đoạn có ưu điểm là độ lợi cao nhờ vào cấu trúc đơn giản và khả năng hoạt động ổn định với tần số cao, phù hợp với các ứng dụng yêu cầu độ lợi lớn. Tuy nhiên, nó có nhược điểm là tiêu thụ điện năng lớn và độ dao động pha có thể cao, cần phải thiết kế cẩn thận để đảm bảo ổn định. Trong khi đó, Folded Cascode cung cấp biên độ dao động đầu ra lớn hơn và tính ổn định cao, giúp giảm thiểu nhiễu xuyên kênh và tăng độ chính xác. Tuy nhiên, cấu trúc này phức tạp hơn, yêu cầu nhiều công sức trong quá trình thiết kế và điều chỉnh. Cả hai cấu trúc đều có những ứng dụng riêng biệt và lựa chọn giữa chúng phụ thuộc vào yêu cầu về độ lợi, độ ổn định và tiêu thụ năng lượng của hệ thống.

## TÀI LIỆU THAM KHẢO

- [1] Allen Philip E., Holberg Douglas R., “*CMOS Analog Circuit Design*” Oxford University Press, London, 2003, Second Edition
- [2] B. Razavi, *Design of analog CMOS Integrated Circuits*, Tata Megraw Hill, 2000, Second edition