

Министерство образования и науки Российской Федерации
Федеральное государственное бюджетное образовательное учреждение высшего
профессионального образования
«Волгоградский государственный технический университет»

Факультет ФЭВТ
Кафедра ЭВМиС

**ПОЯСНИТЕЛЬНАЯ ЗАПИСКА
к курсовой работе (проекту)**

по дисциплине Схемотехника ЭВМ
на тему Разработка микропроцессорной системы

Студент: Титов А.К.
Группа: ИВТ-460

Руководитель работы (проекта) _____ Скакунов В. Н.
(подпись и дата подписания)

Члены комиссии:

_____	_____
(подпись и дата подписания)	(инициалы и фамилия)
_____	_____
(подпись и дата подписания)	(инициалы и фамилия)
_____	_____
(подпись и дата подписания)	(инициалы и фамилия)

Нормоконтролер _____
(подпись, дата подписания) (инициалы и фамилия)

Волгоград 2016 г.

Содержание

1. Задание на проектирование	3
2. Общая структура схемы.....	4
3. Устройство и работа микропроцессорной системы	5
4. Формирование сигнала выбор модуля	8
5. Структура памяти	10
ПЗУ	10
Динамическое ОЗУ	10
Организация ввода-вывода	11
6.1 Организация цифровых входов и выходов.....	11
6.2. Система прерываний.....	12
6.3. Организация ПДП	13
6.4. Организация последовательного канала.....	14
6.5. Организация программируемого интервального таймера.....	15
6.6. Организация аналоговых каналов	16
7. Программное обеспечение	17
7.1 Начальная инициализация системы	17
7.2 Инициализация программируемых БИС	18
7.2.1 КПДП.....	18
7.2.2. Программируемый интервальный таймер.....	19
7.2.3. Программируемый адаптер последовательного интерфейса	20
7.2.4 Программируемый адаптер параллельного интерфейса.....	21
7.2.5 Программируемый контроллер прерываний.....	22
7.3 Реализация программного ввода/вывода.....	23
7.4. Подпрограммы обработки прерываний	24

1. Задание на проектирование

В курсовом проекте необходимо разработать микропроцессорную систему (МПС) на основе однокристального 8-разрядного микропроцессора КР580ВМ80А. Основные характеристики системы заданы в таблице 1.

Таблица 1 – Основные характеристики системы

1	Тип процессора	КР580ВМ80А
2	Объем памяти ОЗУ	1 М
3	Тип и организация БИС ОЗУ	1 Мб x 1, ДОЗУ
4	Объем памяти ПЗУ	4 Кб
5	Тип и организация БИС ПЗУ	4 Кб x 8 ОТР
6	Контроль на паритет ОЗУ, контрольная сумма ПЗУ	+
7	Контроллер ДОЗУ	+
8	Количество цифровых входов	8 разрядный ППИ (режим 1)
9	Количество цифровых выходов	8 разрядный ППИ (режим 1)
10	Аппаратная реализация системы прерывания	2 БИС КПр
11	Порядок обслуживания прерываний	Цикл. сдвиг с общ. маской
12	Канал ПДП	Один КПДП
13	Последовательный канал	+
14	Таймер/счетчик	+
15	Организация ввода-вывода	
	Способы обмена ВВ	ПВВ, ПДП, прерывания
	Тип интерфейса	RS232C Centronics
	Контроль на паритет	+
	Характеристики аналогового канала	АЦП 8 бит, АЦП 8 бит

2. Общая структура схемы

Центральным процессорным элементом является микропроцессор КР580ВМ80А.

Микропроцессорная система состоит из следующих основных элементов:

1. Микропроцессор
2. Генератор тактовых импульсов
3. Системный контроллер
4. ПЗУ
5. ОЗУ
6. Таймер-счетчик
7. Контроллер ПДП
8. Контроллер прерываний
9. Программируемый параллельный интерфейс
10. УСАПП
11. 8-разрядный АЦП
12. 8-разрядный АЦП
13. Дешифратор внешних устройств

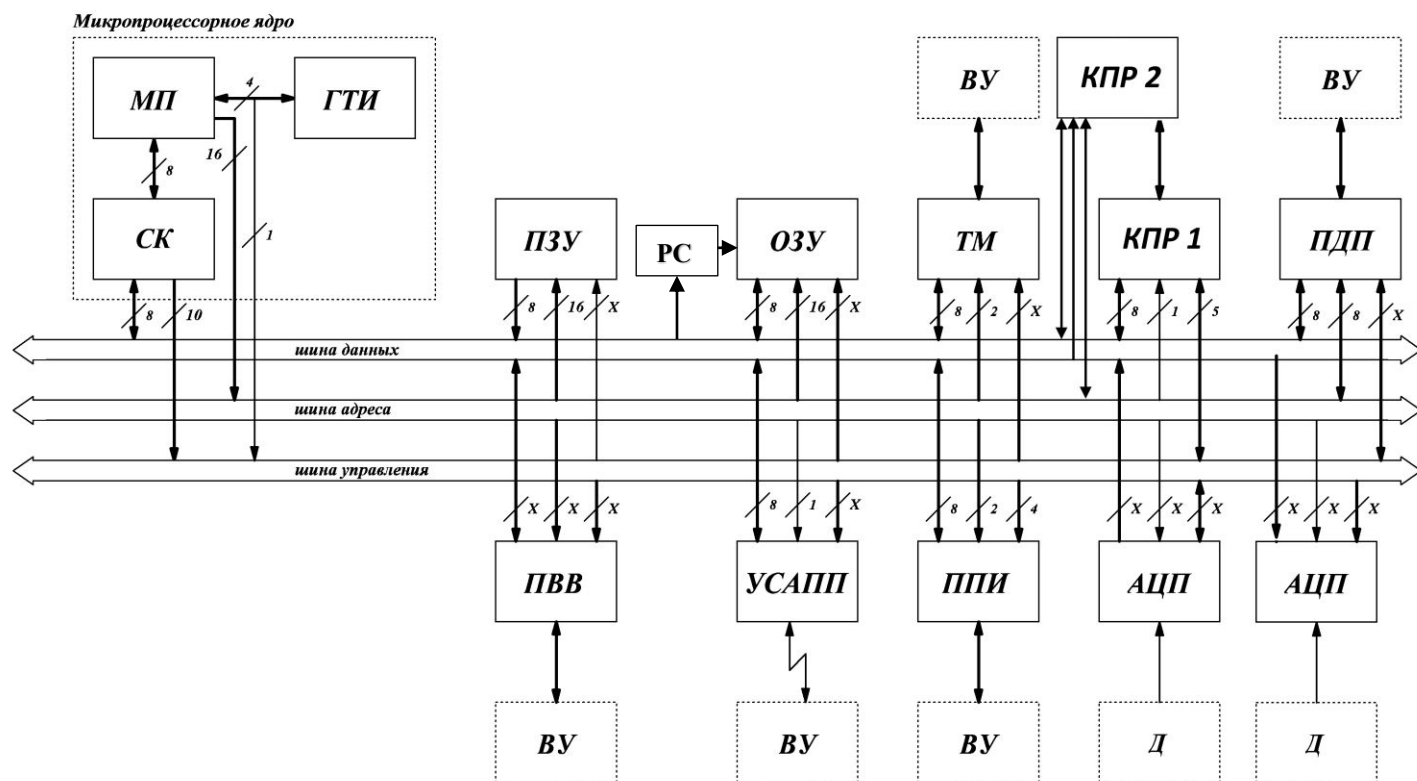


РИСУНОК 1 ОБЩАЯ СТРУКТУРНАЯ СХЕМА

3. Устройство и работа микропроцессорной системы

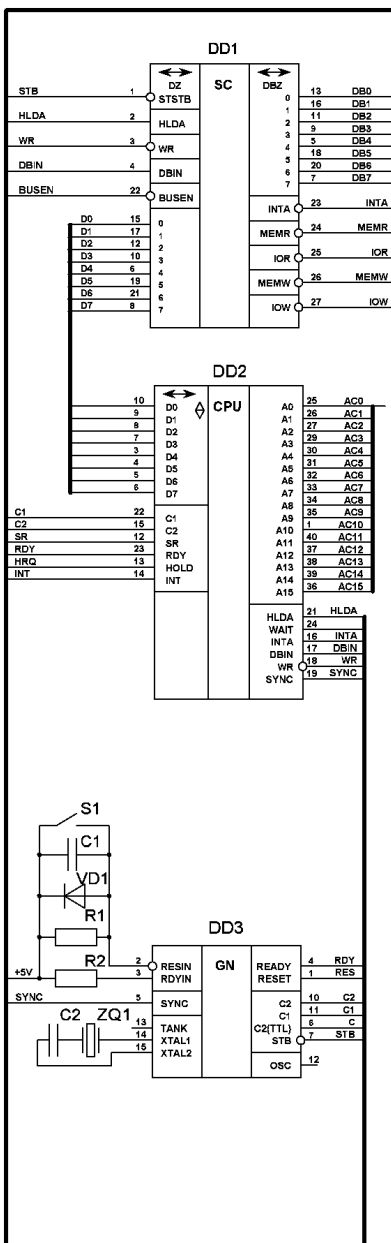


Рисунок 2. Микропроцессорное ядро

Центральным элементом является микропроцессор КР580ВМ80А. Он выполнен по п-МДП технологии, имеет 78 базовых команд. Каждая команда выполняется за 1-5 машинных циклов, каждый из которых состоит из 3-5 тактов. Таким образом средняя производительность оценивается на уровне 200 – 300 операций сек на частоте 2 МГц.

Тактовый генератор выполнен на микросхеме КР580ГФ24 и обеспечивает формирование сигналов синхронизации для процессора и программируемых контроллеров, а также для контроллера ДОЗУ. Основными параметрами являются: число выходных высокоуровневых тактовых сигналов равно 2 и частота выходных тактовых сигналов ≤ 3 МГц.

Системный контроллер выполнен на микросхеме КР580ВК28 и обеспечивает буферизацию двунаправленной шины данных, запоминание байта состояния микропроцессора в начале каждого машинного цикла по сигналу синхронизации, формирование сигналов управления IOW, IOR, MEMR, MEMW и INTA в соответствии с полученным байтом состояния микропроцессора и состоянием выходов микропроцессора DBIN и WR.

Формирователь шины адреса выполнен на двух элементах КР580ВА86. Шина адреса обеспечивает прямую адресацию внешней памяти объемом до 64Кб.

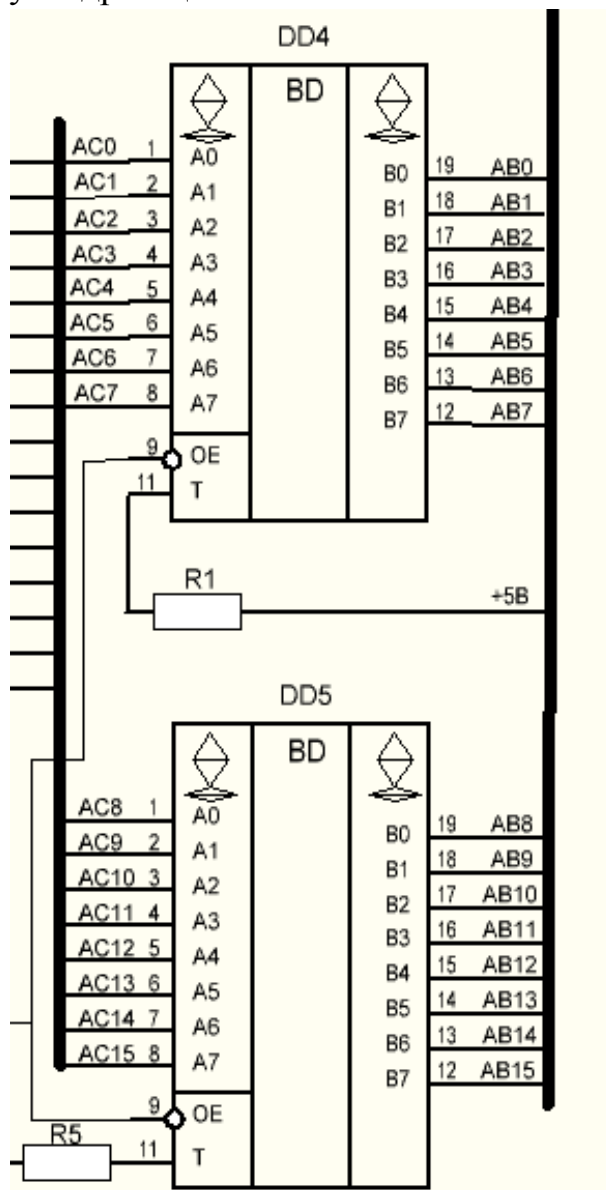


Рисунок 3. Шинные ФОРМИРОВАТЕЛИ АДРЕСА

В устройстве предусмотрена возможность прямого доступа к памяти. Для этого в схеме используется контроллер ПДП, выполненный на микросхеме КР580ВТ57. В режиме ПДП процессор освобождает шины, и все управление вводом/выводом передается контроллеру ПДП.

Аппаратная реализация системы прерываний представляет собой каскад из двух контроллеров прерываний. Система прерываний обеспечивает взаимодействие микропроцессорной системы с внешней средой посредством прерываний и может обслуживать 15 источников прерываний.

Также для передачи данных по последовательному каналу используется интерфейс RS-232с на микросхемах ПСА КР580ВВ51.

Для организации цифрового параллельного ввода/вывода используются схема ППИ КР580ВВ55.

4. Формирование сигнала выбор модуля

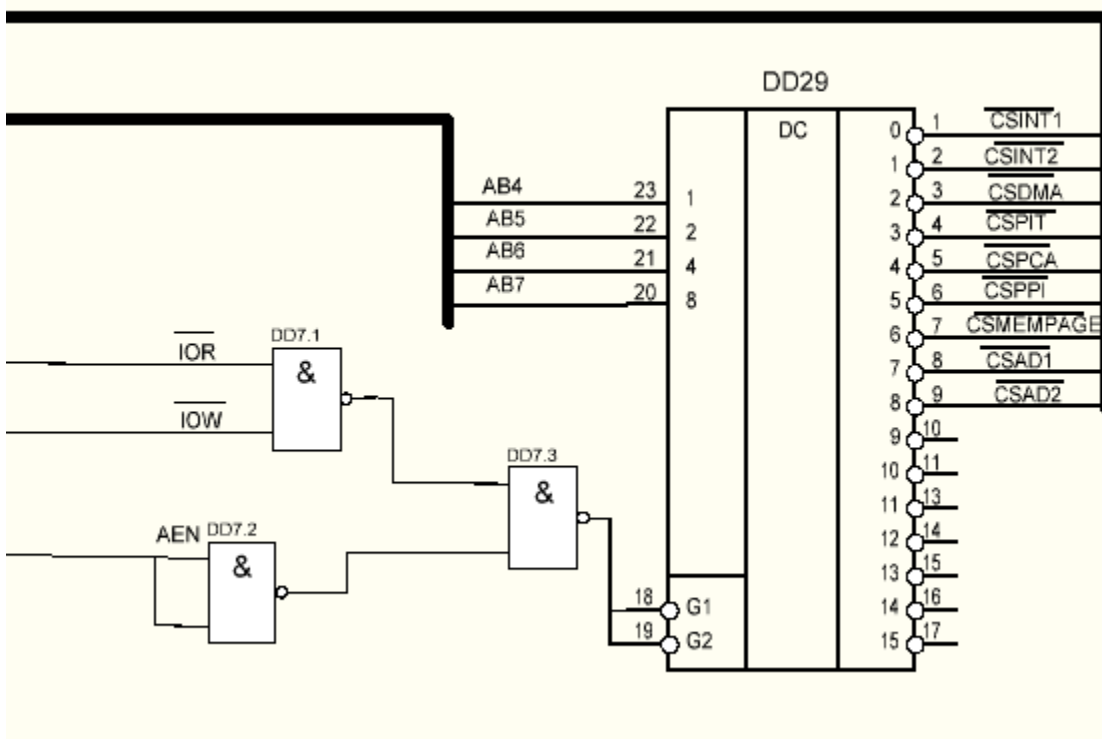


РИСУНОК 4. СХЕМА ВЫБОРА АДРЕСА ВУ

Для выполнения операций обмена с внешними устройствами системный контроллер вырабатывает два управляющих сигнала: IOR и IOW, определяющих тип операции (чтение или запись) в командах IN port, OUT port. В этих командах адресная часть в коде самой команды занимает один байт и определяет восемь младших разрядов адреса: A7...A0 (всего $2^8=256$ адресов).

Формирование сигнала выбора модуля осуществляется при помощи дешифратора DD29. Выходы дешифратора переводятся в активное состояние только при выполнении условия $G1=G2=0$. Это условие реализуется с помощью схемы на логических элементах когда сигнал IOR или IOW равен нулю и $AEN=0$. Другими словами, один из выходов дешифратора может перейти в активное состояние только при выполнении операции чтения или записи во ВУ и пассивном состоянии контроллера ПДП (контроллер не захватывает системные шины, индикатор режима ПДП - сигнал $AEN=0$).

С выходов дешифратора снимаются сигналы CSi, которые активизируют выбираемое устройство. Для этого сигналы CSi соединяются с одноименными выводами выбора CS внешних устройств.

ТАБЛИЦА 1. АДРЕСА ВНЕШНИХ УСТРОЙСТВ

Устройство	Регистр устройства	Номер порта	Адресные линии								Сигнал выбора устройства
			A7	A6	A5	A4	A3	A2	A1	A0	
КПР (ведущий)	ICW1, OCW1	00h	0	0	0	0	0	0	0	0	CSINT1
	ICW2, OCW2, OCW3	01h	0	0	0	0	0	0	0	1	
КПР (ведомый)	ICW1, OCW1	10h	0	0	0	1	0	0	0	0	CSINT2
	ICW2, OCW2, OCW3	11h	0	0	0	1	0	0	0	1	
КПДП	Рг. адреса канал 0	20h	0	0	1	0	0	0	0	0	CSDMA
	Рг. счетчика циклов канал 0	21h	0	0	1	0	0	0	0	1	
	Рг. адреса канал 1	22h	0	0	1	0	0	0	1	0	
	Рг. счетчика циклов канал 1	23h	0	0	1	0	0	0	1	1	
	Рг. адреса канал 2	24h	0	0	1	0	0	1	0	0	
	Рг. счетчика циклов канал 2	25h	0	0	1	0	0	1	0	1	
	Рг. адреса канал 3	26h	0	0	1	0	0	1	1	0	
	Рг. счетчика циклов канал 3	27h	0	0	1	0	0	1	1	1	
Таймер-счетчик	Рг. управляющего слова	28h	0	0	1	0	1	0	0	0	
	Канал 0	30h	0	0	1	1	0	0	0	0	CSPIT
	Канал 1	31h	0	0	1	1	0	0	0	1	
	Канал 2	32h	0	0	1	1	0	0	1	0	
УСАПП	Регистр управляющего слова	33h	0	0	1	1	0	0	1	1	
	Регистр данных	40h	0	1	0	0	0	0	0	0	CSPCA
ППИ	Регистр управляющего слова	41h	0	1	0	0	0	0	0	1	
	Порт А	50h	0	1	0	1	0	0	0	0	CSPPI
	Порт В	51h	0	1	0	1	0	0	0	1	
	Порт С	52h	0	1	0	1	0	0	1	0	
	Регистр управляющего слова	53h	0	1	0	1	0	0	1	1	
Регистр выбора страницы памяти		60h	0	1	1	0	0	0	0	0	CSMEMPAGE
АЦП 1	Мл. байт данных АЦП	70h	0	1	1	1	0	0	0	0	CSAD1
	Ст. байт данных АЦП	71h	0	1	1	1	0	0	0	1	
АЦП 2	Мл. байт данных АЦП	80h	1	0	0	0	0	0	0	0	CSAD2
	Ст. байт данных АЦП	81h	1	0	0	0	0	0	0	0	

5. Структура памяти

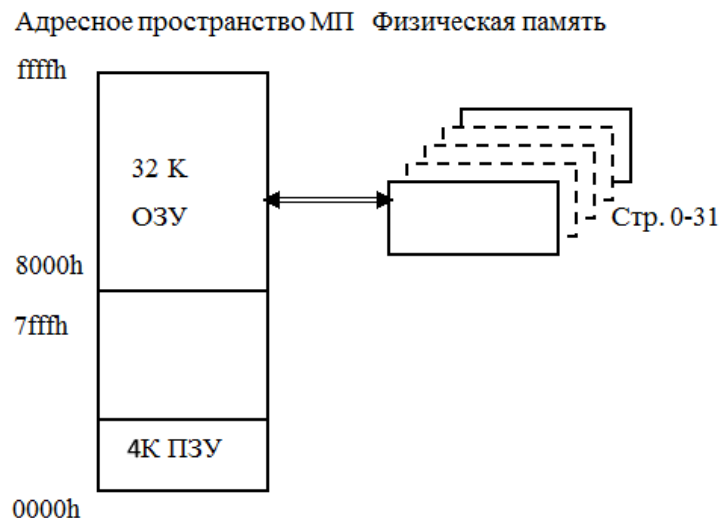


РИСУНОК 5. СТРУКТУРА ПАМЯТИ

Объем оперативной памяти 1Mb, объем ПЗУ 4 Кб. Данный объем памяти необходимо отобразить в адресное пространство в 64Кб. Для этого применена страничная организация памяти. Адресное пространство процессора разделено на две части по 32 Кб. Линия A15 осуществляет выбор памяти, к которой происходит обращение (RAM или ROM) Для формирования физического адреса оперативной памяти служат регистр страниц и схемы на логических элементах для управления записью и выдачей адреса. Разряды регистра номера страницы имеют следующее отображение в разряды адреса

D7	D6	D5	D4	D3	D2	D1	D0
			A19	A18	A17	A16	A15S

5.1. ПЗУ

Постоянный нестираемый ПЗУ объемом 4К реализован на микросхеме КР556РТ17 объемом 4 Кб.

5.2. Динамическое ОЗУ

Модуль ДОЗУ реализован на 9 микросхемах КР565РУ9. Память состоит 9 микросхем, восемь из которых служат для хранения данных, а девятая для хранения бита паритета. При записи в девятую микросхему заноситься результат свертки по mod2 байта данных, заносимого в остальные микросхемы ДОЗУ. При записи в память на девятый разряд схемы сложения по модулю 2 подается свертка. При чтении на схему подается разряд с девятой микросхемы памяти. Если ошибки памяти не было, то на выходе схемы контроля на паритет всегда будет 0. Если произошла ошибка памяти, то производится обращение к контроллеру прерываний.

Подаваемый на микросхемы ДОЗУ адрес параллельно передается на каждую микросхему КР565РУ9, выводы 8 из них вместе организуют шину данных, 9 бит — бит паритета.

6. Организация ввода-вывода

6.1 Организация цифровых входов и выходов

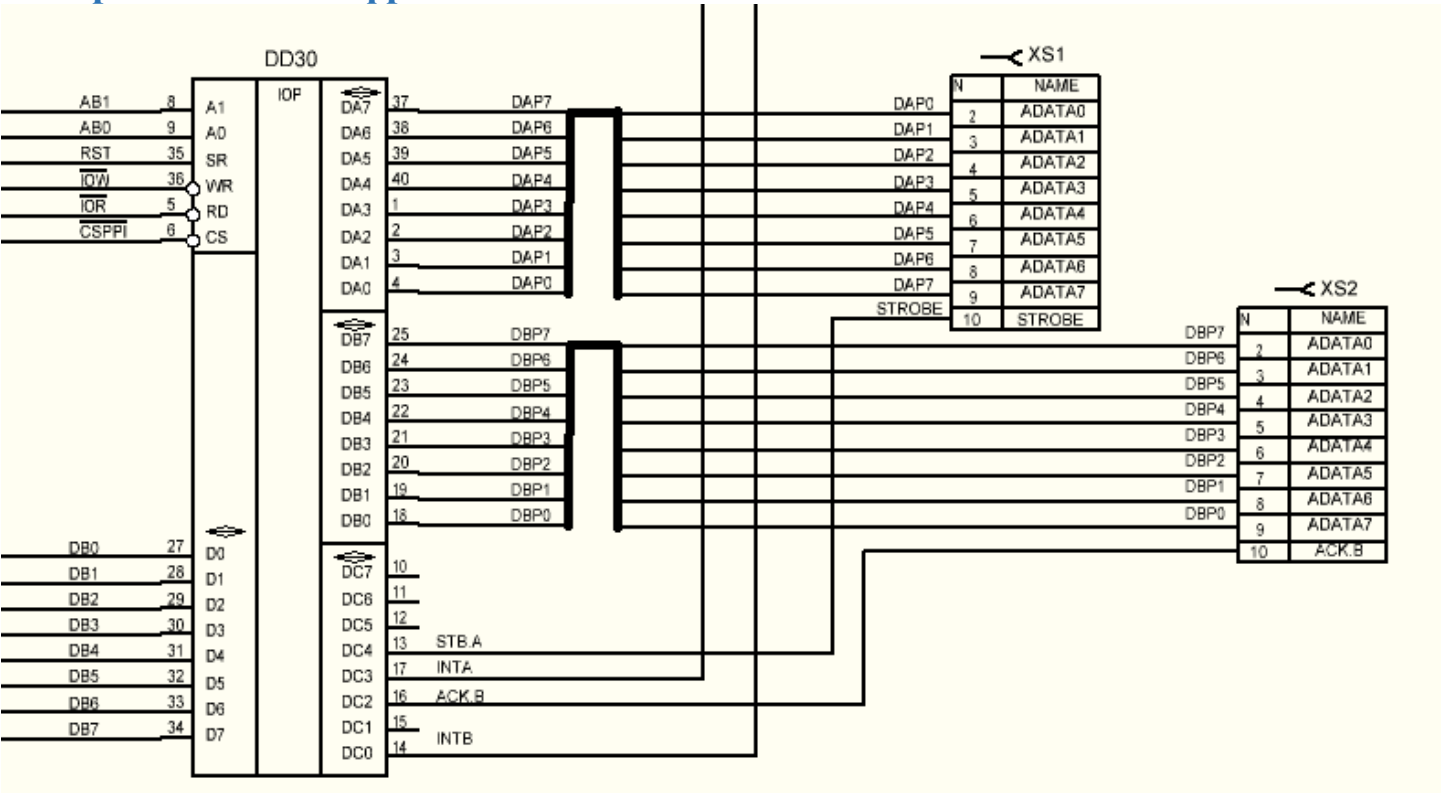


Рисунок 6. ПАРАЛЛЕЛЬНЫЙ ИНТЕРФЕЙС С ВЫВОДАМИ ДЛЯ КАНАЛОВ А И В

Программируемый параллельный интерфейс (БИС КР580ВВ55) предназначен для организации параллельного обмена информацией с внешними устройствами в синхронном и асинхронном режимах с квитированием (подтверждением приема данных).

В состав параллельного программируемого интерфейса (ППИ) входят три двунаправленных 8-разрядных порта. Режимы работы портов задаются программно. Обмен данными может выполняться как в режиме программного ввода-вывода, так и по прерываниям.

Цифровые входы и выходы реализуются при помощи микросхемы программируемого параллельного интерфейса КР580ВВ55. Канал А в режиме 1 используется в качестве цифровых входов и подключен к разъему XS1, канал В в режиме 1 используется в качестве цифровых выходов и подключен к разъему XS2. Выходы INTA, INTB подключены к контроллеру прерываний.

6.2. Система прерываний

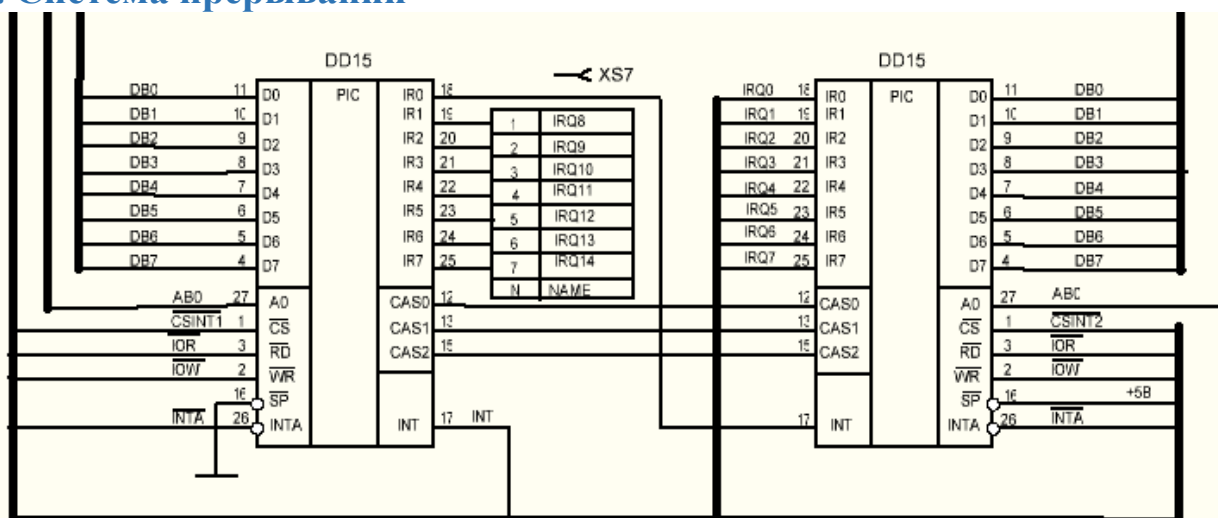


Рисунок 7. КОНТРОЛЛЕРЫ ПРЕРЫВАНИЙ

Для организации системы прерываний в микропроцессорной системе используются 2 контроллера прерываний КР580ВН59. Вывод INT ведущего контроллера подключен к одноименному выводу микропроцессора. Вывод SP ведущего контроллера соединен с землей. Вывод INTA подключен к одноименному выводу системного контроллера. На входы RD и WR поступают сигналы IOR и IOW от системного контроллера. Каналы CAS0-2 обоих контроллеров соединены друг с другом. Выход INT ведомого контроллера подключен ко входу SP0 ведущего контроллера.

Таблица 2. Источники запросов прерываний

Номер прерывания	Источник прерывания
IRQ0	Запрос на ошибку ОЗУ
IRQ1	Запрос на чтение цифровых входов
IRQ2	Запрос на запись в цифровой выход
IRQ3	Завершение аналого-цифрового преобразования 1
IRQ4	Завершение аналого-цифрового преобразования 2
IRQ5	TxRDY УСАПП (RS-232C)
IRQ6	RxRDY УСАПП (RS-232C)
IRQ7-14	Выводы X7 (внешние устройства)

6.3. Организация ПДП

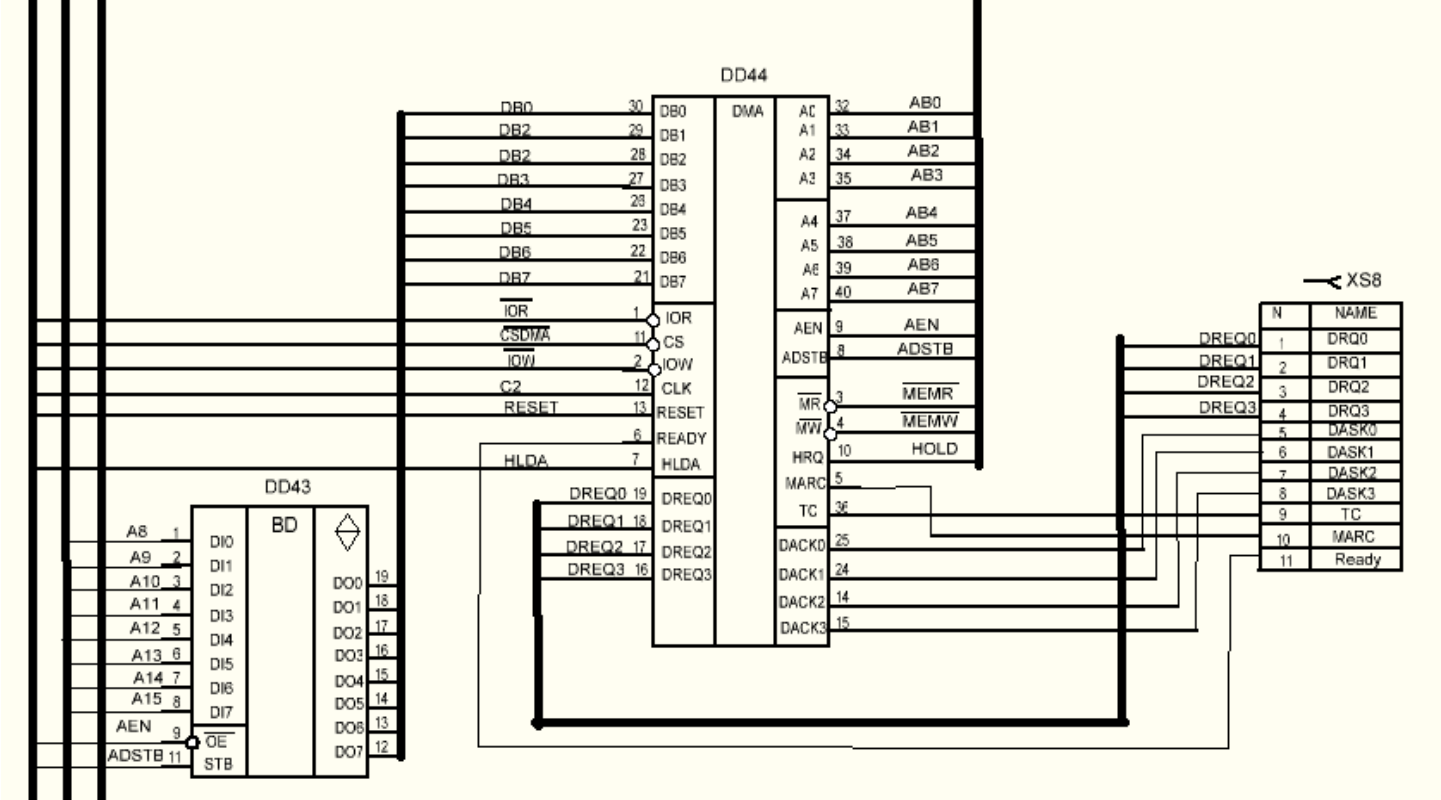


Рисунок 8. КОНТРОЛЛЕР ПДП

Контроллер ПДП обеспечивает двунаправленный обмен данными между внешними устройствами и микропроцессором. КПДП управляет 4 независимыми каналами, обслуживающими 4 отдельных ВУ с учетом присвоенных уровней привилегий. По каждому каналу программно могут быть установлены три режима работы и отдельные параметры обмена данными, например, изменен порядок обслуживания, маскированы запросы режима ПДП и т.д.

Для реализации прямого доступа к памяти используется контроллер ПДПКР580ВТ57 и регистр DD43 для фиксации старшего адреса.

6.4. Организация последовательного канала

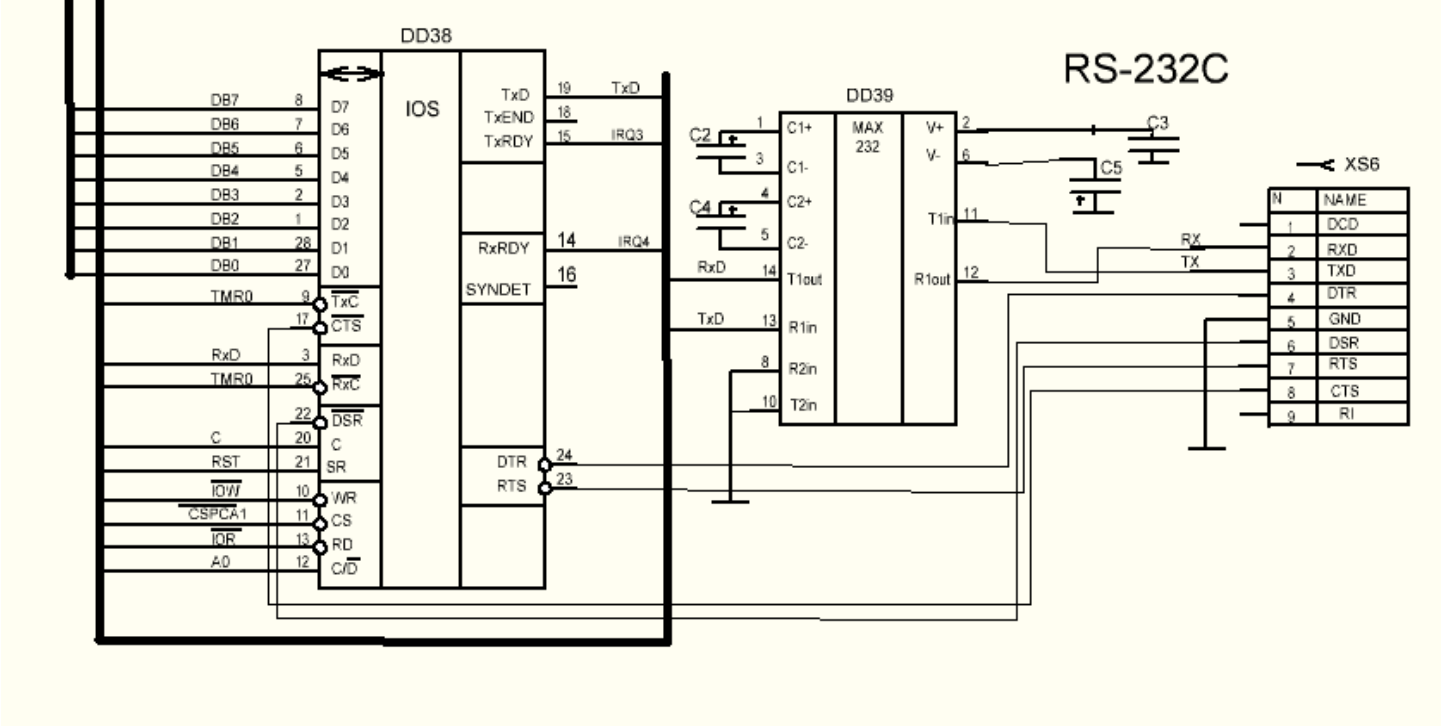


Рисунок 9. RS-232C

УСАПП (БИС КР580ВВ51) на аппаратном уровне обеспечивает выполнение необходимых функций по преобразованию данных, представленных в параллельном и последовательном кодах, в синхронном и асинхронном режимах по последовательному каналу связи.

Последовательный интерфейс построен на базе микросхемы КР580ВВ51. Используются две микросхемы (DDR38, DD40) для организации интерфейса RS-232. Согласование уровней выполняется с помощью микросхемы MAX232 (DD39). Тактирование осуществляется от канала 0 системного таймера. Входы и выходы TxD, RxD, DTR, DSR, RTS, CTS выведены на разъем XS6. Сигналы TxRDY и RxRDY подключены ко входам контроллера прерываний.

6.5. Организация программируемого интервального таймера

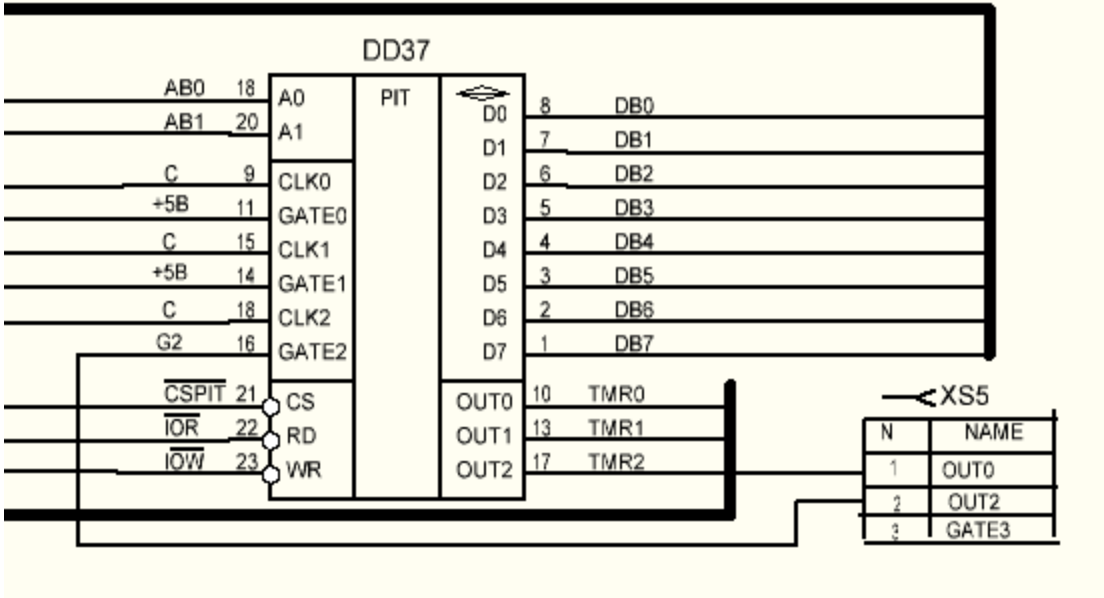


Рисунок 10. ПИТ

Программируемый интервальный таймер (ПИТ) решает одну из наиболее общих проблем любой микропроцессорной системы – формирование точных временных интервалов. Вместе с тем, таймер может применяться для подсчета внешних импульсов (счетчик внешних событий) и выполнения других функций. Таймер содержит три автономных и независимо друг от друга программируемых канала. Каждый канал может быть установлен в один из 6 режимов работы

В качестве системного таймера-счетчика используется программируемый интервальный таймер КР580ВИ53 (DD37). Входы Gate каналов 0 и 1 подключены к + 5в, вход Gate канала 2 выведен на внешний разъем вместе с выходами Out 0 и Out 2. Канал 1 используется для генерации тактовых импульсов для АЦП.

6.6. Организация аналоговых каналов

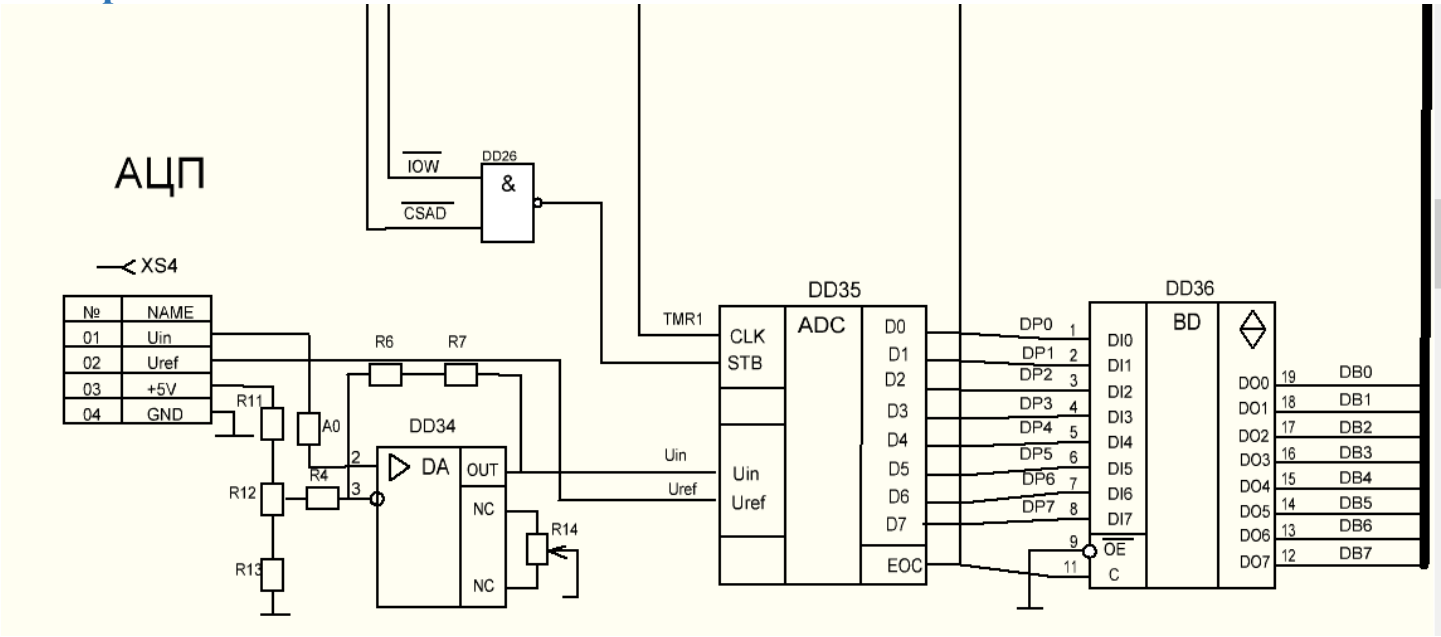


Рисунок 11. АЦП

АЦП – устройство, предназначенное для преобразования непрерывных, аналоговых сигналов в цифровой код. Связь с МП, как и для многих типов ВУ, осуществляется в режимах программного ввода-вывода или прерываний. Данные считываются с АЦП после завершения цикла преобразования. При организации режима обмена данными через АЦП, как правило, для преобразователя в системе выделяется несколько адресов. С каждым из адресов при управлении работой АЦП программным способом связана определенная операция: запуск АЦП, чтение данных или признаков и т.п.

8-и битный АЦП реализован на микросхеме DD35. Преобразование начинается АЦП осуществляется командой out CSAD, а по завершению АЦП генерирует сигнал EOC, по которому данные записываются в буфер DD36. Сигнал EOC подключается ко входу контроллера прерываний.

7. Программное обеспечение

7.1 Начальная инициализация системы

Функция памяти	Количество	Начальный адрес	Конечный адрес
Стек	2К	8000h	87FFh
Вывод данных в параллельный программируемый интерфейс	2К	8800h	8FFFh
Ввод данных в параллельный программируемый интерфейс	2К	9000h	97FFh
Вывод данных в УСАПП	2К	A800h	AFFFh
Ввод данных из УСАПП	2К	B000h	B7FFh

Установка указателя стека и резервирование области стека в свободной части (системная область) ОЗУ. Стек распространяется в сторону младших адресов, поэтому вершина стека (состояние указателя SP) при инициализации принимает значение верхней границы области стека.

Адрес	Метка	Мнемокод	Комментарий
0000		JUMP Start	Перейти к командам инициализации
0350	Start:	DI	Запретить прерывания
0351		LXI SP, STACKTOP	Загрузить вершину стека
0354		MVI A,00h	Задаем страницу ОЗУ
0356		OUT A, MEMPAGE	
0358		CALL Init	Вызвать процедуру инициализации контроллеров
035B		CALL Polling	Вызвать подпрограмму обмена данными в режиме программного ввода/вывода
035E		EI	Разрешить прерывания

7.2 Инициализация программируемых БИС

Адрес	Метка	Мнемокод	Комментарий
0016	Init:	CALL DMA_INIT	Вызвать процедуру инициализации КППД
0019		CALL PIT_INIT	Вызвать процедуру инициализации ПИТ
001C		CALL PCA_INIT	Вызвать процедуру инициализации УСАПП
001F		CALL PPI_INIT	Вызвать процедуру инициализации ППИ
0022		CALL PIC_INIT	Вызвать процедуру инициализации КПП
0025		MVI H, 98	Инициализация счетчиков памяти для для данных ЦАП и АЦП
0027		MVI L, 02	
0029		SHLD 9800	
002B		MVI H, A0	
002C		SHLD A000	
002F		RET	

7.2.1 КППД

Адрес	Метка	Мнемокод	Комментарий
0030	DMA_INIT:	MVI A, 00h	Записать 00h в аккумулятор
0032		OUT DMA_CW	Запретить работу всех каналов КППД
0034		MVI A, low_addr_0	В А – младший байт начального адреса канала 0
0036		OUT DMA_CH0_ADDR	Записать его в ПДП
0038		MVI A, hi_addr_0	В А – старший байт начального адреса канала 0
003A		OUT DMA_CH0_ADDR	Записать его в ПДП
003C		MVI A, low_count_0	В А – младший байт счетчика адреса канала 0
003E		OUT DMA_CH0_CYCLE	Записать его в ПДП
0040		MVI A, hi_count_0	В А – старший байт счетчика адреса канала 0
0042		OUT DMA_CH0_CYCLE	Записать его в ПДП
Аналогично для канала 1, 2 и 3			
0074		MVI A, 0Fh	Записать в А инструкцию режима КППД
0076		OUT DMA_CW	Установить режим КППД
Аналогично для второго КППД			
0078		RET	

7.2.2. Программируемый интервальный таймер

Инструкция инициализации



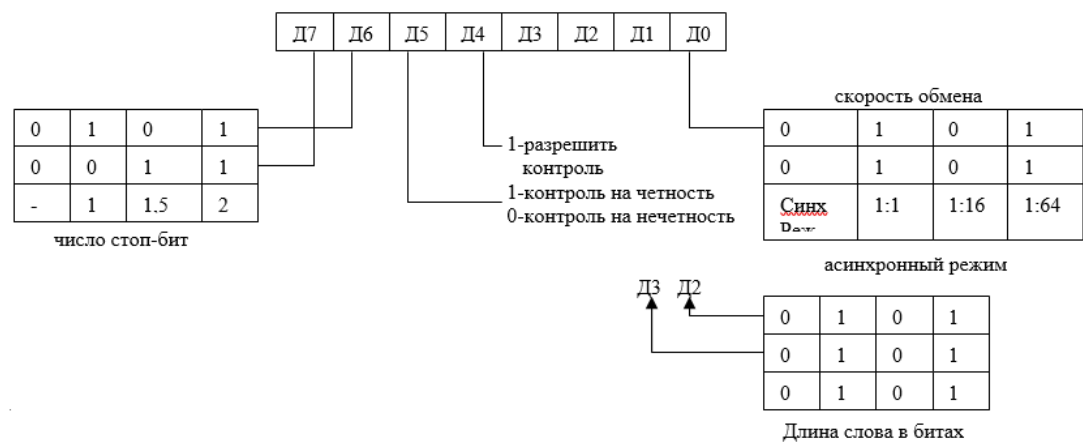
Канал 0 используется как генератор частоты для ПСА. Канал 1 используется как делитель частоты для АЦП 1 и АЦП 2. Они программируются в режим 2. Зададим на канале 0 частоту 9600, а на канале 1 - 100К. Коэффициенты счета получим равными 208, 30.

Адрес	Метка	Мнемокод	Комментарий
0080	PIT_INIT:	MVI A, 14h	В РУС – канал 0, режим 2, двоичный
0082		OUT PIT_CW	счет, задание только младшего байта
0084		MVI A, D0h	Запись коэффициента пересчета в канал 0
0086		OUT PIT_CH0	
0088		MVI A, 54h	В РУС – канал 1, режим 2, двоичный
008A		OUT PIT_CW	счет, задание только младшего байта
008C		MVI A, 1Eh	Запись коэффициента пересчета в канал 1
008E		OUT PIT_CH1	
0090		RET	

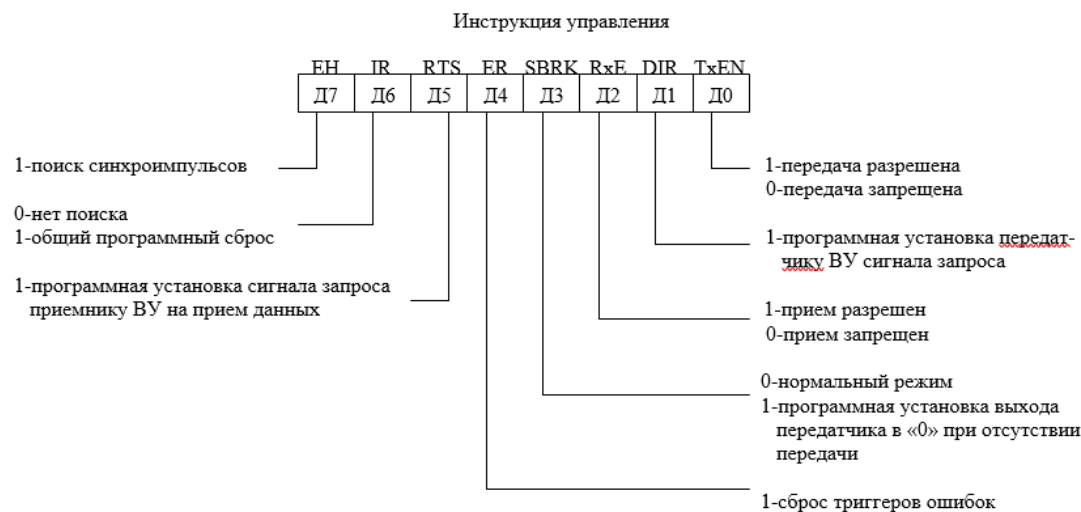
7.2.3. Программируемый адаптер последовательного интерфейса

В разрабатываемой микропроцессорной системе ПСА программируется на асинхронный режим со скоростью передачи 1:1, длиной символа 8 бит, с контролем на четность, числом стоп-битов, равным 2.

Инструкция инициализации



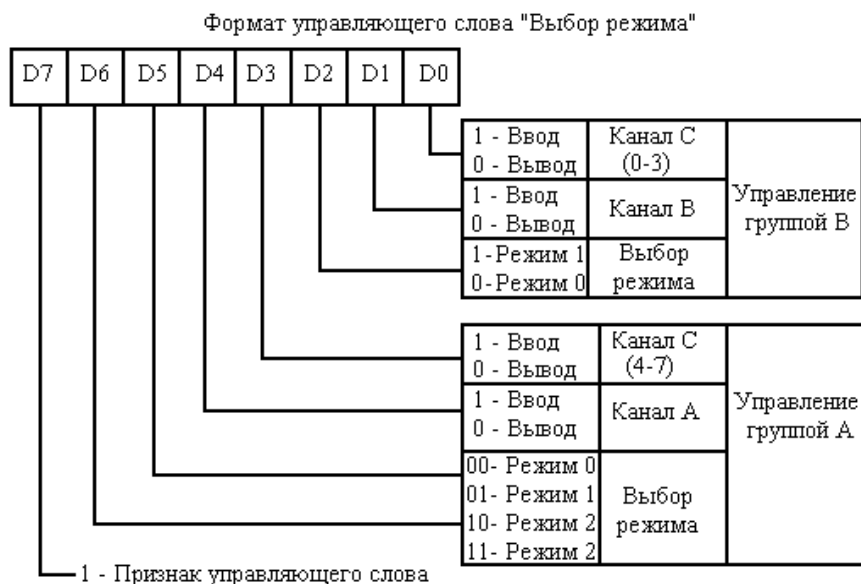
Инструкция управления



Адрес	Метка	Мнемокод	Комментарий
0100	PCA_INIT:	DI	Запретить прерывания
0101		MVI A, 40h	Программный сброс контроллера
0103		OUT PCA_CW	
0105		MVI A, FDh	Запись в ПСА инструкции режима
0107		OUT PCA_CW	
0109		MVI A, 37h	Запись в ПСА инструкции управления
010B		OUT PCA_CW	
011D		MVI H, A8	Инициализация счетчиков памяти для
011F		MVI L, 02	Ввода и вывода информации
0121		SHLD A800	контроллеров
0124		MVI H, B0	
0126		SHLD B000	
0129		EI	Разрешить прерывания
0130		RET	

7.2.4 Программируемый адаптер параллельного интерфейса

Инструкция инициализации



Канал А – вход, работает в режиме 1. Канал В – выход, в режиме 1.

Адрес	Метка	Мнемокод	Комментарий
0133	PPI_INIT:	DI	Запретить прерывания
0134		MVI A, 1011101b	В А – инструкция выбора режима
0136		OUT PPI_CW	
0138		MVI A, 09h	установка триггера INTE4
013A		OUT PPI_CW	
013C		MVI A, 05h	установка триггера INTE2
013E		OUT PPI_CW	
0140		MVI H, 88	Инициализация счетчиков памяти
0142		MVI L, 02	Для ввода вывода информации
0144		SHLD 8800	контроллеров
0147		MVI H, 90	
0149		SHLD 9000	
014C		EI	Разрешить прерывания
014D		RET	

7.2.5 Программируемый контроллер прерываний

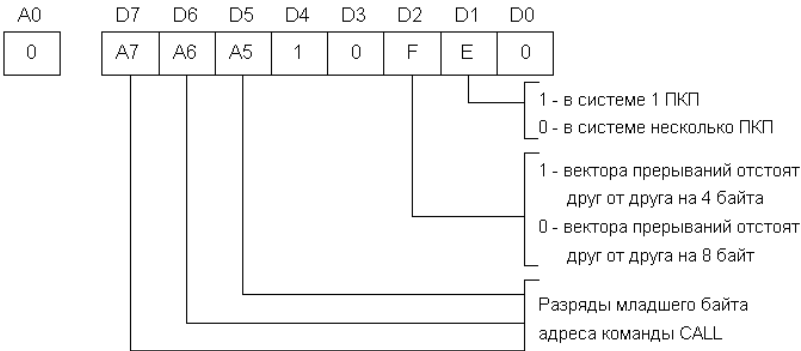
При инициализации контроллера задаются расположение таблицы прерываний, размер одной ячейки в таблице прерываний, количество контроллеров прерываний в системе. В системе 2 контроллера прерываний, размер одной ячейки в таблице прерываний 4 байта и таблица прерываний расположена по адресам 0140h -0178h.

Таблица прерываний имеет вид:

Адрес	Метка	Мнемокод	Комментарий
0140		JMP IRQ0	Переход на обработчик прерывания IRQ0
0144		JMP IRQ1	Переход на обработчик прерывания IRQ1
0148		JMP IRQ2	Переход на обработчик прерывания IRQ2
014C		JMP IRQ3	Переход на обработчик прерывания IRQ3
0150		JMP IRQ4	Переход на обработчик прерывания IRQ4
0154		JMP IRQ5	Переход на обработчик прерывания IRQ5
0158		JMP IRQ6	Переход на обработчик прерывания IRQ6
015C		JMP IRQ7	Переход на обработчик прерывания IRQ7
0160		JMP IRQ8	Переход на обработчик прерывания IRQ8
0164		JMP IRQ9	Переход на обработчик прерывания IRQ9
0168		JMP IRQ10	Переход на обработчик прерывания IRQ10
016C		JMP IRQ11	Переход на обработчик прерывания IRQ11
0170		JMP IRQ12	Переход на обработчик прерывания IRQ12
0174		JMP IRQ13	Переход на обработчик прерывания IRQ13
0178		JMP IRQ14	Переход на обработчик прерывания IRQ14

Команда

ICW1



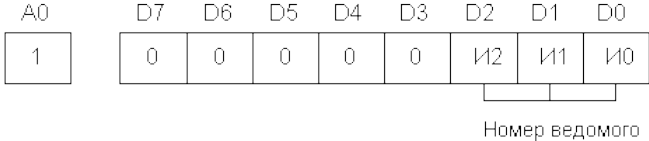
ICW2



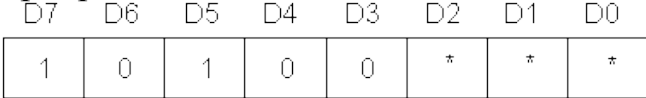
ICW3 Ведущий



ICW3 Ведомый



Циклическое изменение приоритетов. Обслуженному запросу присваивается низший приоритет.



7.3 Реализация программного ввода/вывода

Поллинг

Адрес	Метка	Мнемокод	Комментарий
0175	POLLING:	CALL PPI	Вызов поллинга цифрового порта
017B		RET	

Поллинг ППИ

Адрес	Метка	Мнемокод	Комментарий
017E	PPI:	DI	Запрет прерываний
017F		LHLD 8800h	Читаем след. для записи адрес
0182	WAIT1:	IN PPI_C	Ждем данные
0184		ANI 08h	
0186		JZ WAIT1	
0189		IN PPI_A	Читаем порт А ППИ
018B		STAX H	Записываем по адресу в HL
018C		INX H	Инкрементируем адрес
018D		MVI A, 8Fh	Проверка на конец блока данных
018F		CMP H	
0190		JNZ ENDPPII	
0193		MVI A, FF	
0195		CMP L	
0196		JNZ ENDPPII	
0199		MOV H, 88h	Переходим в начало блока
019B		MOV L, 02h	
019D	ENDPPII	SHLD 8800h	Сохраняем значение следующего адреса
01A0		LHLD 9000h	Читаем след. для чтения адрес
01A3		LDAX H	Получаем передаваемый байт
01A4	WAIT2:	IN PPI_C	Ждем возможности передачи
01A6		ANI 01h	
01A8		JZ WAIT2	
01AB		OUT PPI_B	Передаем байт
01AD		INX H	Инкрементируем адрес
01AE		MVI, 97h	Проверка на конец блока данных
01B0		CMP H	
01B1		JNZ ENDPPIO	
01B4		MVI A, FFh	
01B5		CMP L	
01B6		JNZ ENDPPIO	
01B9		MOV H, 90h	Переходим в начало блока
01BB		MOV L, 02h	
01BD	ENDPPIO	SHLD 9000h	
01C0		EI	Разрешаем прерывания
01C1		RET	

7.4. Подпрограммы обработки прерываний

По окончании передачи данных от УСАПП вызывается обработчик прерывания IRT.

Адрес	Метка	Мнемокод	Комментарий
01E9	IRT:	DI	Запрет прерываний
01EA		PUSH PSW	
01EB		LHLD A800h	Читаем след. для записи адрес
01EE		LDAX H	Заносим в аккумулятор байт для передачи
01EF		OUT 40h	Передаем новый байт в буфер УСАПП
01F1		INX H	Инкрементируем адрес
01F2		MVI A, AFh	Проверка на конец блока данных
01F4		CMP H	
01F5		JNZ ENDIRT	
01F8		MVI A, FFh	
01FA		CMP L	
01FB		JNZ ENDIRT	
01FE		MOV H, A8h	Переходим в начало блока
0200		MOV L, 02h	
0202	ENDIRT	SHLD A800h	Сохраняем значение следующего адреса
0205		MVI A, 20h	
0207		OUT 00h	
0209		POP PSW	
020A		EI	
020B		RET	

По окончании приема данных от УСАПП вызывается обработчик прерывания IRR.

Адрес	Метка	Мнемокод	Комментарий
020E	IRR:	DI	Запрет прерываний
020F		PUSH PSW	
0210		LHLD B000h	Читаем след. для записи адрес
0213		IN PCA_DATA	Читаем новый байт в буфер УСАПП
0215		STAX H	Сохраняем байт в памяти
0216		INX H	Инкрементируем адрес
0217		MVI A, BFh	Проверка на конец блока данных
0219		CMP H	
021A		JNZ ENDIRR	
021D		MVI A, FFh	
021F		CMP L	
0220		JNZ ENDIRR	
0223		MOV H, B0h	Переходим в начало блока
0225		MOV L, 02h	
0227	ENDIRR	SHLD B000h	Сохраняем значение следующего адреса
022A		MVI A, 20h	
022C		OUT 10h	
022E		POP PSW	
022F		EI	
0230		RET	