



UNIVERSITÀ DI PISA

CORSO DI LAUREA IN FISICA

LABORATORIO DI FISICA 3

INTRODUZIONE ALLA  
TECNOLOGIA DEI  
SEMICONDUTTORI

Prof. F. Forti

Nov. 13, 1962

J. A. HOERNI

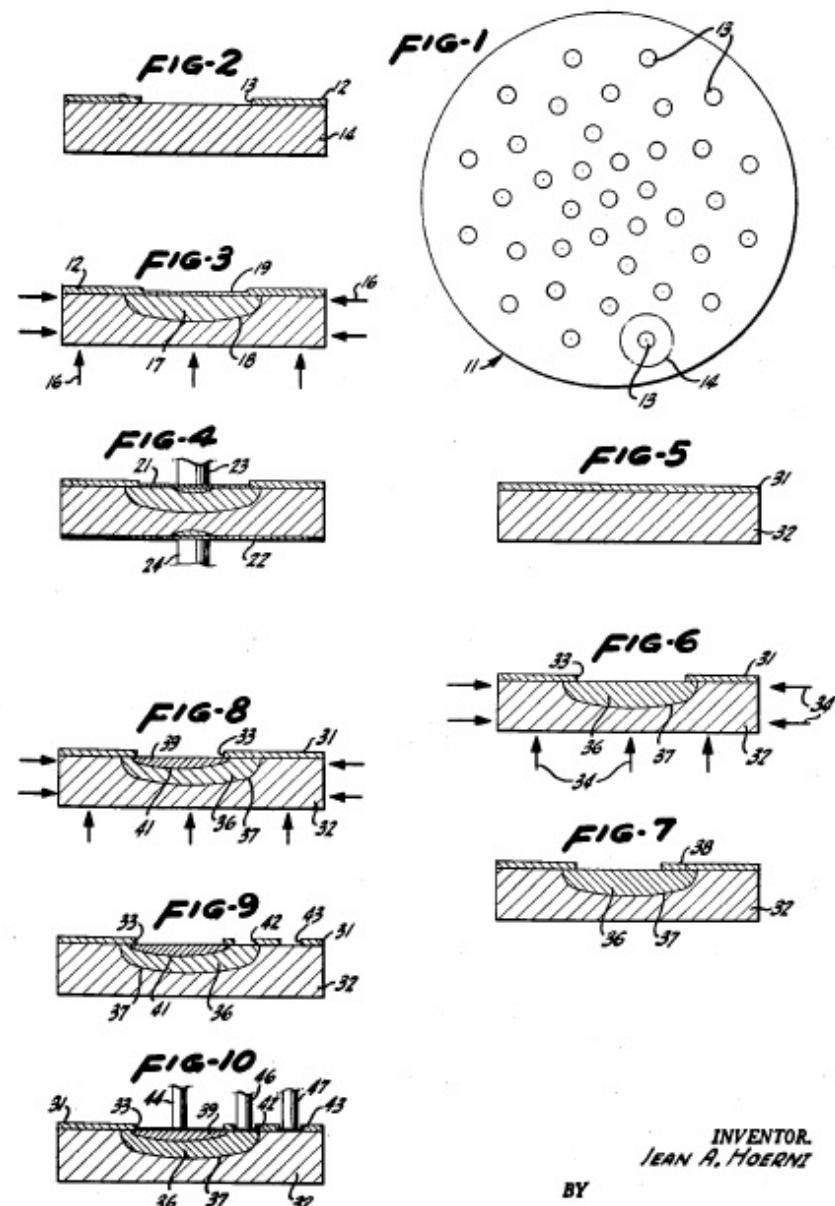
3,064,167

SEMICONDUCTOR DEVICE

Original Filed May 1, 1959

# Processo planare

- Sviluppato a partire dagli anni 50
  - Brevetto di Hoerni del 1959
- Utilizza fette di silicio di spessore 300-1500um (wafer), diametro 25 → 300 mm
- Opera su una faccia del wafer (dispositivi superficiali)
- Il wafer viene poi fatto a pezzi (qualche mm fino al cm)
  - “Chip” oppure “die”.
- Chips da pochi mm<sup>2</sup> con milioni di transistor



INVENTOR  
JEAN A. HOERNI

BY

Lippincott, Ralls & Hendriksen  
ATTORNEYS

# Passi di processo

- Produzione del wafer di silicio monocristallino
  - Ottenuto per taglio da un lingotto
- Fabbricazione del circuito elettrico
  - Aggiunta di droganti (p: B, Al / n: As, P)
  - Protezione ed isolamento ( $\text{SiO}_2$ ,  $\text{Si}_3\text{N}_4$ )
  - Interconnessioni sul chip (Al, Au, PolySi, metalli)
  - Tutte devono essere selettive spazialmente → metodi per effettuare il patterning sul wafer
- Taglio, connessioni esterne, packaging
- Nota: problemi tecnologici dominati da temperatura e contaminanti.

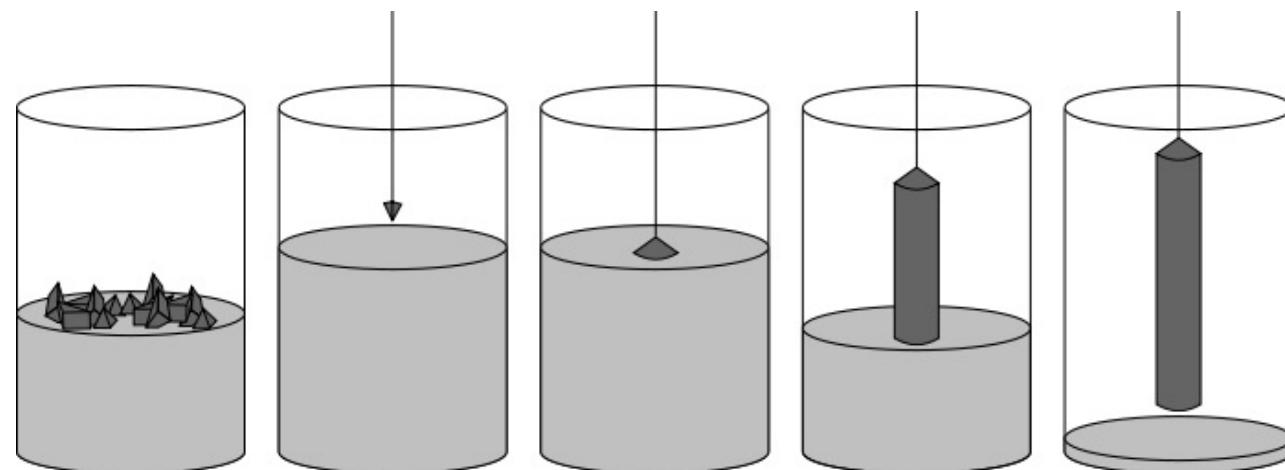
# Produzione wafer di silicio monocristallino

- Metodo Czochralski

- Elettronica:  $0.001 - 10 \Omega\text{cm}$
- Limite (superiore) sulla resistività : non è possibile ridurre ulteriormente le impurezze
- $T(\text{fusione Si})$ :  $1414^\circ \text{ C}$
- Diametro fino a 250mm



Single Crystal Silicon Ingot



Melting of  
polysilicon,  
doping

Introduction of  
the seed crystal

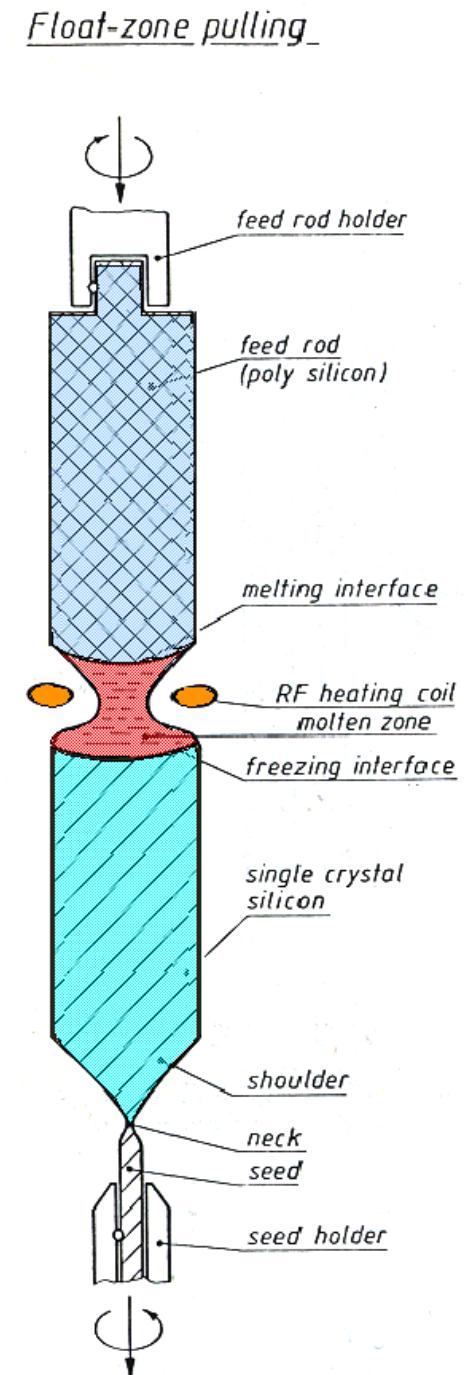
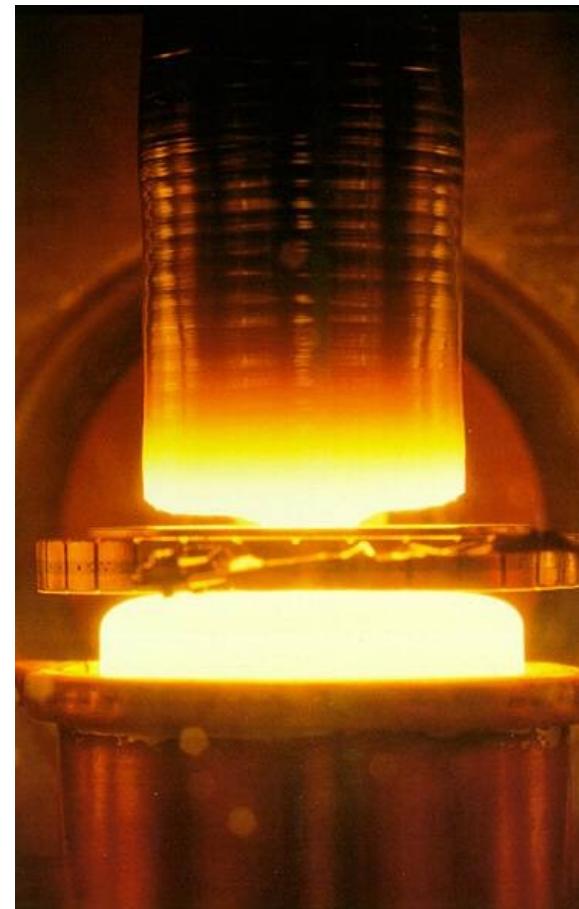
Beginning of  
the crystal  
growth

Crystal  
pulling

Formed crystal  
with a residue of  
melted silicon

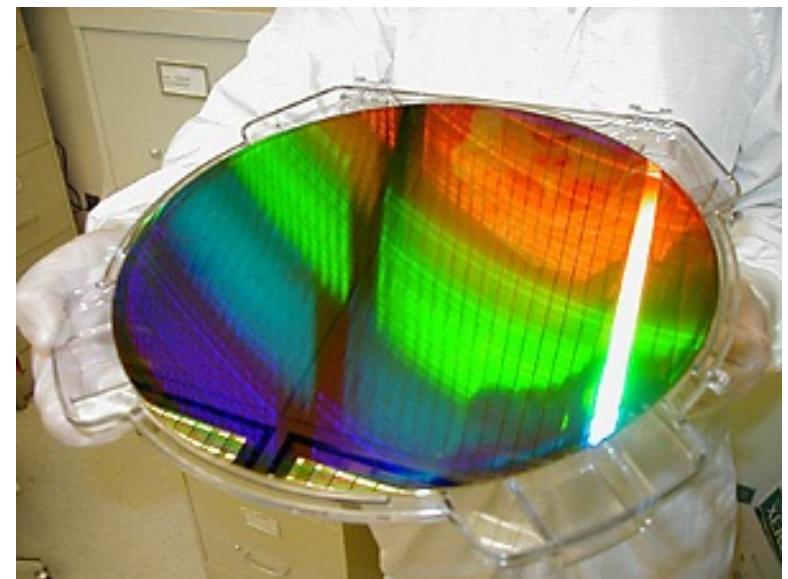
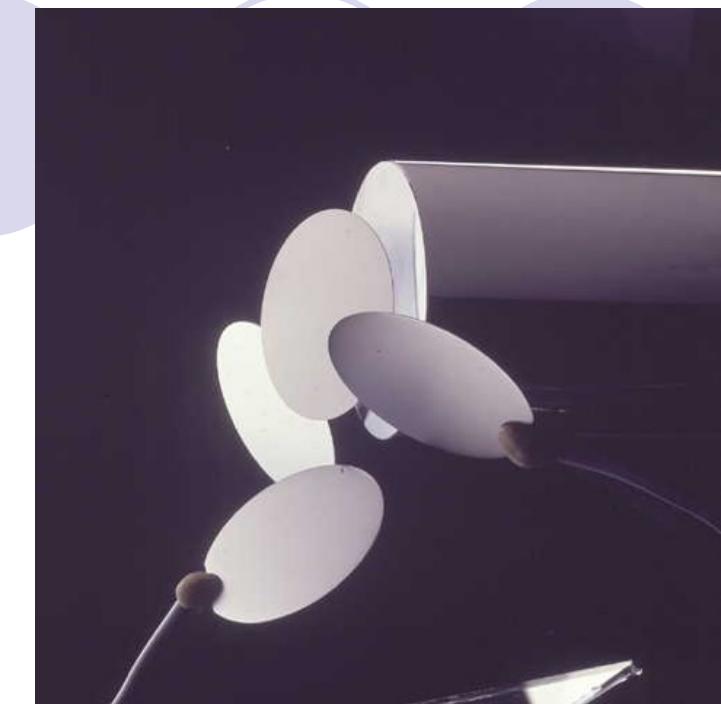
# Float Zone Silicon

- Resistività più alta
  - le impurezze rimangono nella zona liquida
  - Tipico  $10-20 \text{ k}\Omega\text{.cm}$
  - Fino al limite intrinseco ( $230 \text{ k}\Omega\text{.cm}$ )
- Applicazioni
  - Rivelatori di radiazione
  - Celle solari
- Però problemi meccanici nel processo
  - Difficile andare oltre diametro di 150mm (ma adesso lo fanno)



# Taglio a fette

- Spessore per rigidità meccanica:
  - 2 inch (50.8 mm). Thickness 275 µm.
  - 3 inch (76.2 mm). Thickness 375 µm.
  - 4 inch (100 mm). Thickness 525 µm.
  - 5 inch (125 mm). Thickness 625 µm.
  - 6 inch (150 mm). Thickness 675 µm.
  - 8 inch (200 mm). Thickness 725 µm.
  - 12 inch (300 mm). Thickness 775 µm.
- Le fette vengono lucidate in modo da avere una superficie super-liscia
- Spesso e' necessario un materiale di qualità migliore: crescita di uno strato di silicio epitassiale (sottile, 10-20um ma il meglio del meglio) sulla fetta.

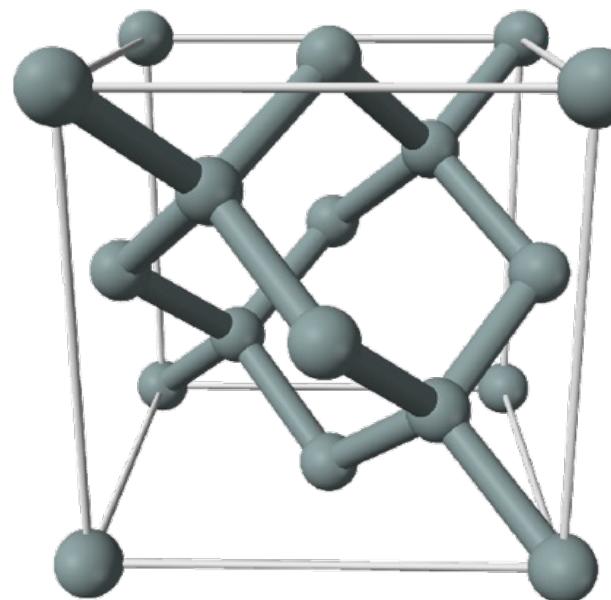


# Orientamento del cristallo rispetto alla faccia del wafer

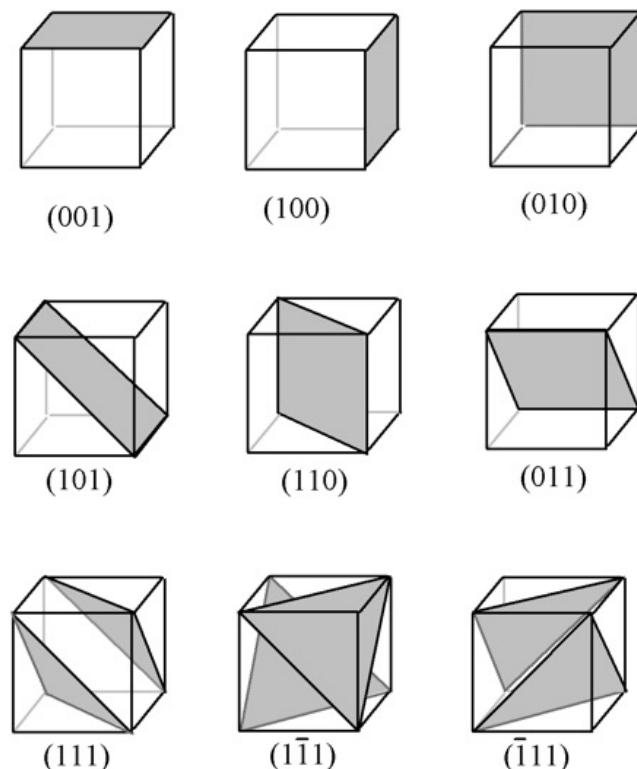
- Si - Cristallo cubico come diamante

- Implicazioni su:

- Stati superficiali, mobilità
- Interazione con la radiazione (channelling)

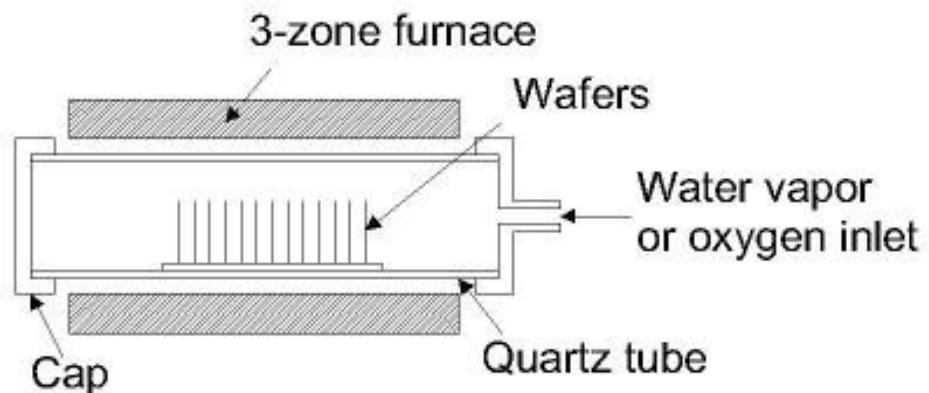


Indice di Miller



# Ossidazione della superficie

- Il cristallo di silicio alla superficie si interrompe bruscamente
  - Elettricamente attivo e dannoso
  - In ogni caso la superficie del silicio si ossida a contatto con l' aria
- Necessaria una passivazione della superficie:  $\text{SiO}_2$ 
  - Vari tipi di ossido a seconda del metodo di crescita o deposizione ed il legame con il reticolo cristallino del Si
- Ossido termico:
  - sono gli atomi di silicio già presenti nel reticolo che si legano agli atomi di ossigeno
  - Alta temperatura ( $1100^\circ$  ), ma ottima qualità elettrica
- LTO (low temp oxide):
  - depositato sopra il silicio
  - Bassa temperatura, ma qualità inferiore
- Parametro essenziale:
  - quantità di carica intrappolata nello strato di ossido
  - oxide charge is forever.

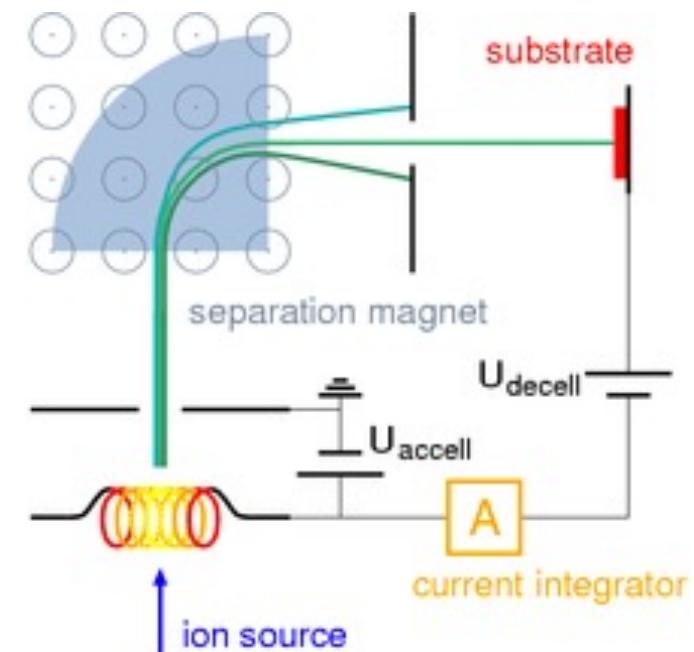
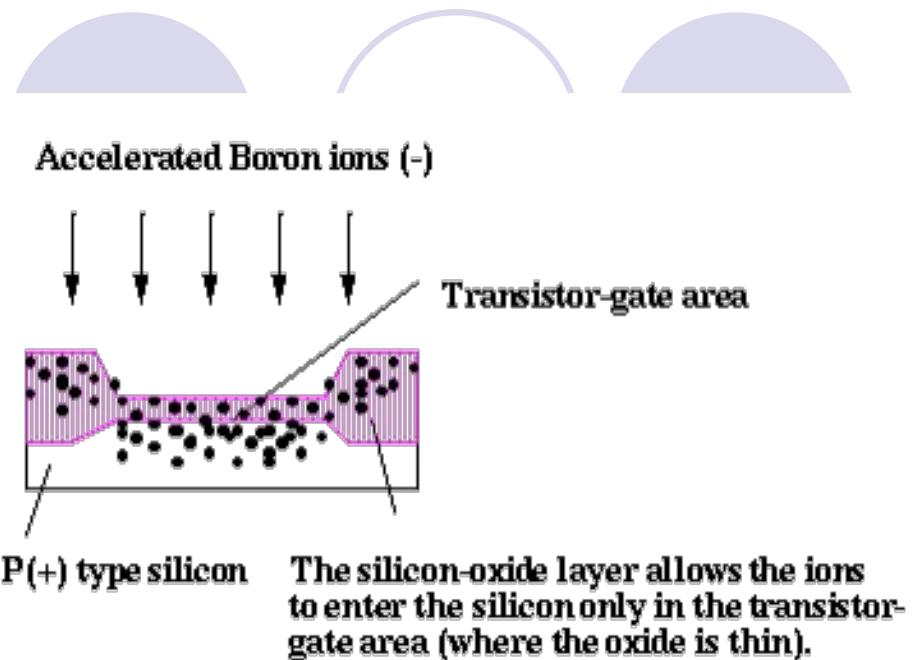


# Fornaci di ossidazione



# Aggiunta dei droganti

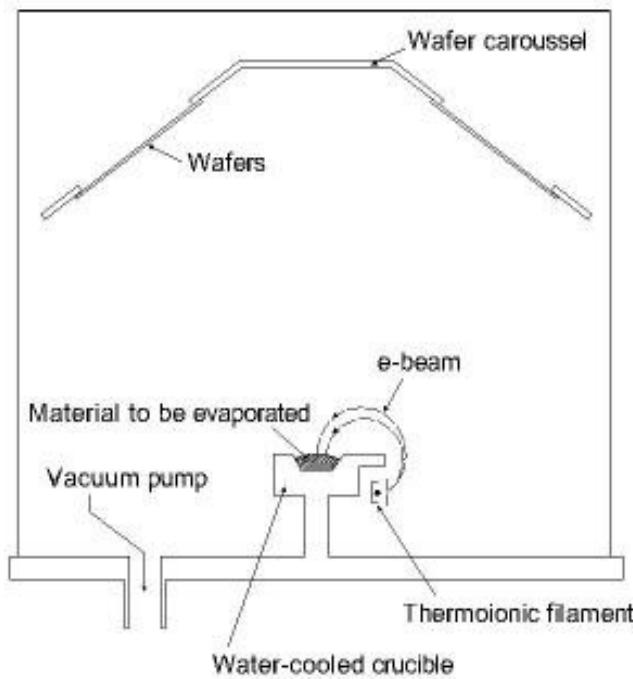
- Droganti principali
  - Tipo P: Boro, Alluminio
  - Tipo N: Fosforo, Arsenico
- Diffusione
  - Sorgente di solito gassosa
  - Alta temperatura → Diffusione
- Impiantazione ionica
  - Ioni accelerati in modo da penetrare nel silicio
  - Attivitazione a temperatura intermedia



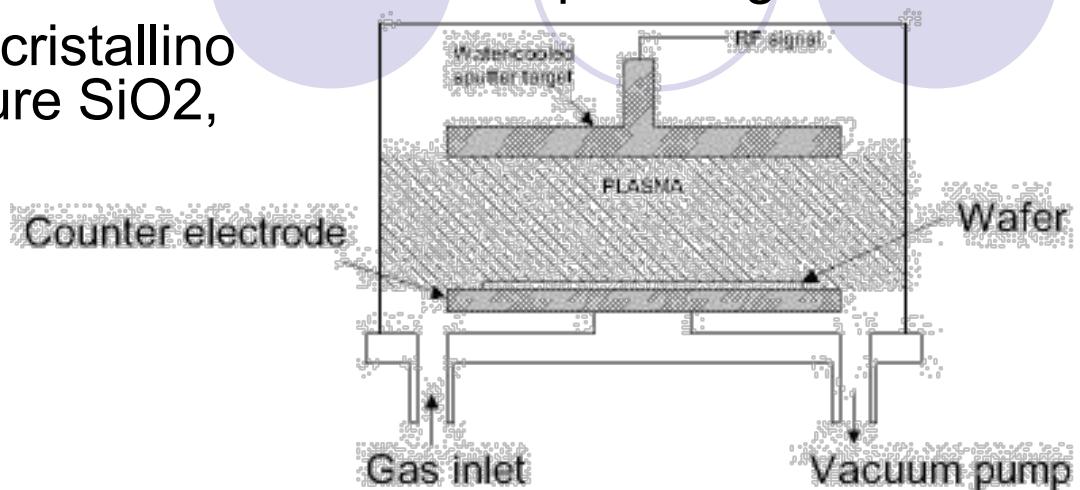
# Deposizione di Film

- Metallo (Al, Cu) o silicio policristallino per le interconnessioni oppure SiO<sub>2</sub>, Si<sub>3</sub>N<sub>4</sub> per isolamento e mascheratura

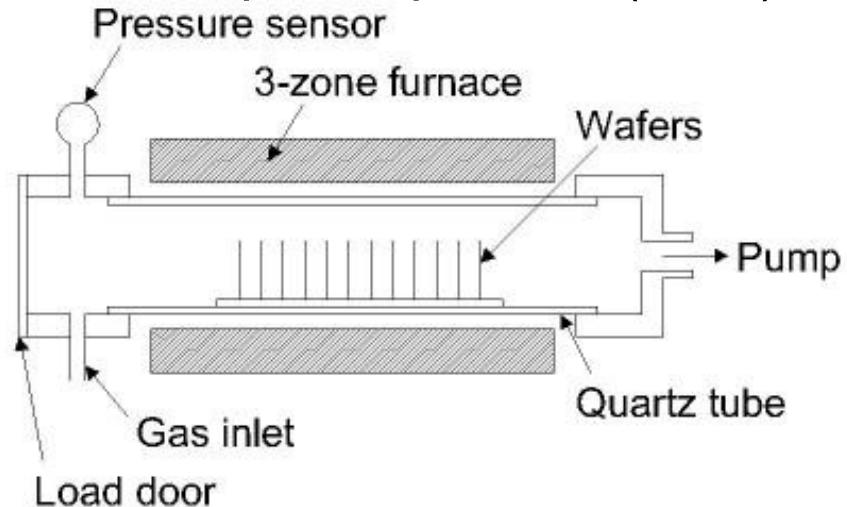
## Evaporazione



## Sputtering



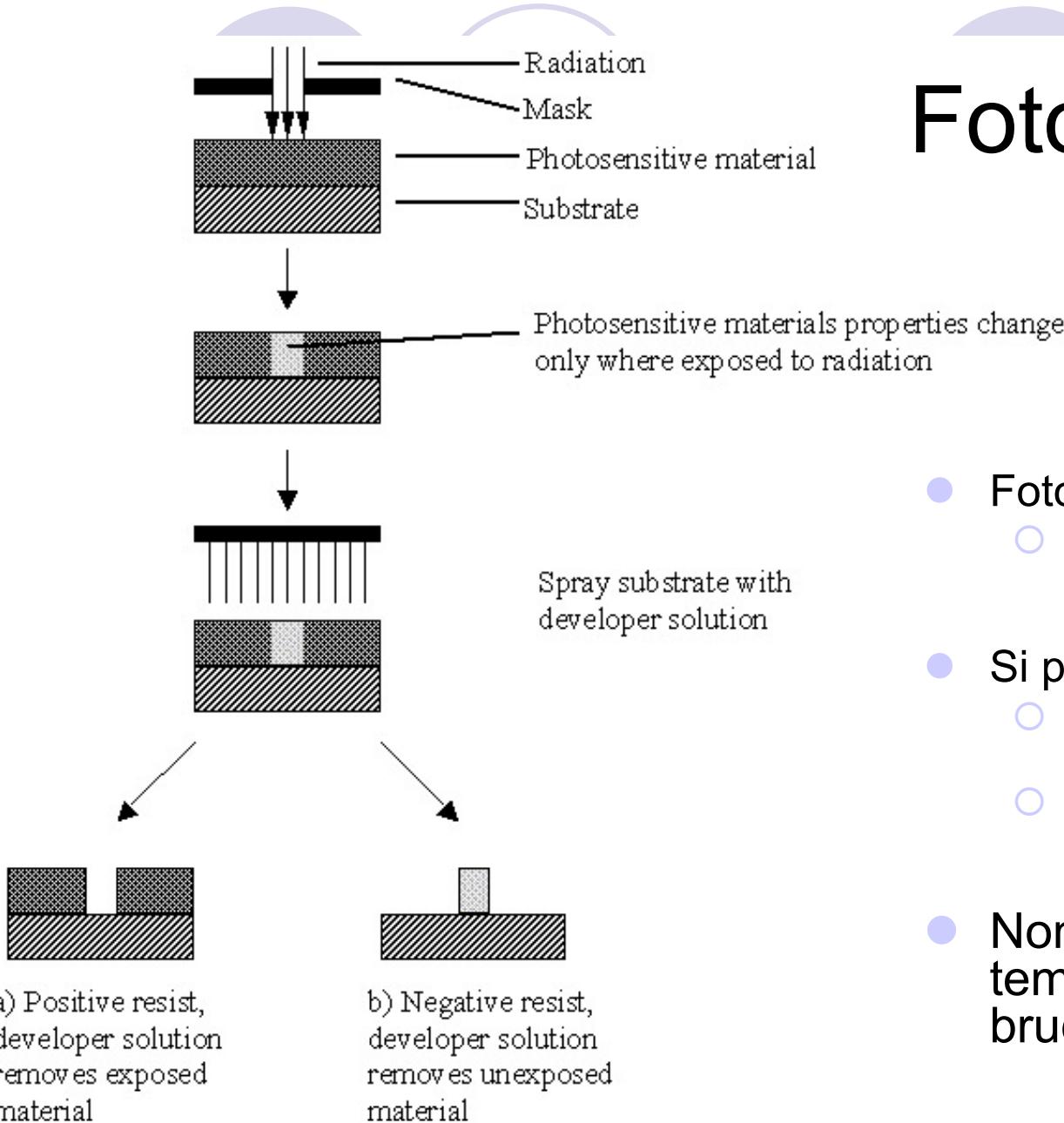
## Chemical Vapor Deposition (CVD)



# Patterning

- I droganti, le interconnessioni, gli ossidi, devono esistere solo in certe zone
- I metodi di deposizione però coinvolgono l' intero wafer.  
Due metodi:
  - Deposizione selettiva: si mascherano le zone dove non vogliamo che vada il materiale
  - Rimozione selettiva: mettiamo il materiale ovunque e poi lo rimuoviamo dove non lo vogliamo
  - La scelta dipende da materiali, temperatura, chimica, etc.
- Le tecniche di patterning sono basate su:
  - Materiale fotosensibile (fotoresist), tipicamente nell' UV, che permette di trasferire la struttura voluta sul wafer. → adesso tecniche con fascio di elettroni
  - Etching selettivo: una rimozione chimica (wet o dry) di alcuni materiali ma non altri, che usa la mascheratura del fotoresist
  - Maschera: disegno 1:1 oppure 10:1 (cromo su vetro) della struttura. Realizzata a partire dal disegno su computer (fino a ieri)

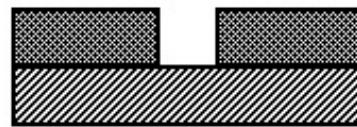
# Foto-litografia



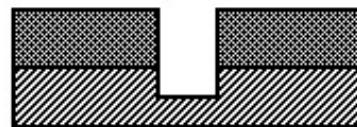
- **Fotoresist:**
  - materiale organico piuttosto resistente agli acidi (ma non ai solventi).
- **Si può usare per**
  - evitare la deposizione dove c'è il resist (ad es. Impiantazione)
  - permettere l'etching con acidi dove non c'è il resist (etching dell'ossido)
- **Non regge alle alte temperature (indurisce e poi brucia)**

# Pattern transfer

Subtractive Process



Photolithography

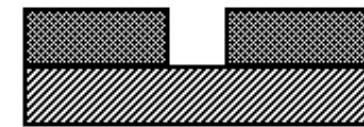


Etch

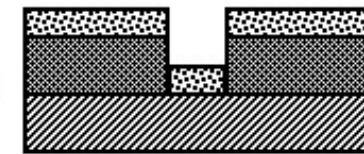


Pattern transfer  
by etching

Additive Process



Deposit



Strip Resist



Pattern transfer  
by lift off

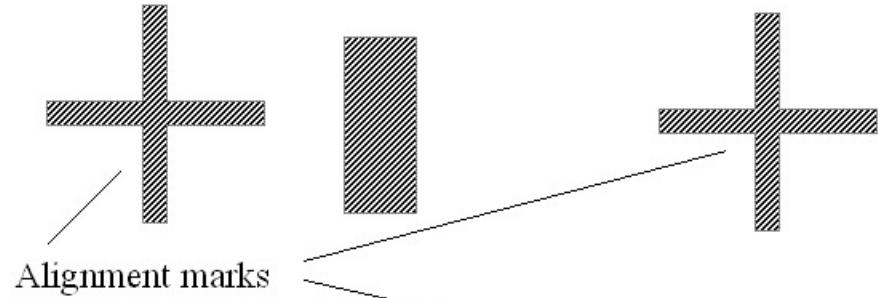
- Basta un granello di polvere a rovinare tutto

# Etching

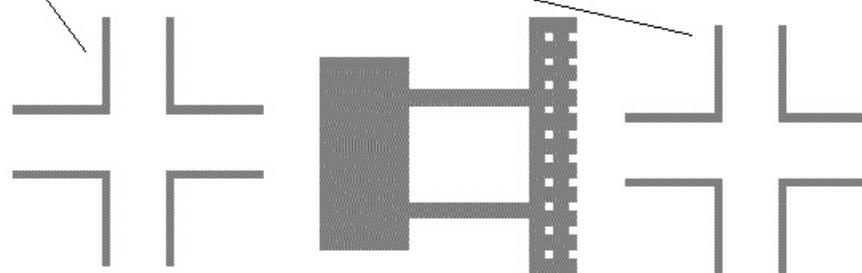
- Nella rimozione selettiva dei materiali c' è un grande gioco di chimica. Esempi
  - HF (acido fluoridrico) rimuove il SiO<sub>2</sub>, ma non il Si né il resist, né il Si<sub>3</sub>N<sub>4</sub>
  - KOH attacca il silicio (ma il rate dipende dall' orientazione cristallina) ed il resist, ma non il SiO<sub>2</sub> (cioè, lo attacca poco)
  - I' acetone scioglie il resist come neve al sole, ma non fa niente al Si o SiO<sub>2</sub>.
  - etc... etc... Molti sono segreti di fabbrica custoditi gelosamente
- In tutto questo è cruciale il controllo delle contaminazioni, perchè possono alterare il funzionamento elettrico dei dispositivi
  - ad esempio, K e Na sono pericolosi perchè diffondono moltissimo

# Allineamento

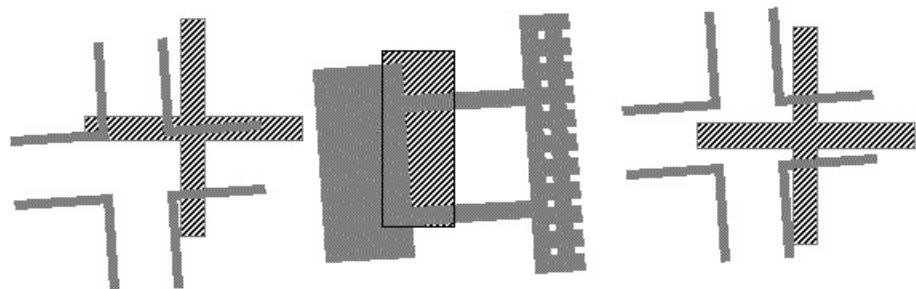
- Processo di produzione con molti passi
- Le zone devono essere allineate a livello di frazioni di um.



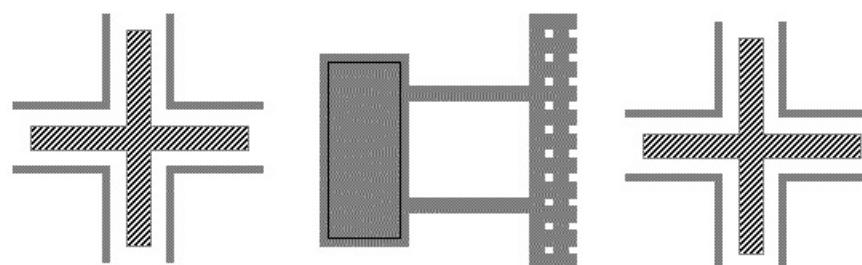
Features on wafer



Features on mask



Mask over wafer



Alignment marks used to register two layers, wafer now ready to be exposed

# Feature size

- Dimensione minima dei dispositivi
  - Tipicamente lunghezza del canale MOS
- Nel 2017 sono facilmente disponibili processi fino a 65 nm (anche se costosi)
- Da 45 nm in giù sono interni a Intel, IBM, Fujitsu, etc...

## Semiconductor manufacturing processes

10  $\mu\text{m}$  – 1971  
6  $\mu\text{m}$  – 1974  
3  $\mu\text{m}$  – 1977  
1.5  $\mu\text{m}$  – 1982  
1  $\mu\text{m}$  – 1985  
800 nm – 1989  
600 nm – 1994  
350 nm – 1995  
250 nm – 1997  
180 nm – 1999  
130 nm – 2001  
90 nm – 2004  
65 nm – 2006  
45 nm – 2008  
32 nm – 2010  
22 nm – 2012  
14 nm – 2014  
10 nm – 2016  
7 nm – 2018  
5 nm – 2020

# Diffrazione

- La luce UV ha lunghezza d'onda fino a 200nm – 400nm diffrazione attraverso le fenditure della maschera

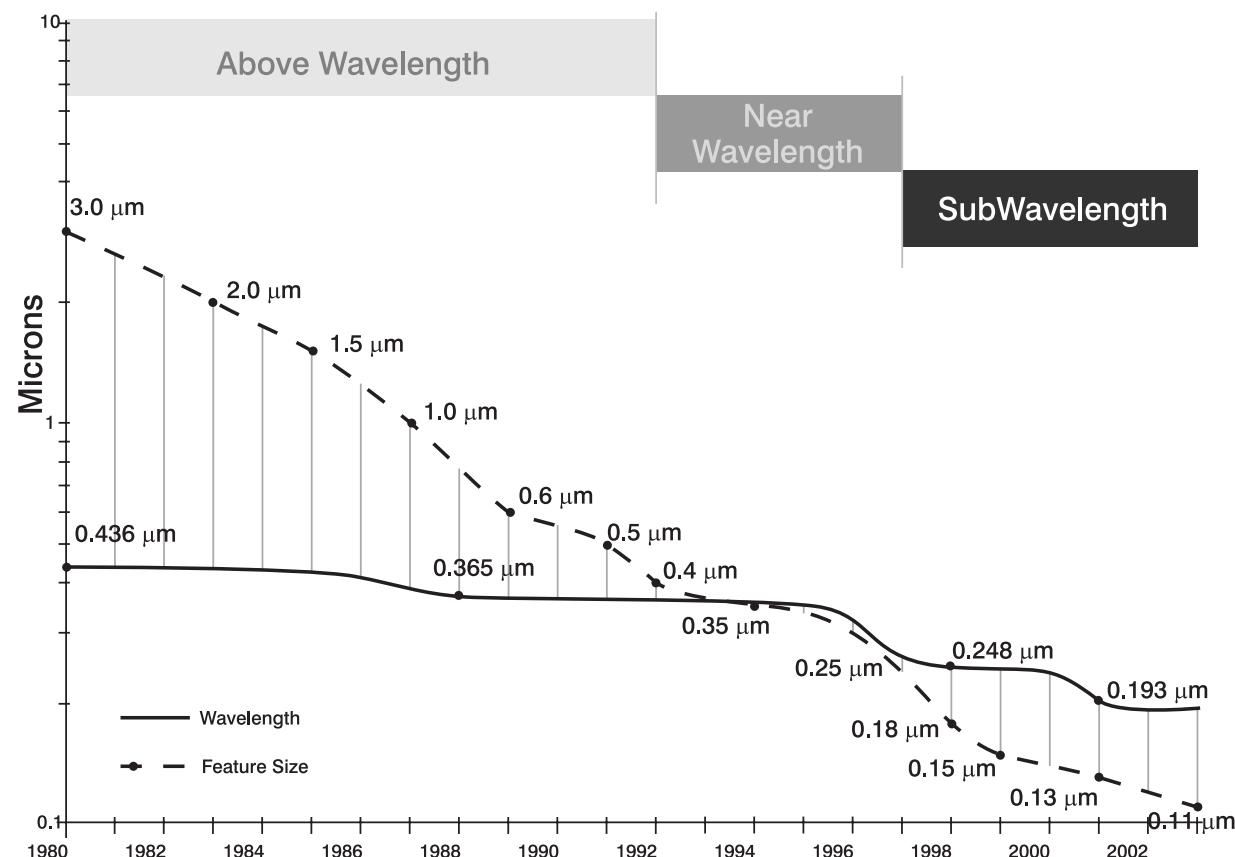
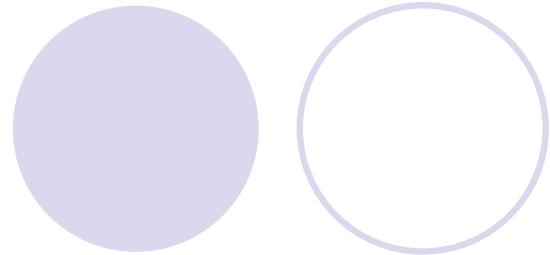


Figure 1: Shift to subwavelength optical lithography since the 0.35-micron process generation.



# Phase Shifting Masks

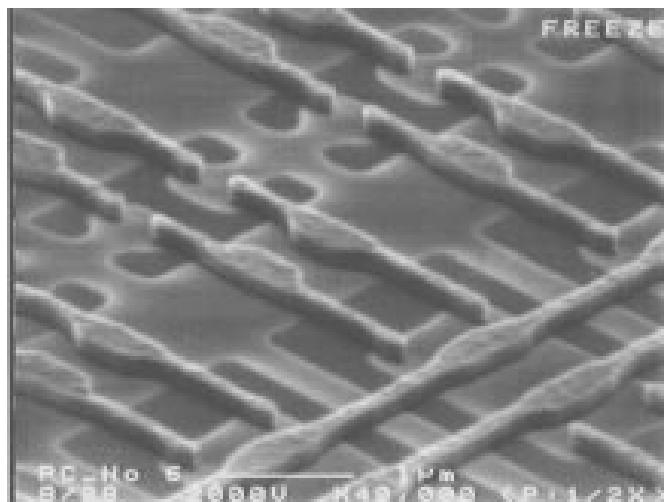


Figure 8: SEM micrograph (courtesy of Motorola) of poly gates fabricated with alternating PSM technology. Gate lengths are 90 nm.

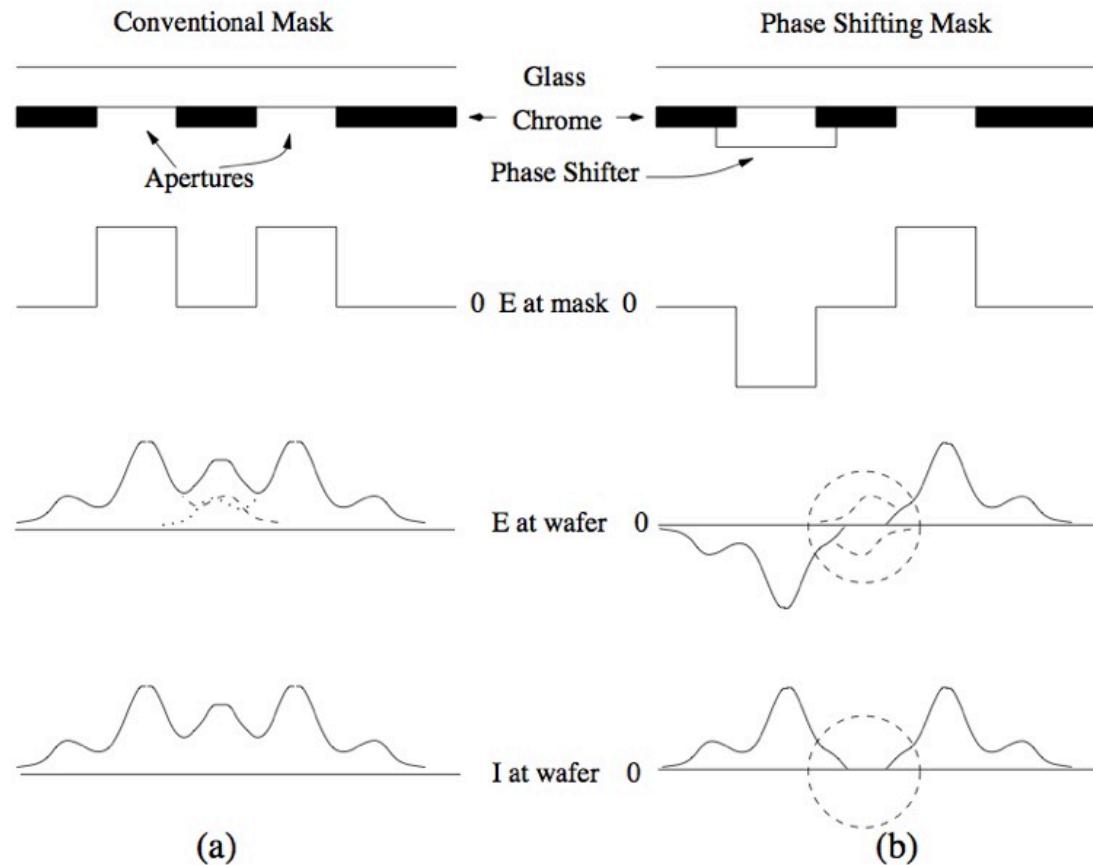
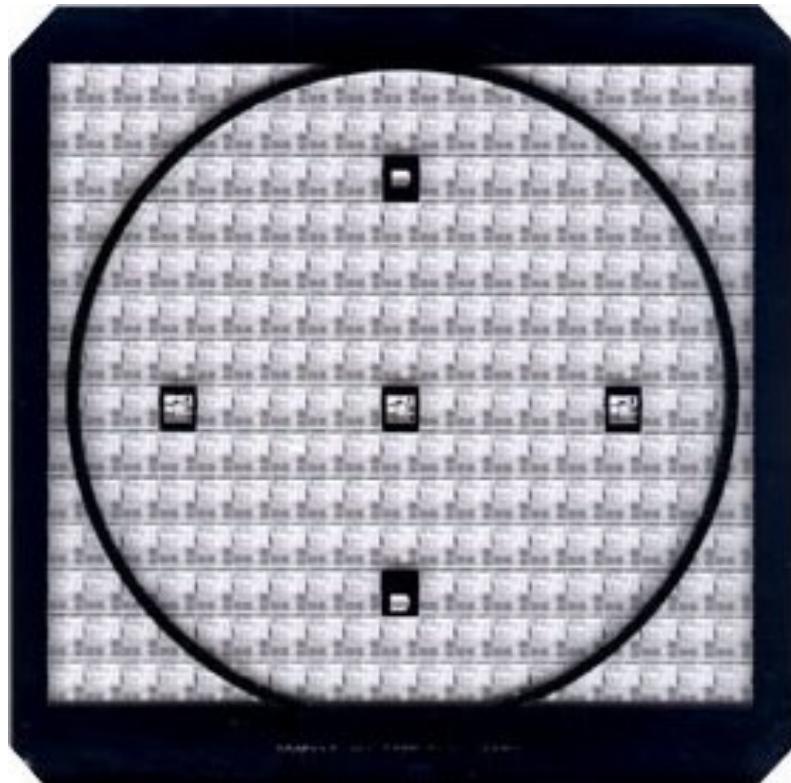


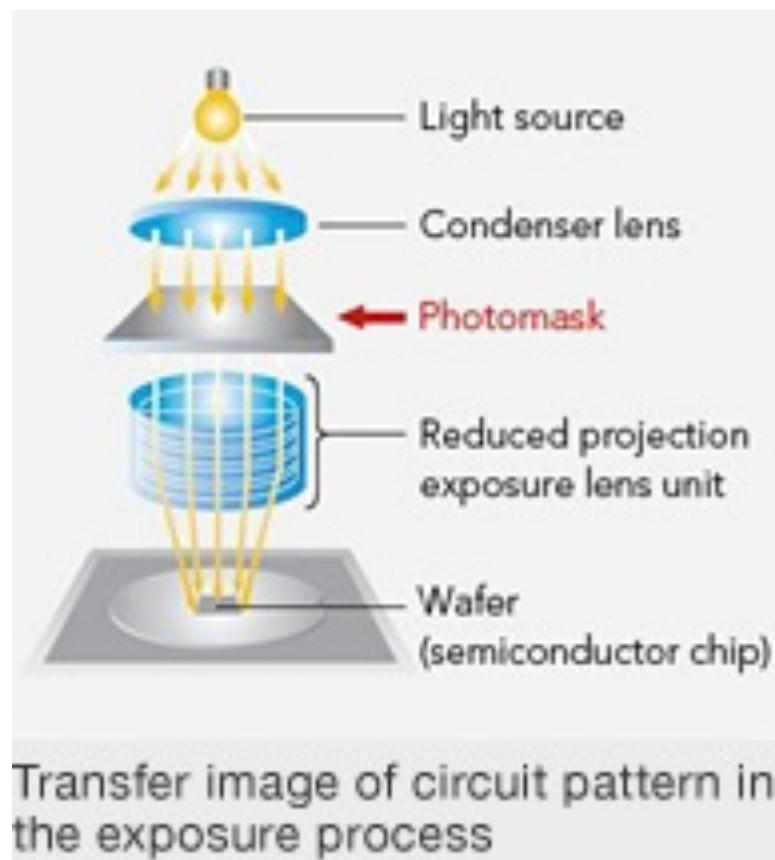
Figure 5: Comparison of diffraction optics of conventional and phase-shifting masks.  $E$  denotes electric field and  $I$  denotes intensity. With the conventional mask (a) light diffracted by two adjacent apertures constructively interferes, increasing the light intensity in the dark area of the wafer between the apertures. With the (alternating) phase-shifting mask (b), the phase shifter reverses the sign of the electric field, and destructive interference minimizes light intensity at the wafer in the dark area between apertures.

# Metodi di esposizione

- Full wafer mask

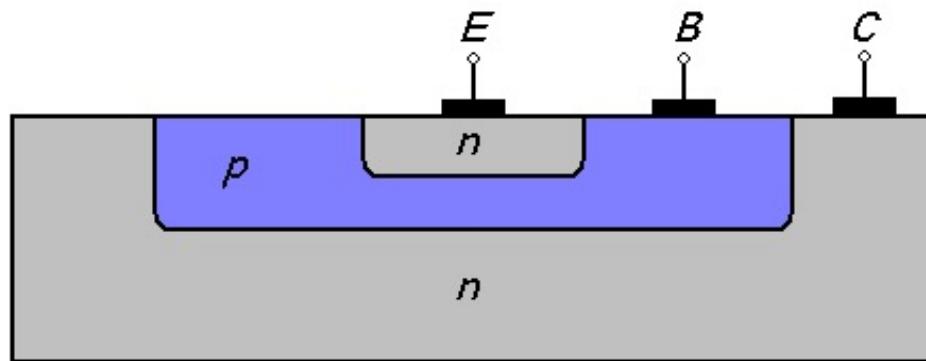


- Reticle (5:1 or 10:1)

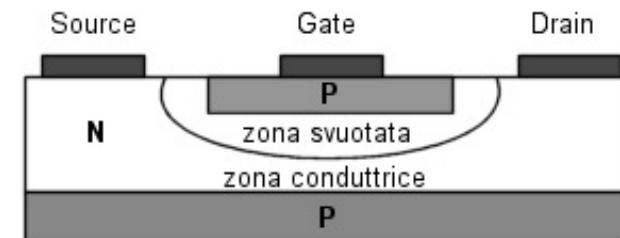


# Struttura dei dispositivi

Bipolare

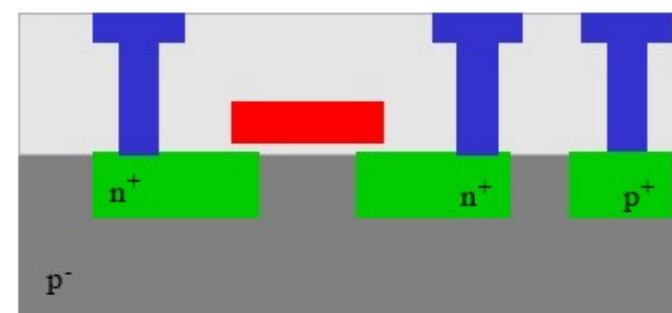


J-FET

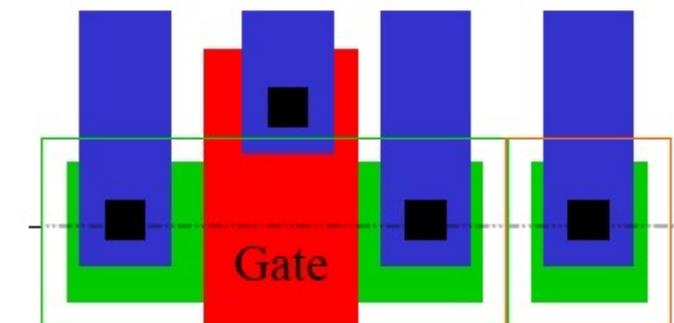


MOSFET

Crossection of nFET



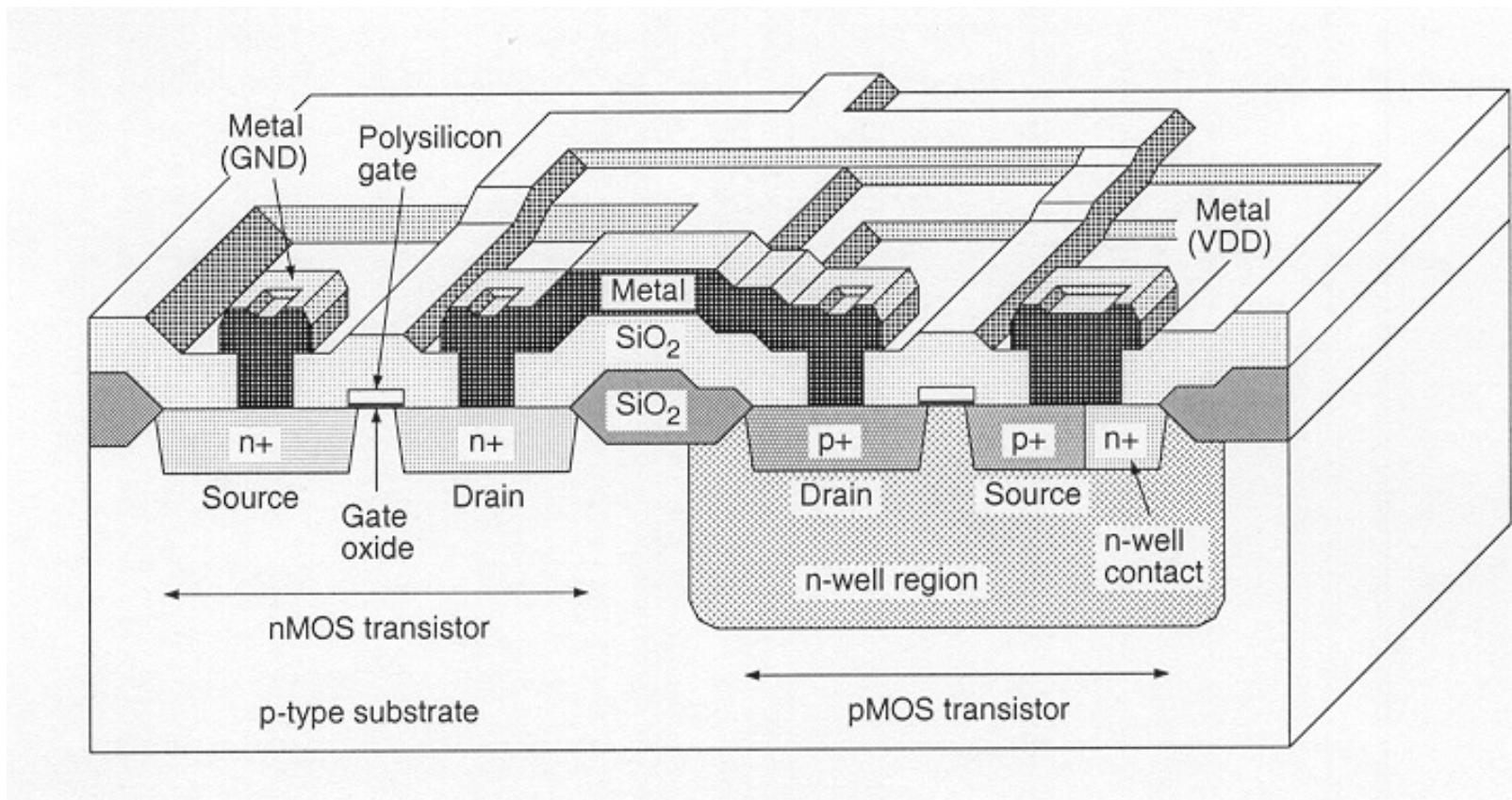
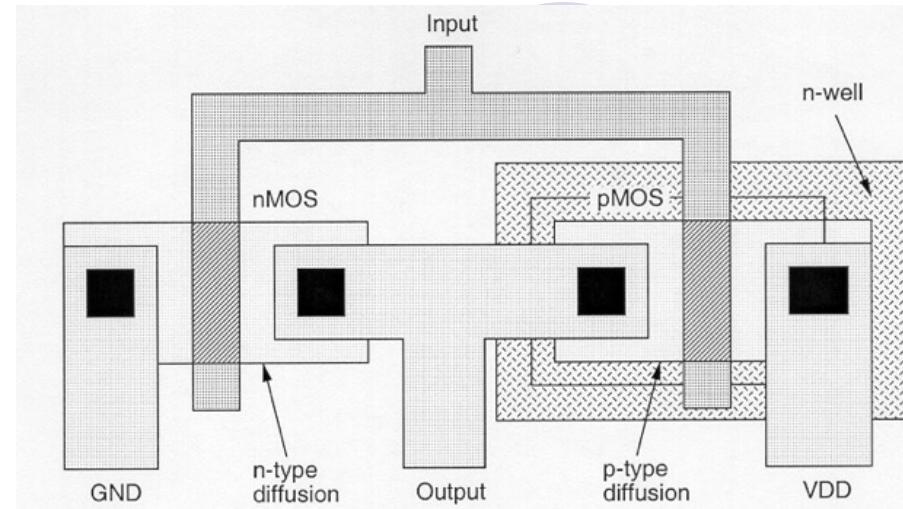
Layout Masks



Legend:

- substrate
- polysilicon
- SiO<sub>2</sub>
- active
- metall1
- contact
- n-select
- p-select

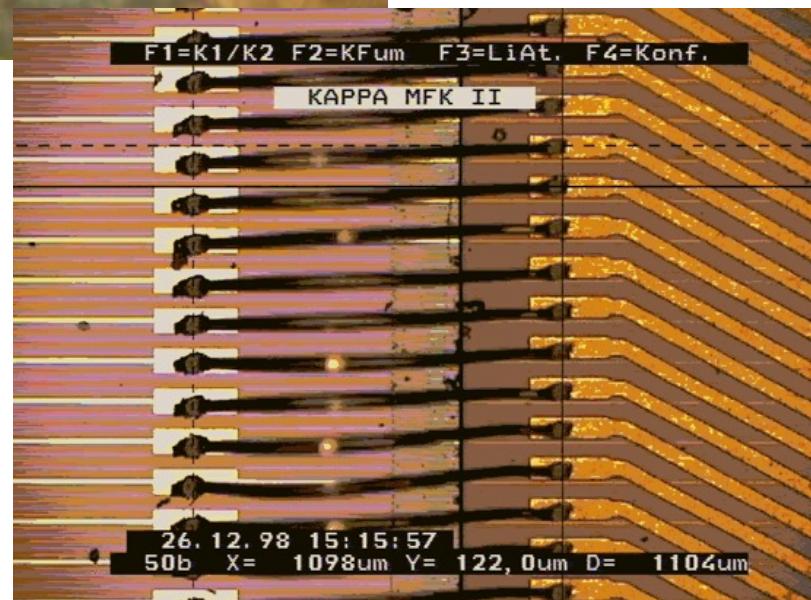
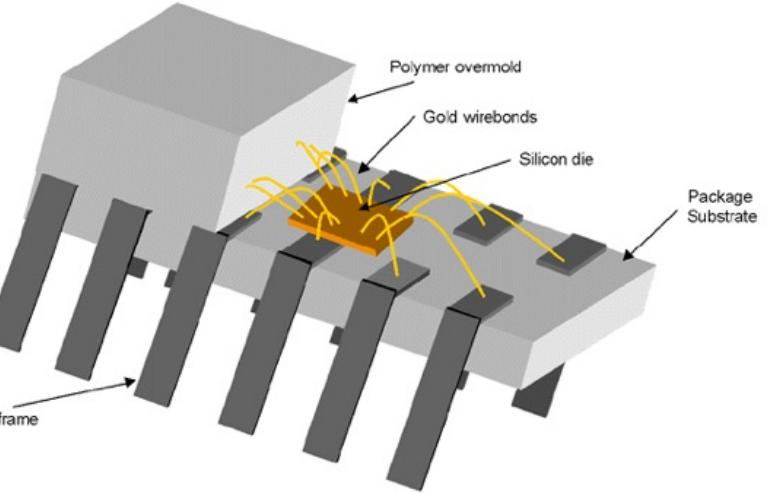
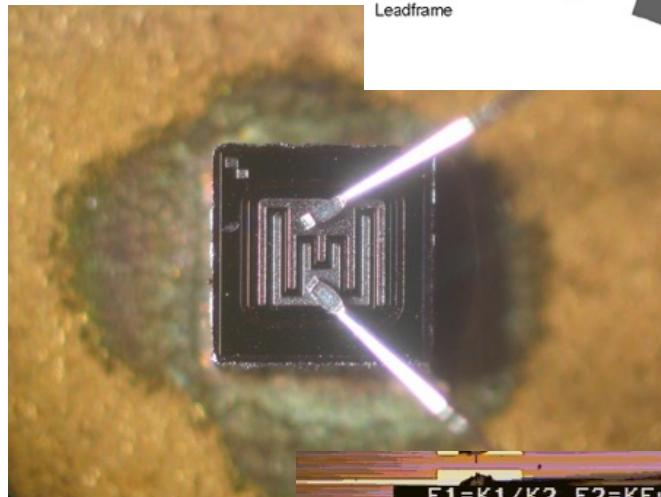
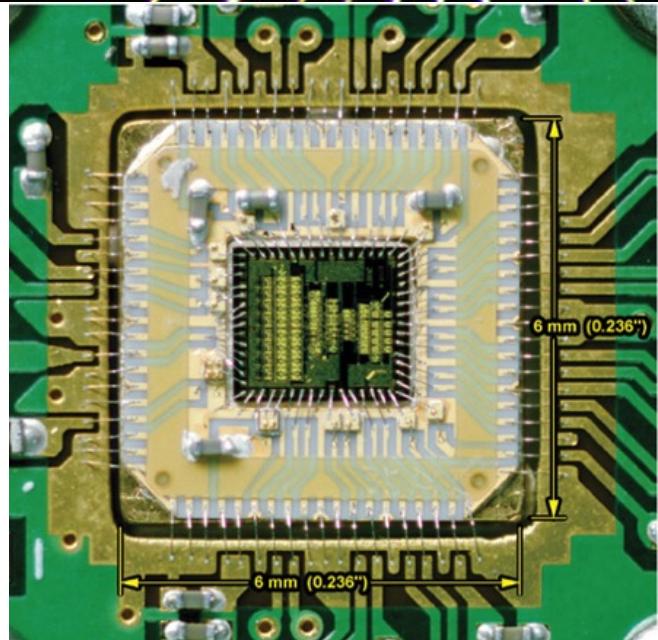
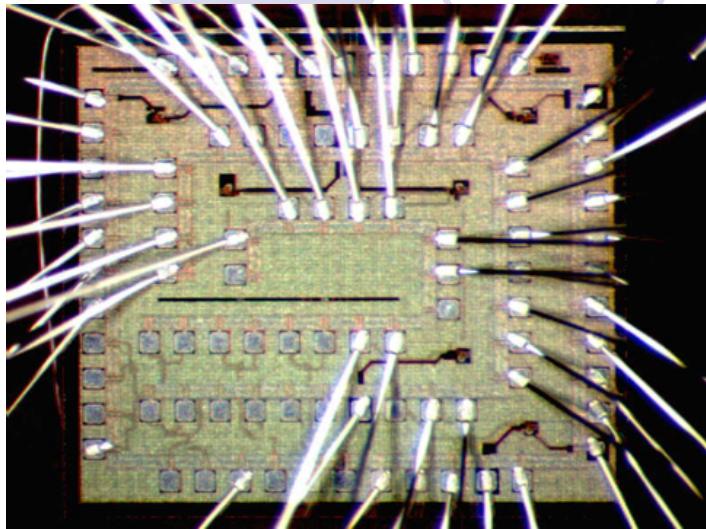
# CMOS



# Software e ciclo di progettazione

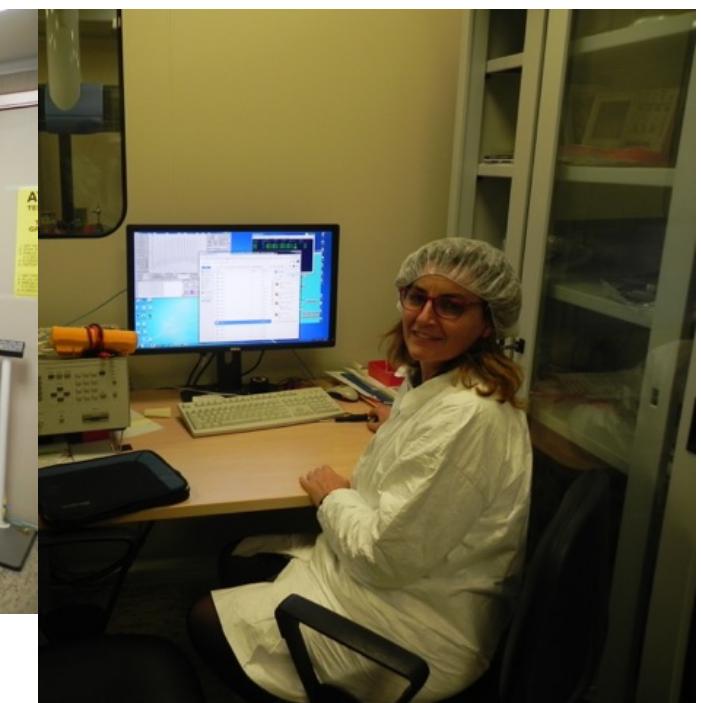
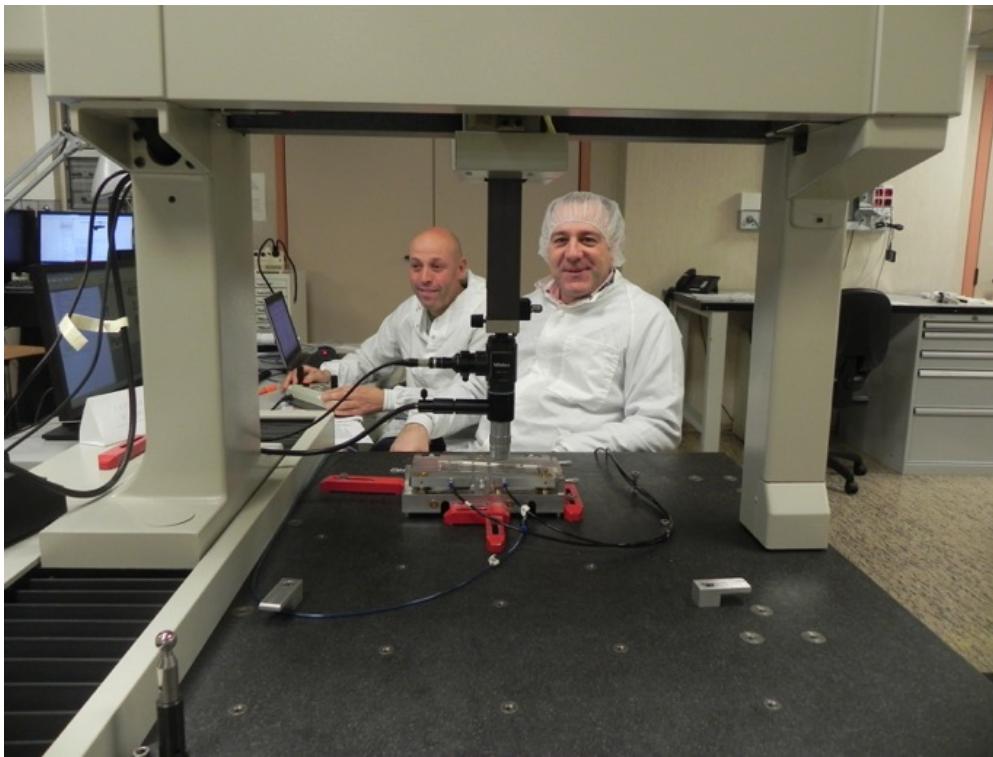
- La progettazione di un circuito integrato dipende pesantemente dal supporto sw:
  - Simulazione fisica di processo: effetti della temperatura, degli attacchi chimici, etc.
  - Simulazione fisica della struttura del dispositivo: campi elettrici, capacità, transconduttanza, beta, etc.
  - → si arriva a dare i parametri elettrici del dispositivo realizzato con una certa struttura fisica
  - Progettazione e simulazione elettrica del circuito (analogico) oppure
  - Descrizione della funzionalità del blocco (digitale) e sintesi automatica
  - → si arriva dare la “netlist” dei componenti, cioè chi sono e come sono collegati
  - Piazzamento e routing dei componenti (automatico o manuale)
  - Estrazione capacità parassite e verifica del progetto
  - → trasformazione in maschere per i diversi passi di processo
- In certi casi (ad es. rivelatori) si fa direttamente a mano la creazione delle maschere (tipicamente in processi non standard).

# Interconnect e packaging



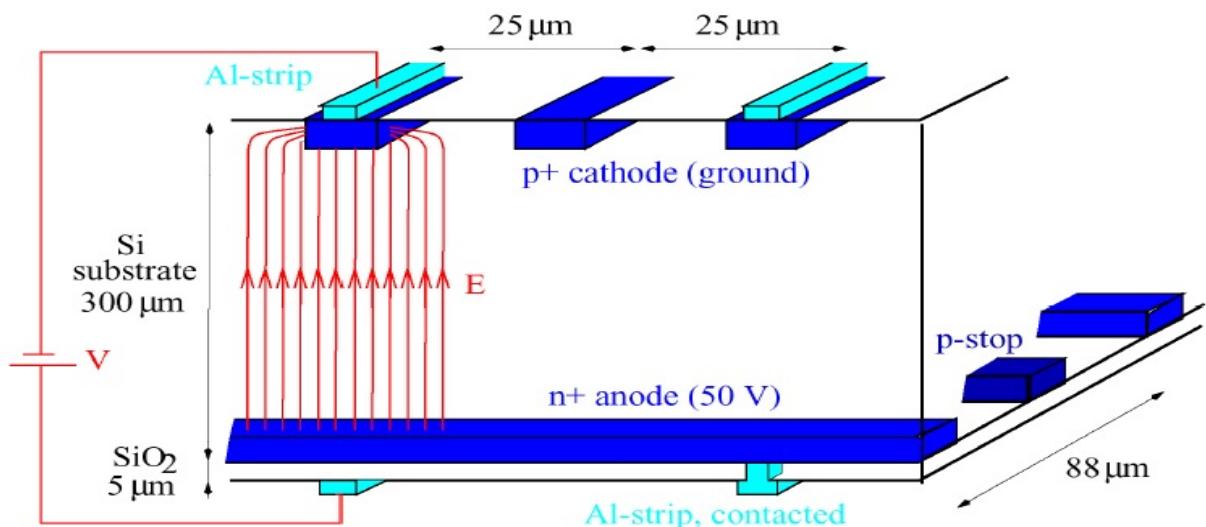
A Pisa...



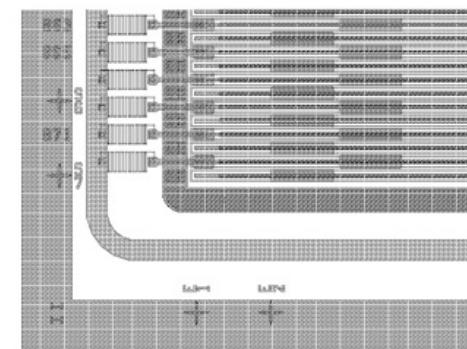
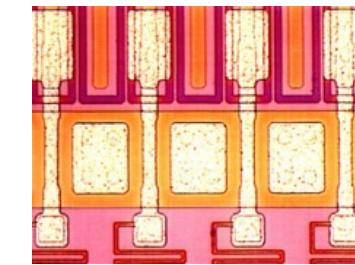


# Rivelatori a doppia faccia

Double sided Readout



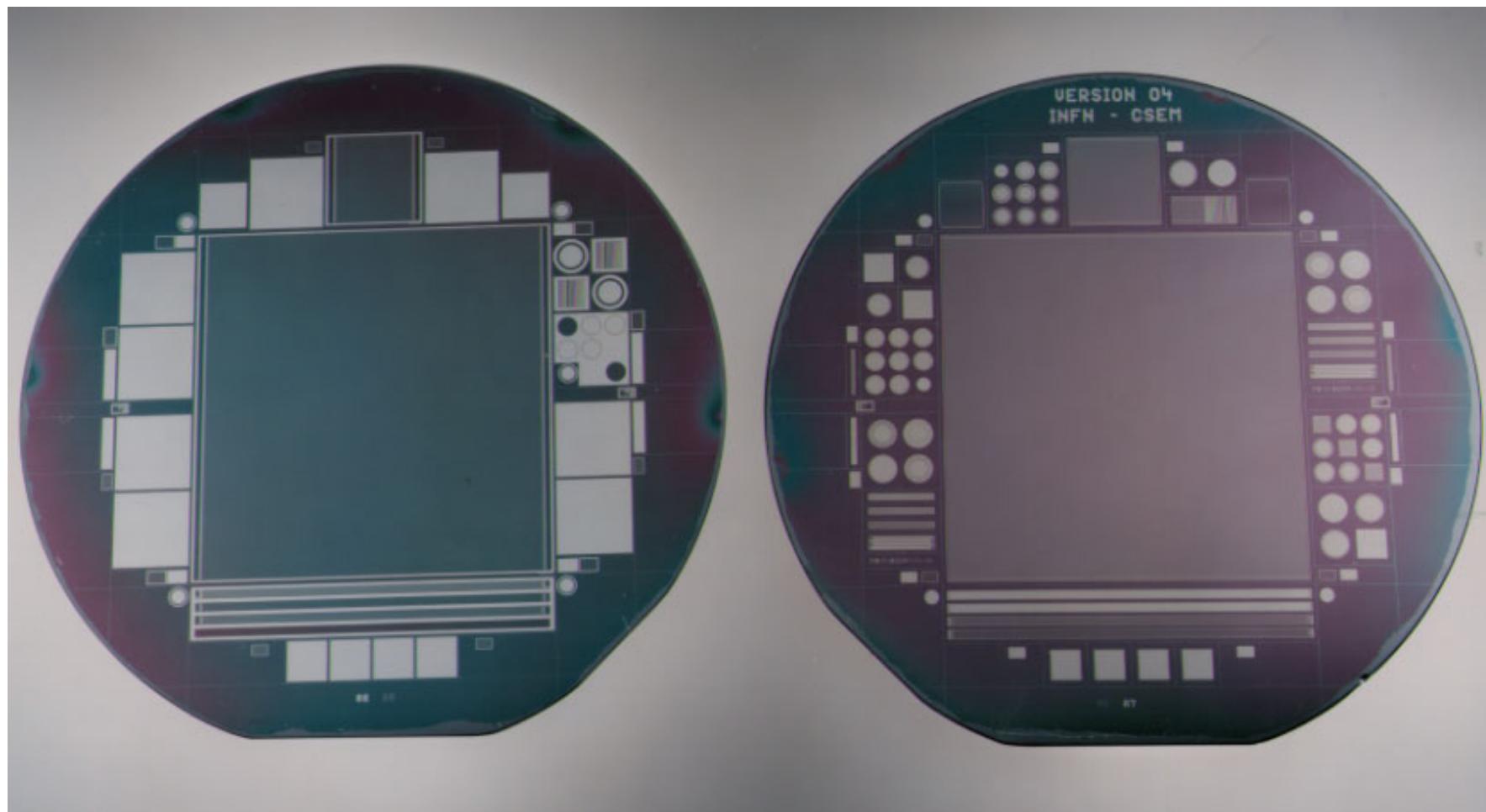
Make use of drift **electrons**: second coordinate without additional dead material !



Soluzione sviluppata a Pisa ('86):  
strip p+ per interrompere lo strato di  
accumulazione di e- che  
cortocircuiterebbe tutte le strip n+



# Wafer di rivelatore a strisce per tracciatura



# BaBar Silicon Vertex Tracker (SLAC 1999-2008)

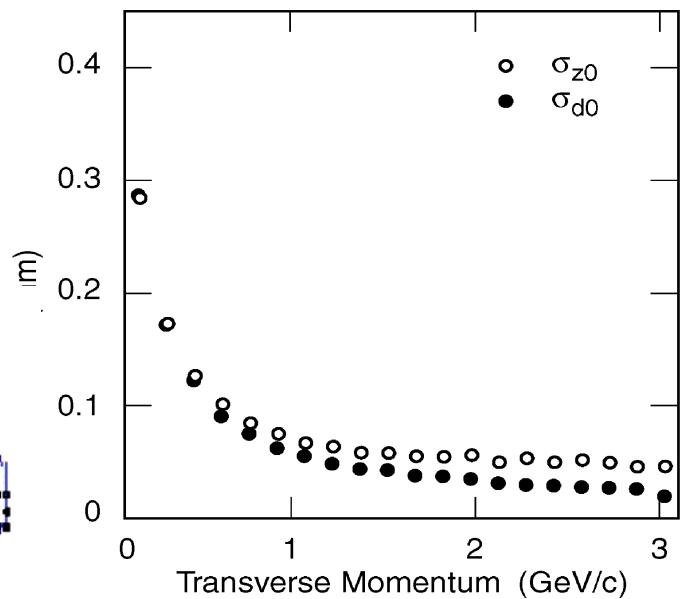
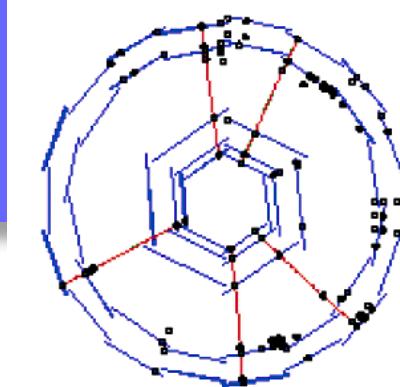
## Programma di fisica alle B-factories:

- Studio delle asimmetrie di CP nei decadimenti dei mesoni B (Branching Ratios  $\sim 10^{-4}$ - $10^{-5}$ )
- Overconstrain dei parametri della matrice CKM

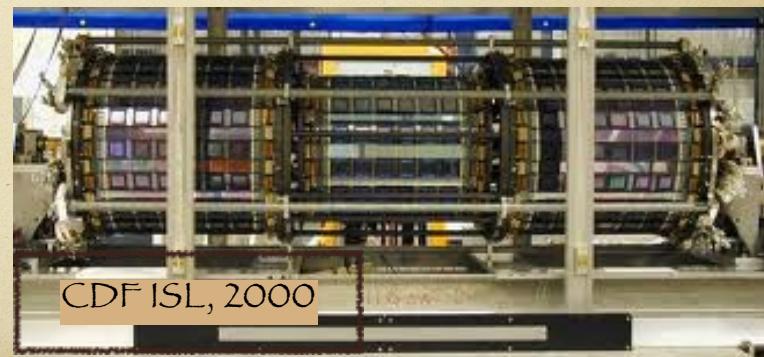
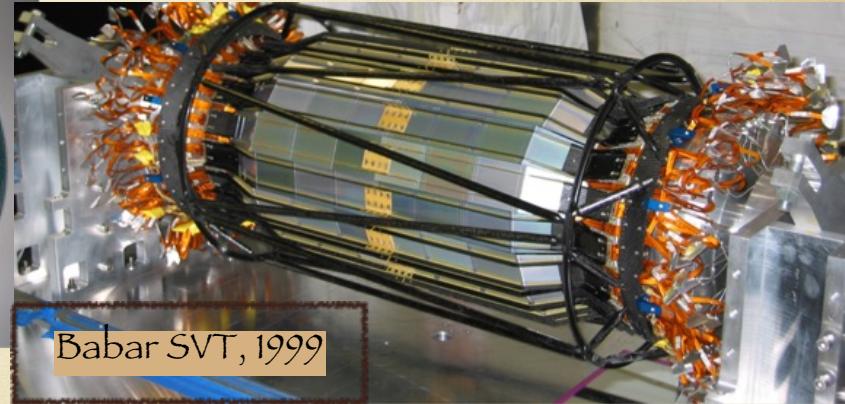
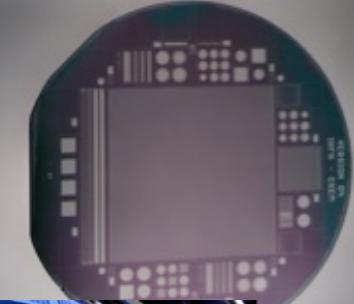
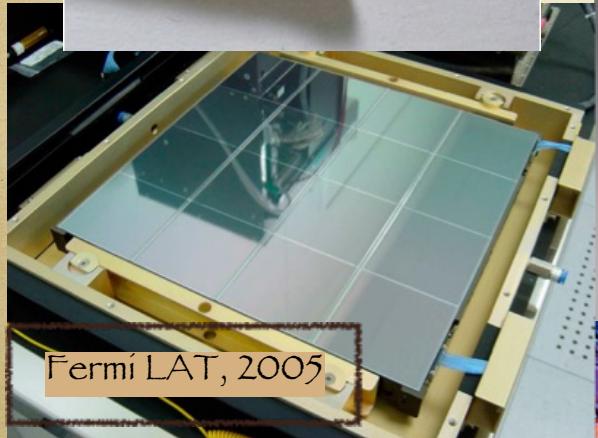
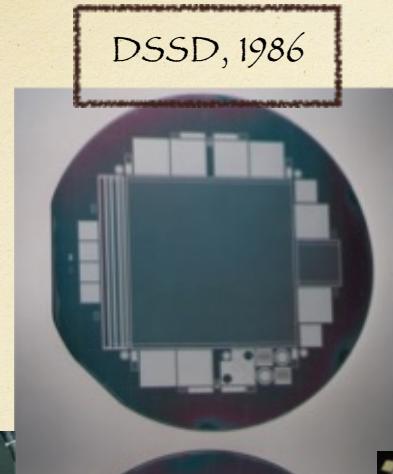
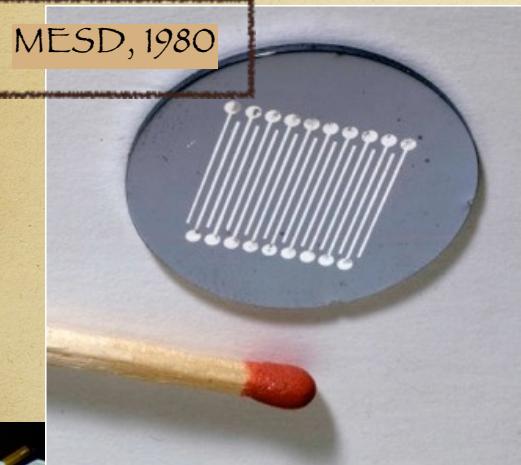


## BaBar SVT

- 5 strati (sensori al silicio a doppia faccia)
- Design a basso contenuto di materiale: 0.5%  $X_0/\text{strato}$  ( $P_t < 2.7 \text{ GeV}/c$ )
- Tracking stand-alone per particelle a basso impulso trasverso.
- Efficienza di ricostruzione: 97%
- Risoluzione spaziale:  $\sim 15\mu\text{m}$  (ad incidenza normale)

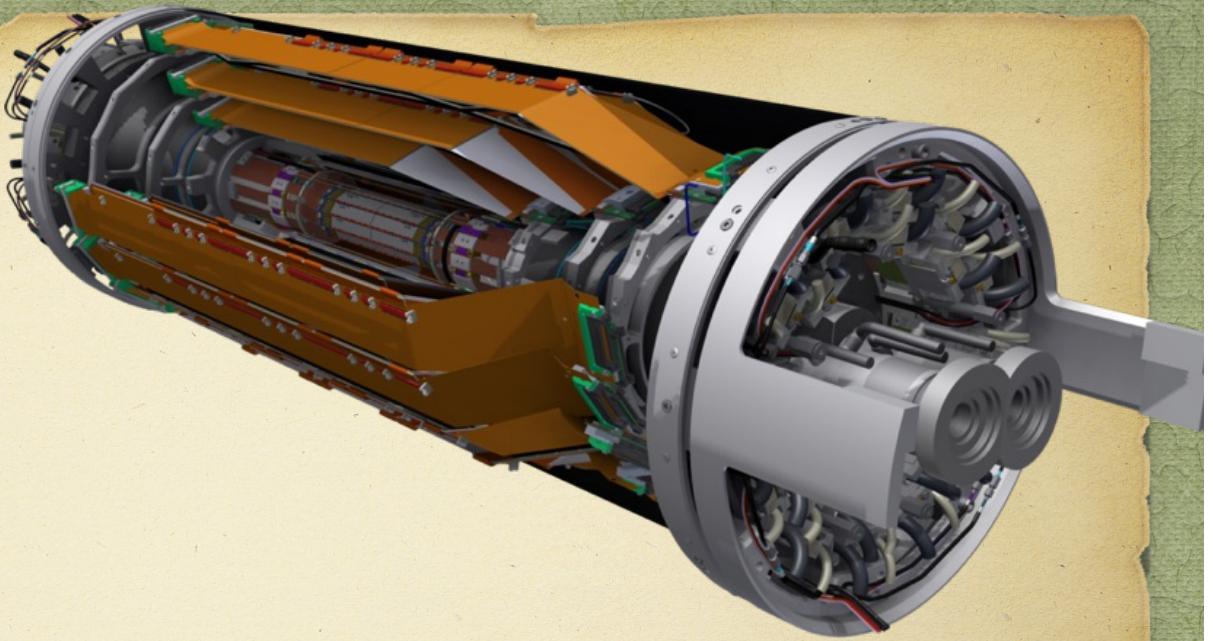


# A long history: Semiconductor Strip Detectors



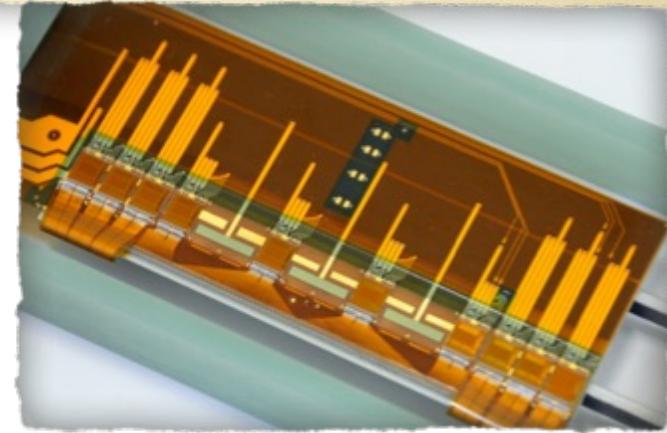
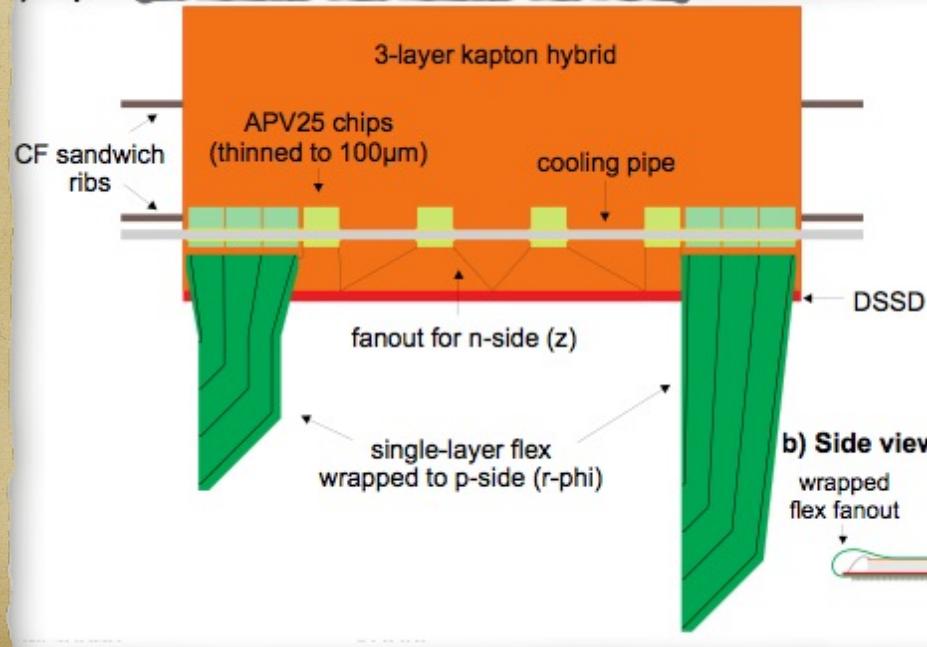
# BELLE II SVD

- 4 layers of double-sided strip sensors
- APV25 readout
- Origami concept
- CO<sub>2</sub> evaporative cooling
- Install in 2017

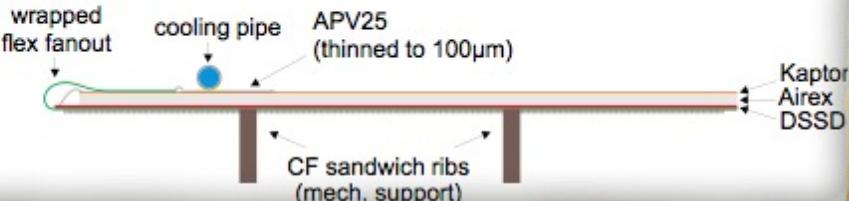


## Origami Concept

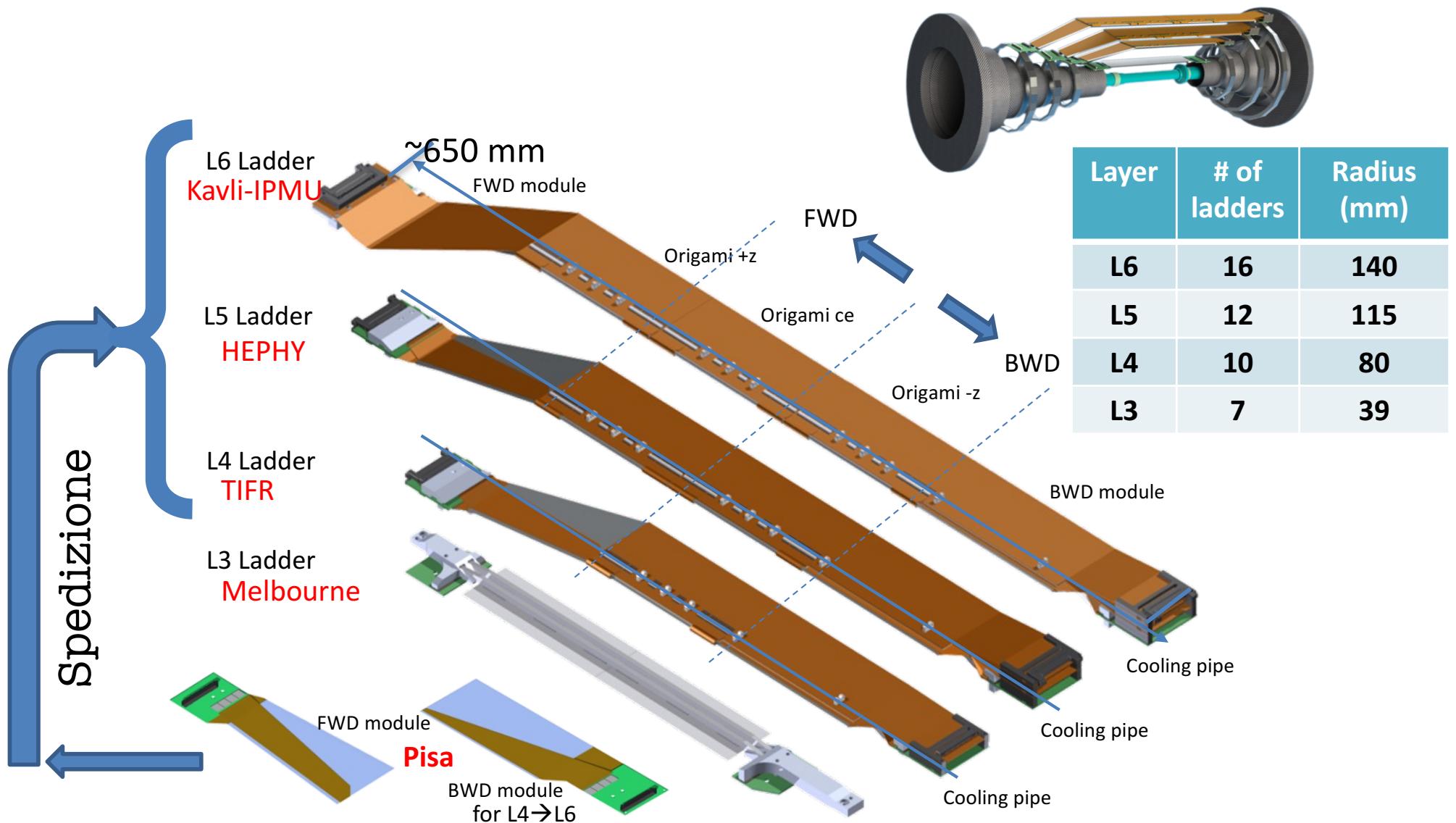
a) Top view:

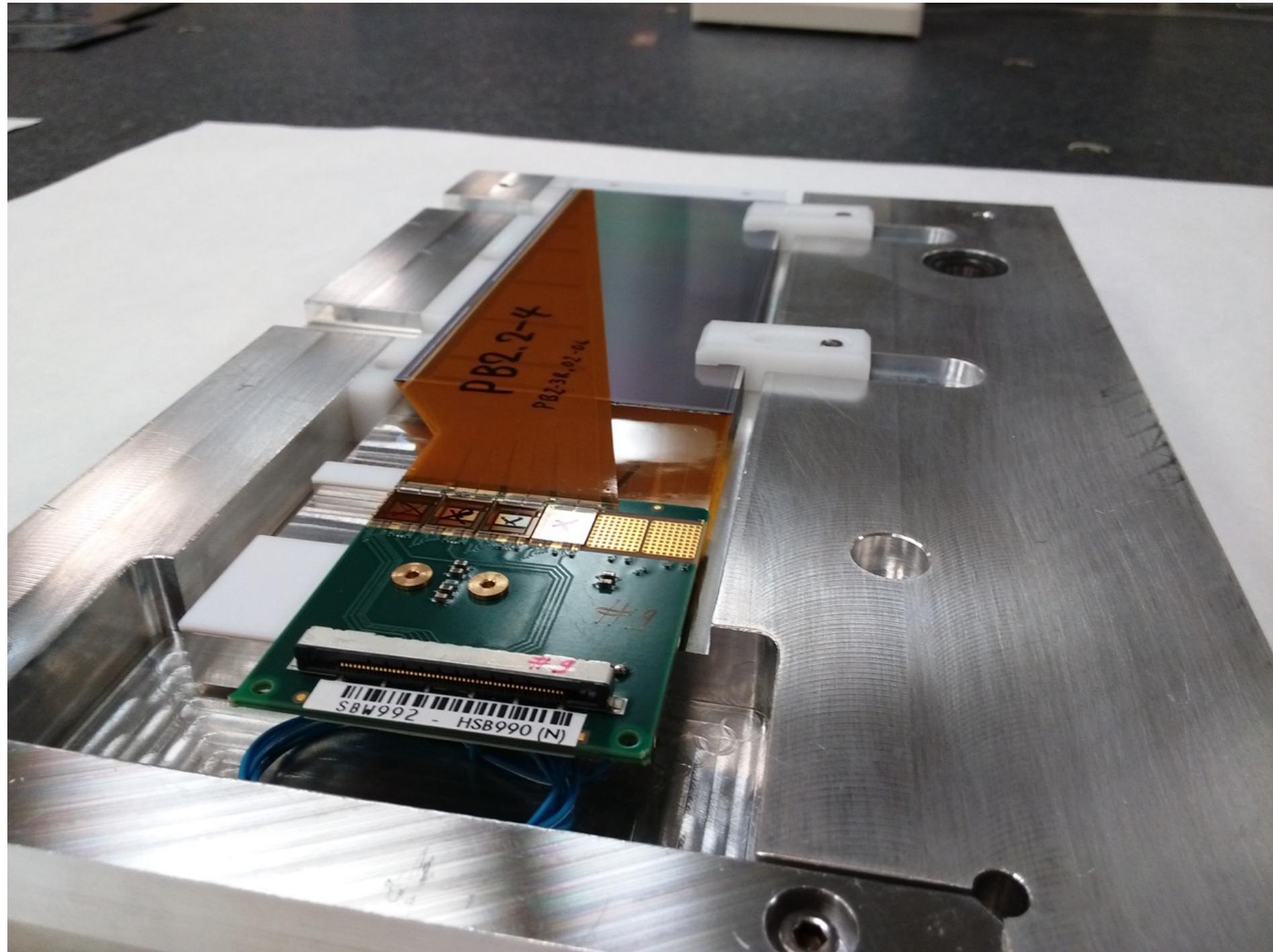


b) Side view (cross section):



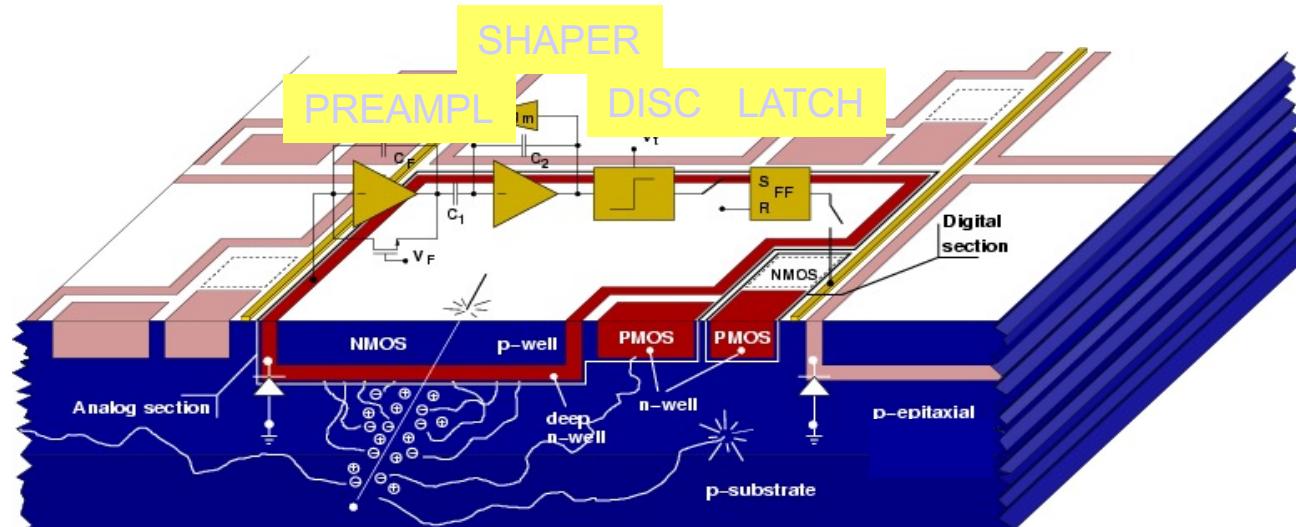
# The SVD ladder design



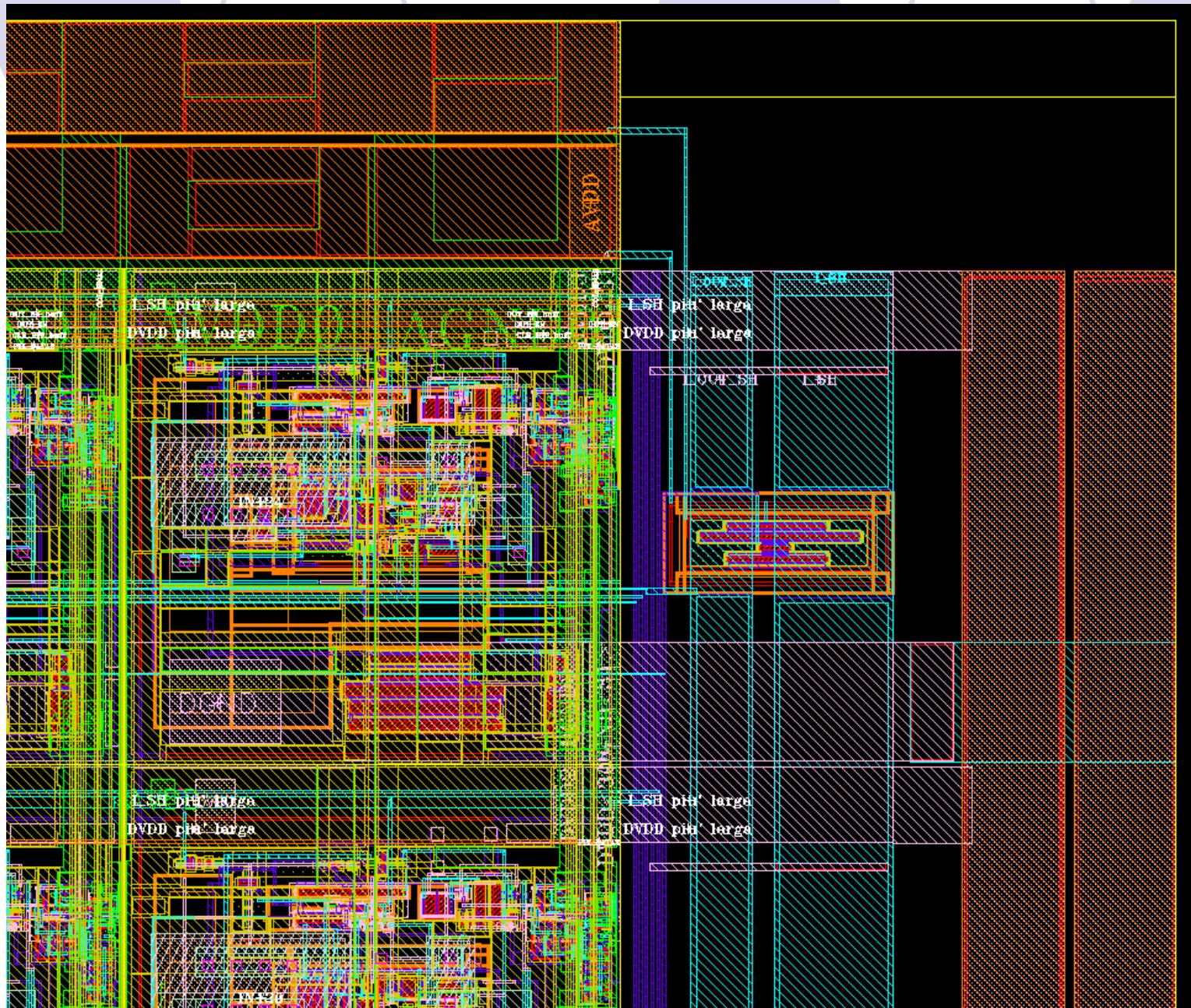


# Pixel monolitici attivi

- Deep NWell usata come elettrodo di raccolta
- Processing del segnale in-pixel, nella DNW, compatibile con architetture sparsificate → readout veloce
- Necessaria minimizzazione delle Nwell competitive nel pixel



Nel processo CMOS 130 nm, sono state sviluppate diverse matrici con pitch  $50 \times 50 \mu\text{m}^2$ , testate con successo con sorgenti e su fascio

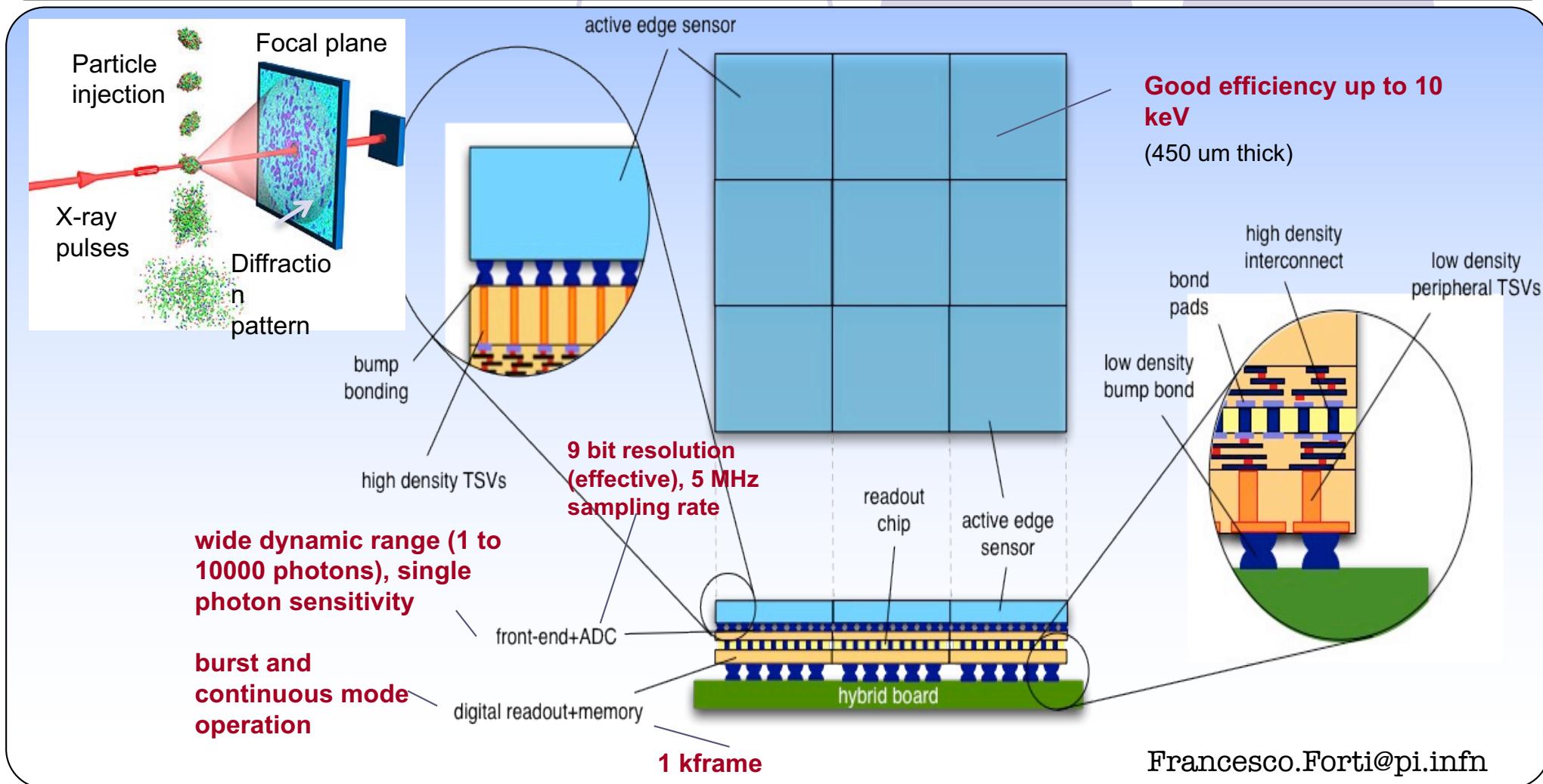


# PixFEL: Sviluppo di rivelatori a pixel per applicazioni a macchine Free Electron Laser



G. Batignani, S. Bettarini, G. Casarosa, F. Forti, F. Morsani, A. Paladino, E. Paoloni, G. Rizzo, Università e INFN, Pisa

Il progetto PixFEL ha lo scopo di sviluppare un rivelatore per il piano focale per la **rivelazione di raggi X** alla prossima generazione di macchine **Free Electron Laser**, con la funzione di ricostruire le immagini di diffrazione prodotte dai fasci coerenti ad alta brillanza. Le applicazioni sono molteplici, e spaziano dalla fisica dei materiali alla biologia. Nel progetto PixFEL si vogliono migliorare le prestazioni dei rivelatori esistenti utilizzando tecnologie avanzate, come **elettronica CMOS a 65nm, integrazione verticale, e sensori di silicio edgeless**, puntando a realizzare degli elementi di rivelazione con cui costruire un **mosaico di grandi dimensioni e zone morte ridottissime**, in grado di rivelare fotoni tra 1 e 10 keV con un range dinamico di  $10^4$  fotoni per pixel. Nel lungo periodo la collaborazione PixFEL vuole sviluppare una **X-ray camera** versatile che possa essere operata sia in modo impulsato che in modo continuo alle future macchine FEL come **Eu-XFEL o LCLS-II**



# DEVICES BASED ON 2D MATERIALS FOR ON-CHIP AMPLIFICATION OF IONIZATION CHARGES



A. CIARROCCHI<sup>1</sup>, F. FORTI<sup>1,2</sup>, G. FIORI<sup>3</sup>, G. IANNACCONE<sup>3</sup>

<sup>1</sup>UNIVERSITY OF PISA DEPT. OF PHYSICS, <sup>2</sup>INFN-PISA, <sup>3</sup>UNIVERSITY OF PISA DEPT. OF INFORMATION ENG.



## ABSTRACT

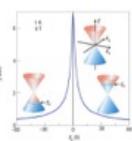
- The aim of this work is to explore the applications of 2D materials to high energy particles detectors.
- Many detectors based on 2D materials have been proposed in the past years, due to intriguing electrical and optical properties.
  - Typically direct absorption of radiation by the thin film to detect low-energy radiation (IR-UV).

- Another application could be in the fabrication of charged-particles pixel detectors. Possible advantages include:
- Simpler fabrication** process if compared to semi-monolithic devices like DEPFETs.
  - Built-in pre-amplification** of the pixel signal, thus achieving better detection performance in terms of **higher SNR**.

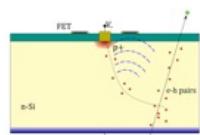
## DETECTION PRINCIPLE

The detector is based on the electrical **resistivity modulation** due to the **field-effect in a 2D material channel**.  
The device is composed of a reverse-biased high-resistivity Si substrate with a thin SiO<sub>2</sub> layer on top. On the oxide there is a 2D-material based, which constitutes the sensing element.

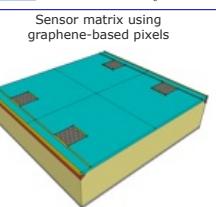
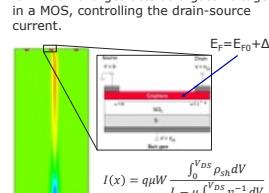
When a particle hits the device, e-h drift towards the ends of the sensor. The field generated by the ionization charges causes a shift in the Fermi level of the 2D channel, leading to a variation of its conductivity. Keeping a constant source-drain bias, this results in a **modulation of the output current** of the device.



## DETECTOR SIMULATIONS



- Several architectures were explored, highlighting important design issues:
- Need for depleted/insulating substrate to have strong signal and fast response
  - Polarization electrodes must be far from the sensing element to avoid field screening
  - Importance of the initial Fermi level position, to be set using source, drain, top-gate voltages

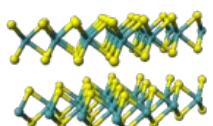
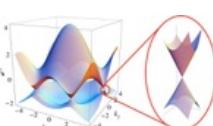


Sensor matrix using graphene-based pixels

## 2D MATERIALS

### GRAPHENE

- Gapless (ML), linear dispersion
- Electronic** properties: ballistic transport @RT, record mobility (up to 200.000cm<sup>2</sup>/Vs), ambipolar field-effect
- Mechanical** properties: High breaking strength and Young modulus, Stretchable
- Optical** properties: Transparency, Flat absorption (2500-300nm)



### MX<sub>2</sub> LAYERED MAT: WSe<sub>2</sub>, MoS<sub>2</sub>, MoTe<sub>2</sub>...

- Physical properties depend on** layer number
- Gap**: 1 to 2 eV, tunable (E field, compounds, stress)
- Flexible and resistant
- Good mobility
- Photoluminescence

- 2D Mat. Growth techniques:**
- Mechanical exfoliation
  - SIC
  - CVD
  - Liquid-phase exfoliation
  - Graphene oxide reduction

## PERFORMANCE AND PERSPECTIVES

Simulations show promising results for graphene-based pixel detectors, due to the built-in pre-amplification.

A standard readout chain was considered, based on a charge-sensitive pre-amplifier. This way the charge input signal is the integral of the current modulation. This approach allows a **20x amplification factor**. The effective ENC (at readout input) is higher than usual values for pixel det. (~1700), but the final signal-to-noise ratio is very good due to the built-in signal amplification.

$$Q_{IN} = \int \Delta I dt \approx 4.9 \cdot 10^5 e^-$$

$$SNR = \frac{Q_{IN}}{ENC} = \frac{4.9 \cdot 10^5}{1700} \approx 290$$

An **MoS<sub>2</sub>-based sensor** could offer even better performance, due to the presence of a (tunable) bandgap, which would greatly further improve the signal-to-noise ratio.

- Pixel sensitivity shows a 60% variation according to the hit point
- Always well above the noise threshold
- Active area covers the entire 50μm×50μm pixel

Material	t <sub>PEAK</sub>	ΔR/R	d	V <sub>B</sub>
Graphene	~7ns	~0.3	300μm	150V
MoS <sub>2</sub>	~7		m	

