



UNIVERSITÀ DI PISA

CORSO DI LAUREA IN FISICA

LABORATORIO DI FISICA 3

D03 - PORTE LOGICHE

Prof. F. Forti

Dai circuiti ai valori logici

2

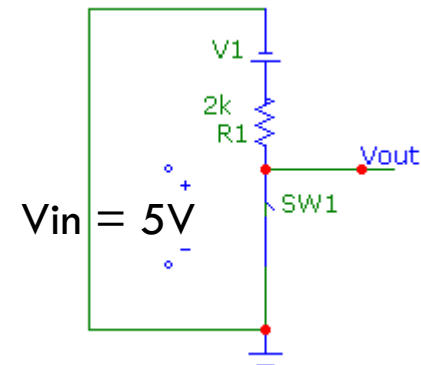
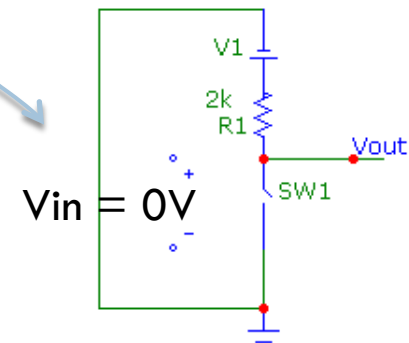
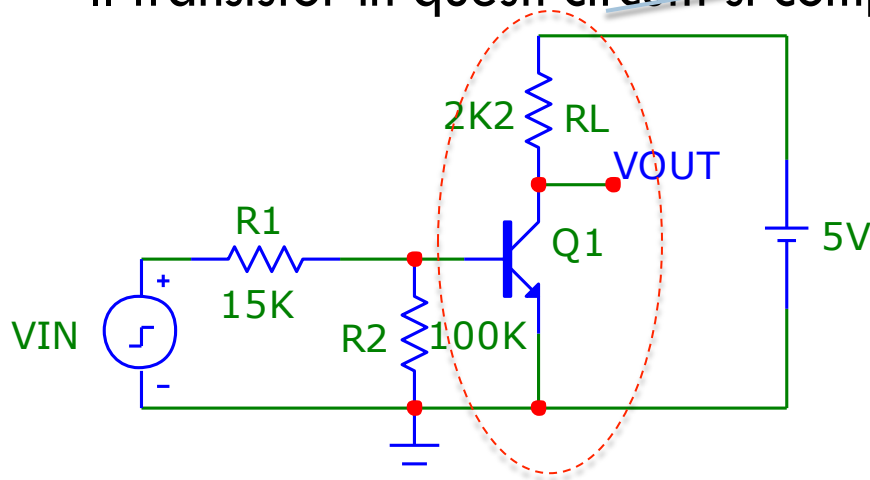
- Abbiamo visto che l'elettronica digitale si basa sull'utilizzo di 0/1 (es.: I numeri vengono rappresentati come stringhe di 0/1)
- Cosa sono in effetti questi 0/1 ?
- Sono livelli di tensione, es.: 0V / 5V, generati da circuiti ad hoc.
- La convenzione con cui associamo il livello di tensione ai valori logici 0 - False, 1 - True definisce il tipo di logica:
 - ▣ Logica positiva
 - False/0 = livello basso tensione, True/1 = livello alto tensione
 - ▣ Logica negativa
 - False/0 = livello alto tensione

Esempio implementazione di NOT

3

Un esempio: il NOT con un transistor (BJT) npn.

Il transistor in questi circuiti si comporta da interruttore: chiuso o aperto.



V_{IN}	Transistor $Q1$	V_{OUT}
Alto / 5V	Interruttore chiuso	Basso / 0V
Basso / 0V	Interruttore aperto	Alto / 5 V

Le caratteristiche fisiche dei circuiti logici

4

- Sono le caratteristiche determinate dal tipo di circuito con cui si implementa la porta logica, cioè dai dettagli del circuito che è contenuto nell'integrato
- ... tenderemo in generale a dimenticarci di queste caratteristiche per dedicarci più alla funzionalità del circuito che alle sue caratteristiche fisiche.
- Attenzione: anche noi li consideriamo circuiti logici digitali, di fatto sono sempre oggetti “analogici” con limitazioni fisiche di vario tipo
- Tuttavia per progettare un buon circuito ed a volte per capire cosa succede si deve tenere conto di queste caratteristiche:
 - ▣ Soglie di tensione dei livelli (noise immunity – margine di noise)
 - ▣ Velocità di risposta
 - ▣ Fan-out
 - ▣ Potenza dissipata
 - ▣ Temperatura ottimale di funzionamento

Famiglie di porte logiche

5

- Le caratteristiche delle porte logiche dipendono dalle caratteristiche del circuito con cui vengono implementate ed in particolare dal tipo di transistor utilizzato. I transistor che avete visto sono di tipo bipolare (BJT – Bipolar Junction Transistor).
- Un'altra classe di transistor, che viene implementata con una tecnologia diversa, viene indicata con MOS.
- Le famiglie si distinguono per tipo di transistor utilizzato, per i livelli di tensione, ma anche per il tipo di schema.
 - ▣ RTL, DTL, TTL, ECL, CMOS
- Noi durante il corso utilizzeremo porte logiche di tipo TTL

Logic families

6

Family	Description	Propagation delay (ns)	Toggle speed (MHz)	Power per gate @1 MHz (mW)	Typical supply voltage V (range)	Introduction year	Remarks
RTL	Resistor–transistor logic		4	10	3.3	1963	the first CPU built from integrated circuits (the Apollo Guidance Computer) used RTL.
DTL	Diode–transistor logic			10	5	1962	Introduced by Signetics, Fairchild 930 line became industry standard in 1964
CMOS	AC/ACT	3	125	0.5	3.3 or 5 (2-6 or 4.5-5.5)	1985	ACT has TTL Compatible levels
CMOS	HC/HCT	9	50	0.5	5 (2-6 or 4.5-5.5)	1982	HCT has TTL compatible levels
CMOS	4000B/74C	30	5	1.2	10V (3-18)	1970	Approximately half speed and power at 5 volts
TTL	Original series	10	25	10	5 (4.75-5.25)	1964	Several manufacturers
TTL	L	33	3	1	5 (4.75-5.25)	1964	Low power
TTL	H	6	43	22	5 (4.75-5.25)	1964	High speed
TTL	S	3	100	19	5 (4.75-5.25)	1969	Schottky high speed
TTL	LS	10	40	2	5 (4.75-5.25)	1976	Low power Schottky high speed
TTL	ALS	4	50	1.3	5 (4.5-5.5)	1976	Advanced Low power Schottky
TTL	F	3.5	100	5.4	5 (4.75-5.25)	1979	Fast
TTL	AS	2	105	8	5 (4.5-5.5)	1980	Advanced Schottky
TTL	G	1.5	1125 (1.125 GHz)		1.65 - 3.6	2004	First GHz 7400 series logic
ECL	ECL III	1	500	60	-5.2(-5.19 - -5.21)	1968	Improved ECL
ECL	MECL I	8		31	-5.2	1962	first integrated logic circuit commercially produced
ECL	ECL 10K	2	125	25	-5.2(-5.19 - -5.21)	1971	Motorola
ECL	ECL 100K	0.75	350	40	-4.5(-4.2 - -5.2)	1981	
ECL	ECL 100KH	1	250	25	-5.2(-4.9 - -5.5)	1981	

Livelli logici: a cosa corrispondono il vero/falso ?

7

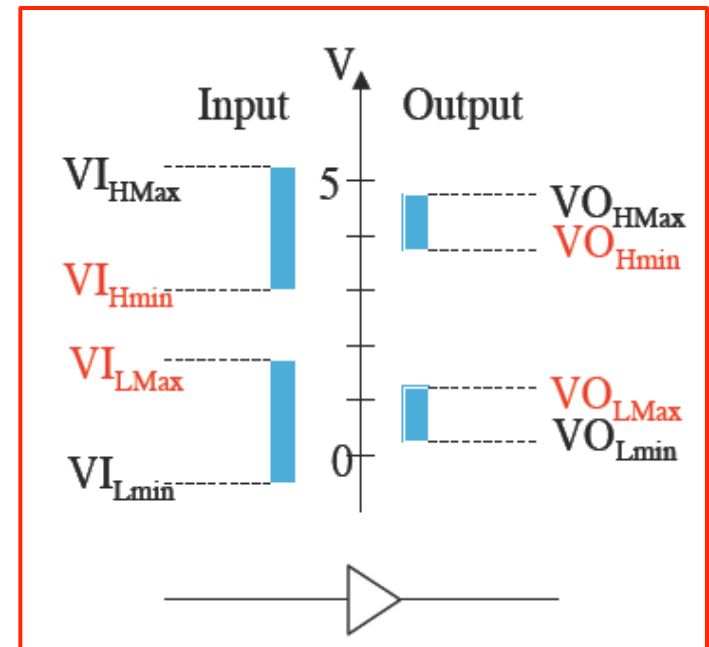
Abbiamo visto che abbiamo bisogno di due livelli di tensione (level logic). L'effettivo valore di V_L e V_H dipende dal tipo di integrato. Per porte TTL: $V_L = 0.2 \text{ V}$ $V_H = 5 \text{ V}$

Il valore di V_H e' legato al valore di alimentazione della porta.

In effetti sono quello che si ha e':

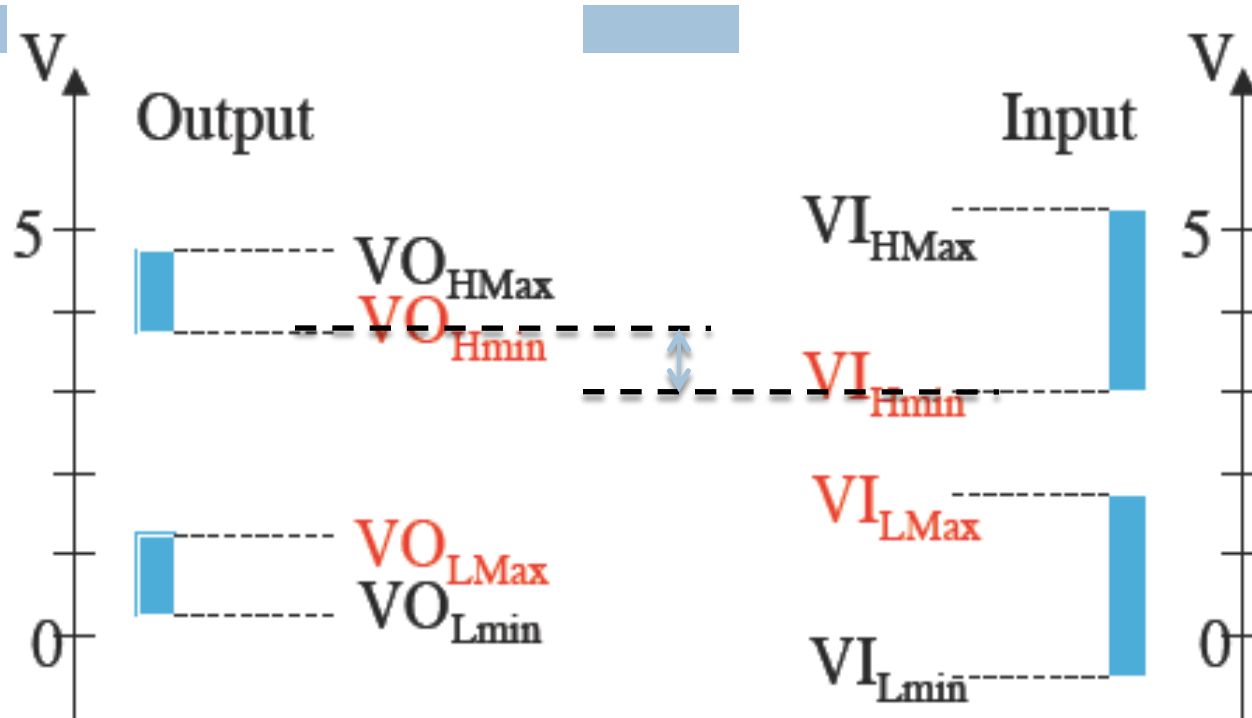
- un intervallo di tensione che e' riconosciuto come livello alto o basso all'ingresso
- un intervallo di tensione che la porta puo' produrre come livello alto o basso all'uscita

La relazione che esiste tra questi intervalli di tensione permette alla elettronica digitale di essere particolarmente poco sensibile al rumore



Livelli logici: a cosa corrispondono il vero/falso ?

8



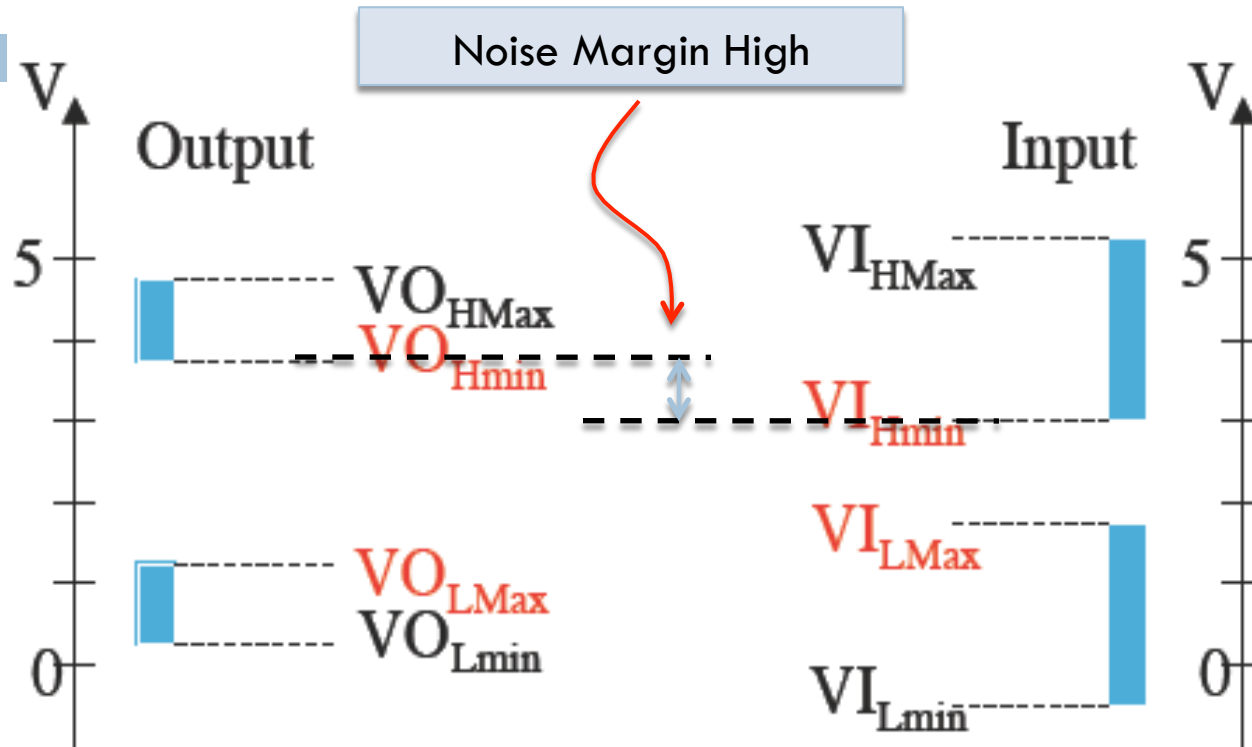
VI_{HMIN} = Minimo V riconosciuto come H/alto in Ingresso

VO_{HMIN} = Minimo V prodotto in uscita come livello H/alto

E' importante che un circuito fornisca in uscita un livello di tensione per il livello ALTO > di quello che lui stesso richiede per riconoscere quel livello come alto altrimenti un piccolo segnale di rumore potrebbe modificare il comportamento del circuito.

Livelli logici: a cosa corrispondono il vero/falso ?

9

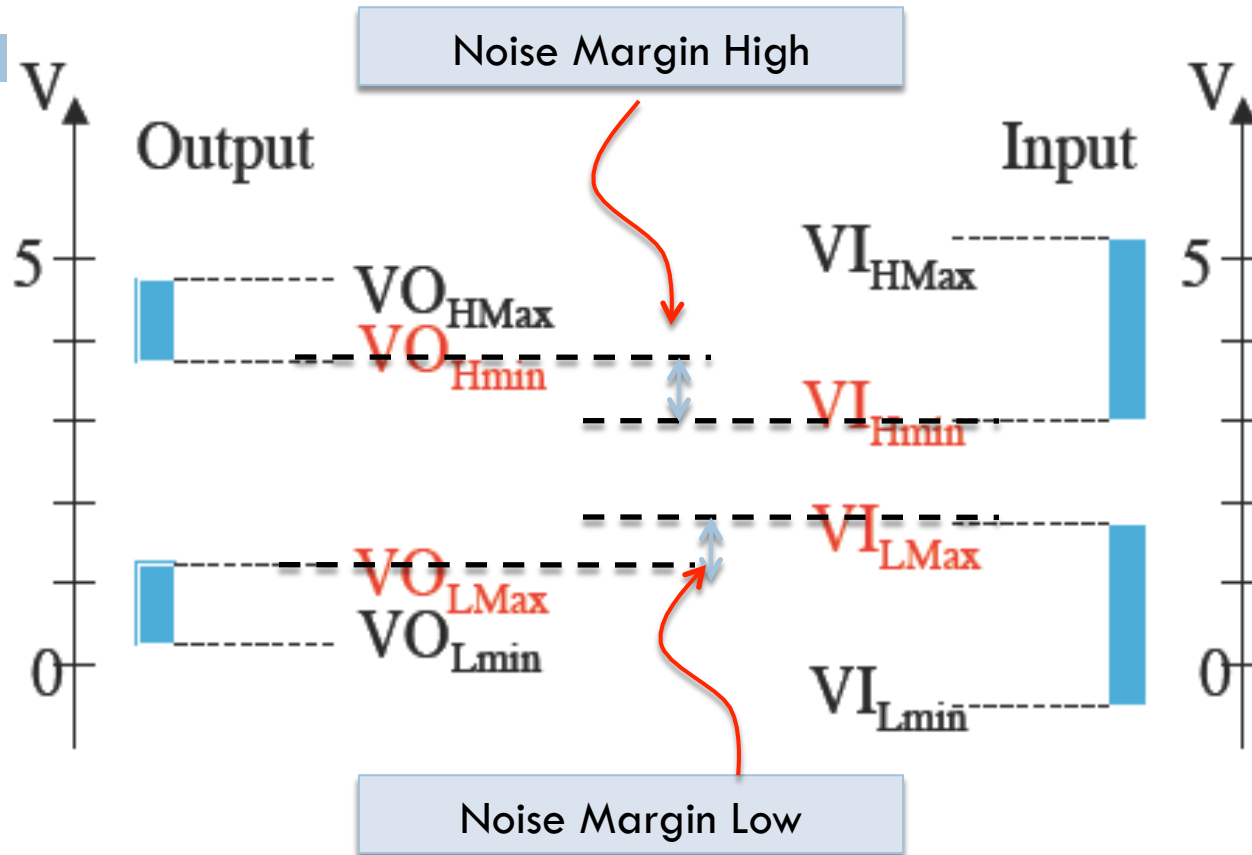


VI_{HMIN} = Minimo V riconosciuto come H/alto in Ingresso = VI_H

VO_{HMIN} = Minimo V prodotto in uscita come livello H/alto = VO_H

Noise Margin Livello Alto = $NM_H = VO_H - VI_H$

Livelli logici: a cosa corrispondono il vero/falso ?

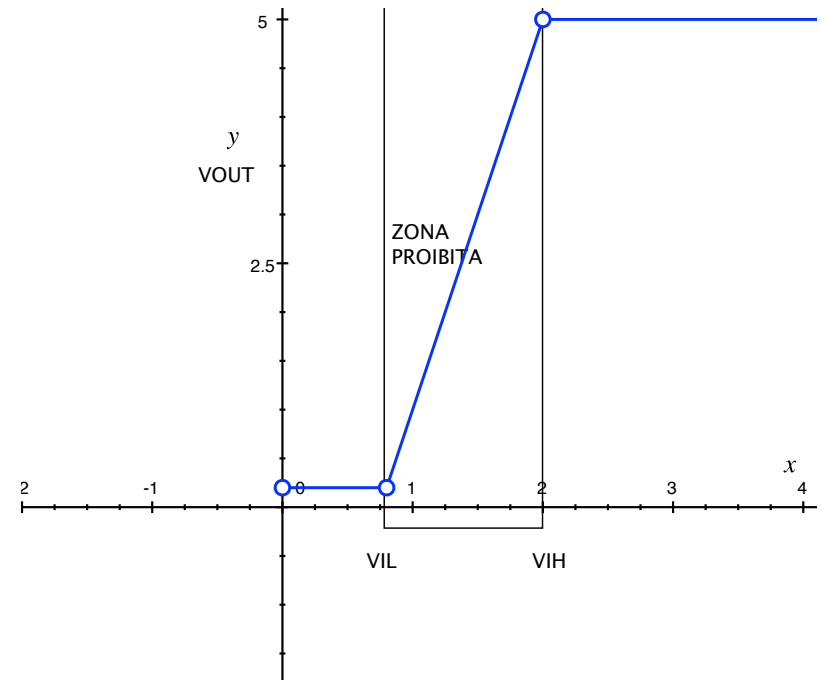
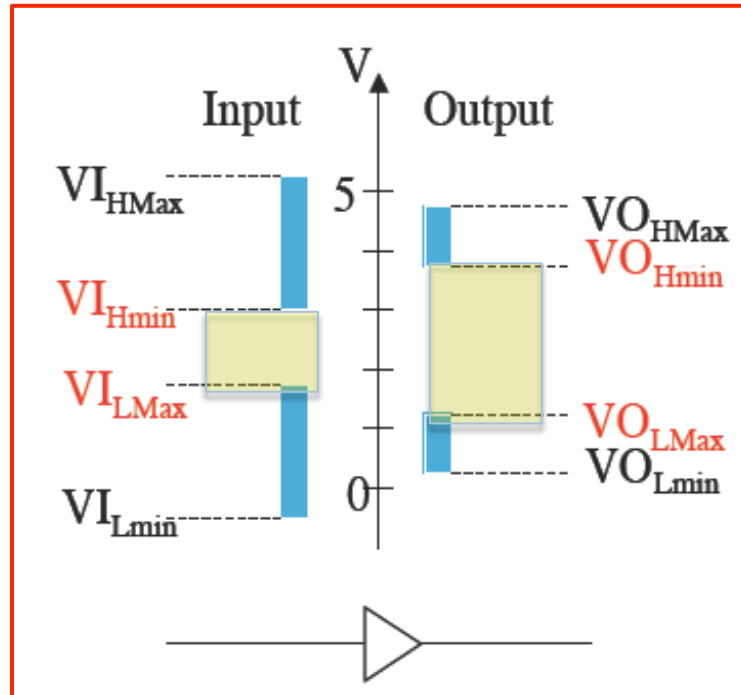


Noise Margin Livello Alto = $NM_H = VO_H - VI_H$

Noise Margin Livello Basso = $NM_L = VI_L - VO_L$

Livelli logici: a cosa corrispondono il vero/falso ?

11



La zona segnata in giallo è una zona “non consentita”, se il circuito assume valore di tensioni in questa zona lo stato del circuito e' indeterminato.

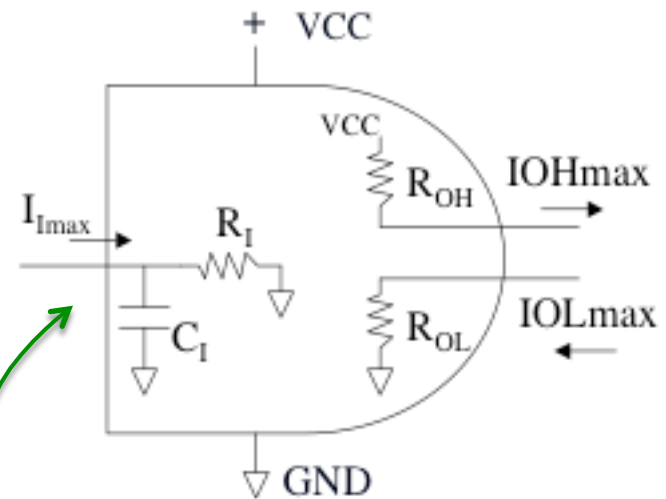
Modello della porta logica

12

- I range di tensione dei vari livelli vengono specificati insieme ai massimi valori delle correnti corrispondenti:

$I_{IHmax} = I_{IH}$ Massima corrente in ingresso per ingresso HIGH

$I_{OHmax} = I_{OH}$ Massima corrente erogata in uscita per uscita HIGH



La capacità di ingresso della porta determina la velocità con cui è possibile pilotare la porta (fronte di salita del segnale).

$R_{out-stadio\ precedente} C_I = \text{tempo di risposta dello stadio di ingresso.}$

Esempio di NOT TTL

13

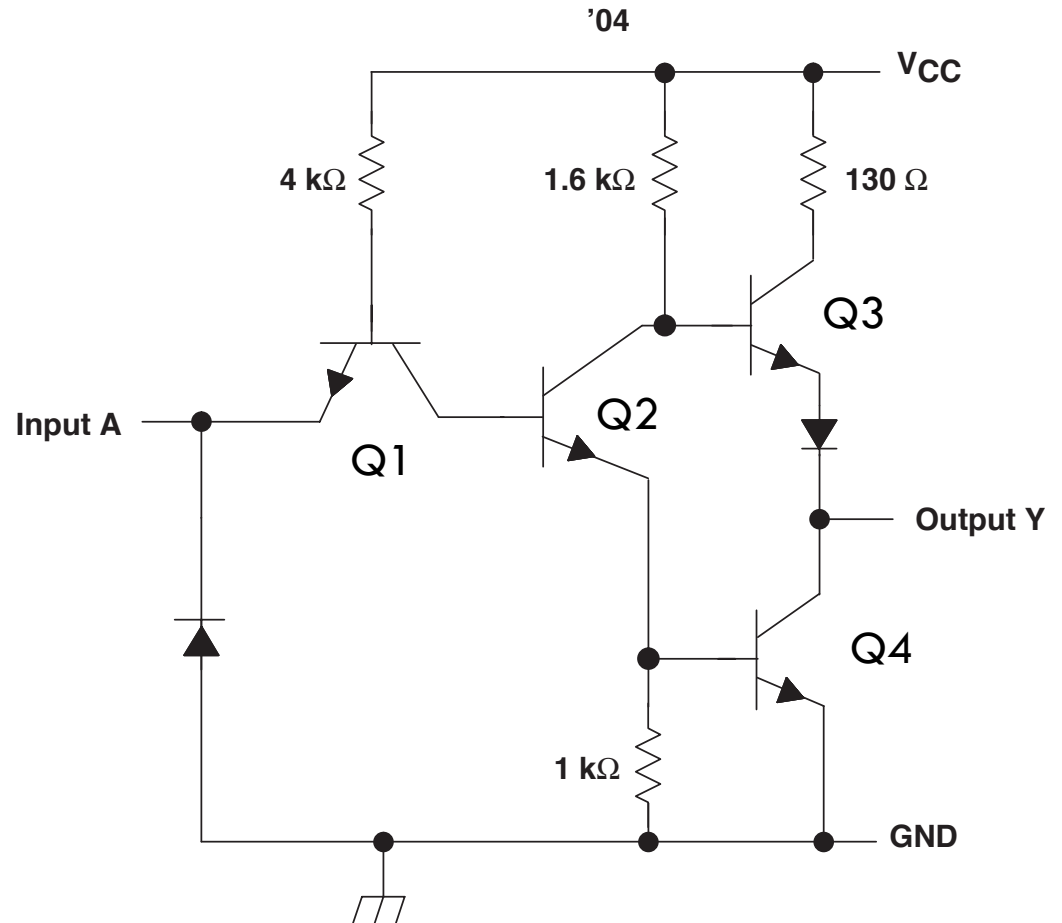
Integrato SN7404

ALTO (o flottante):

- Q1 spento
- Q2 acceso
- Q4 acceso
- Y = basso

BASSO:

- Q1 acceso
- Q2 spento
- Q4 spento
- Y = alto

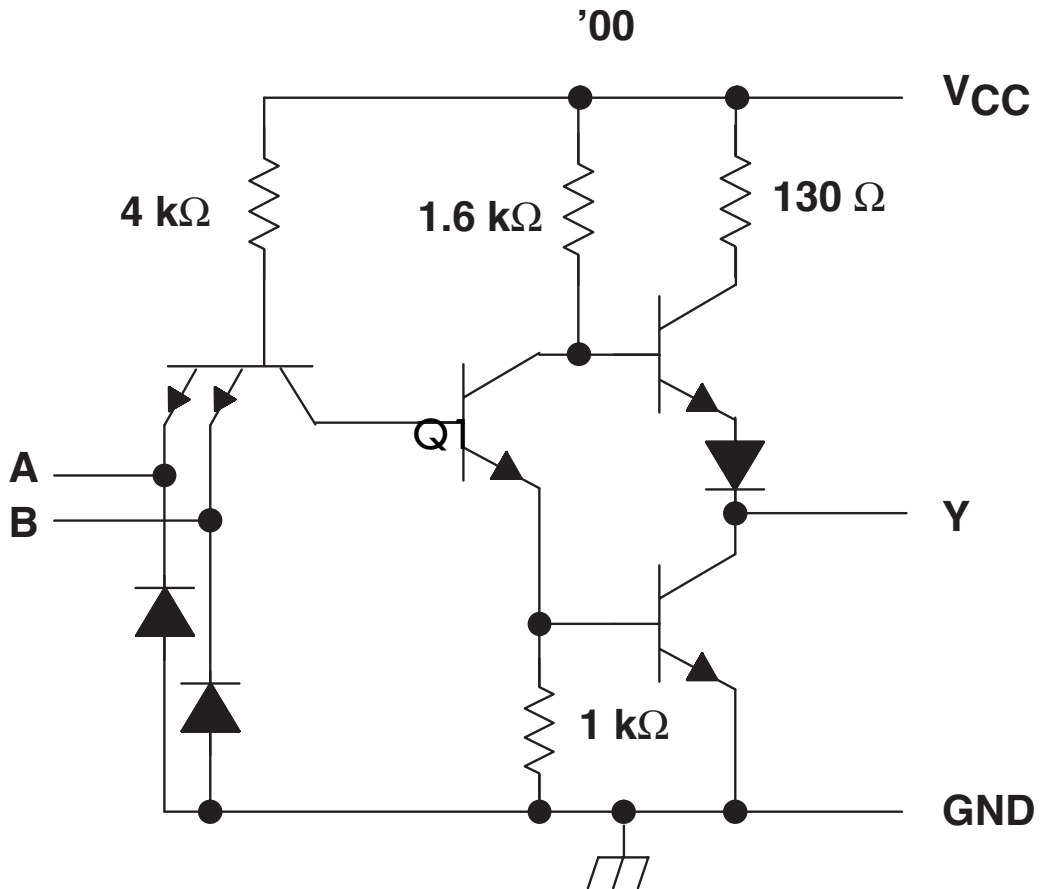


NAND TTL

14

Integrato SN7400

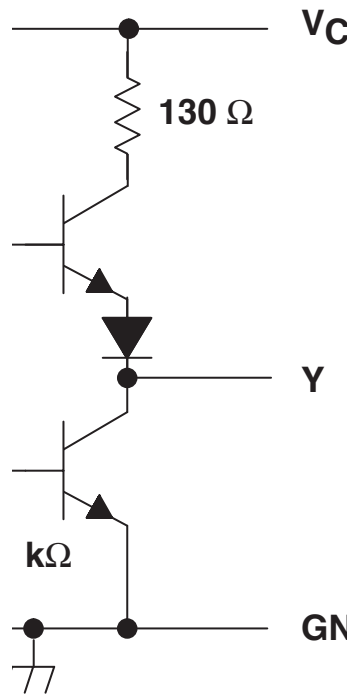
Doppio emettitore.
Basta che uno dei
due sia basso che
Q1 si attiva



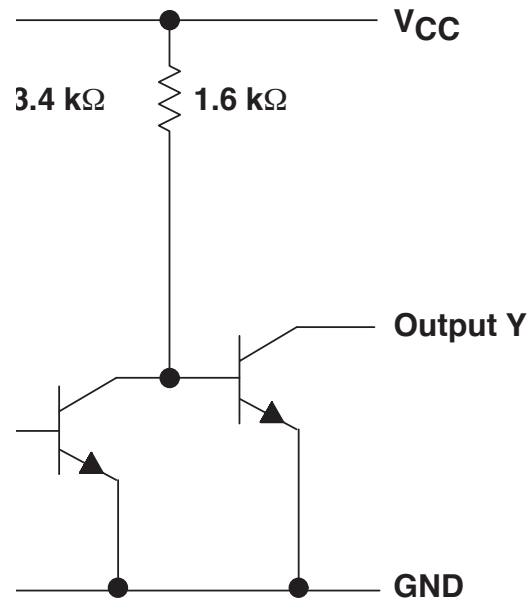
Tipi di circuiti di uscita

15

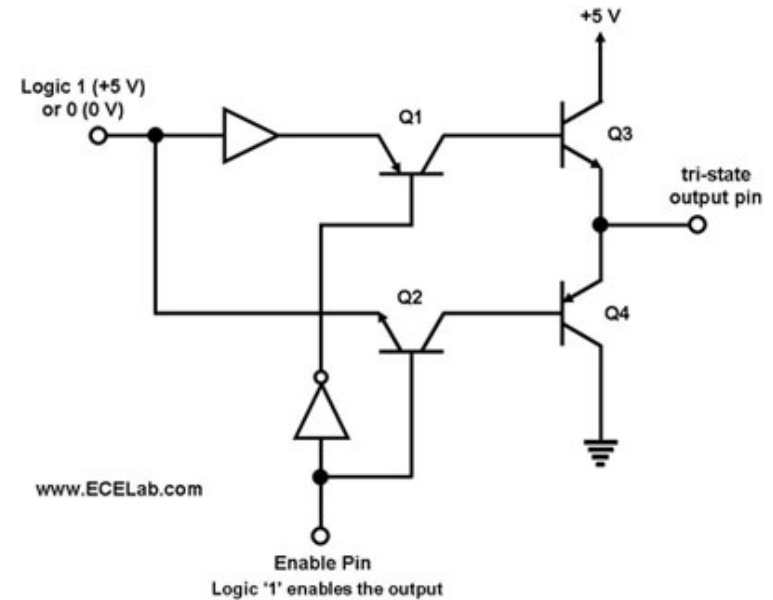
TOTEM POLE
DO



OPEN COLLECTOR
NEED PULL-UP
(Wired AND)



TRI-STATE: 0, 1, Z
Z = High impedance
ENABLE/DISABLE PIN



Caratteristiche TTL

16

- Un ingresso non collegato e' equivalente ad un ingresso alto, valore 1
 - ▣ Perche' l'attivazione del transistor di ingresso avviene attraverso l'emettitore messo a terra.
- Per evitare oscillazioni o transizioni spurie si utilizzano spesso resistenze di pull-up sulle linee
 - ▣ 1-10K verso +5V, con funzione di stabilizzazione
 - ▣ Aumentano il consumo quando la linea e' bassa
- La corrente e' elevata quando la linea è bassa
 - ▣ Quando la linea è alta, la corrente è quasi zero.

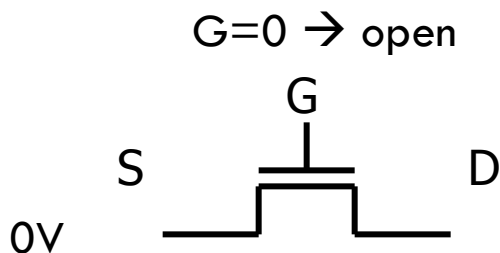
Tecnologia CMOS

17

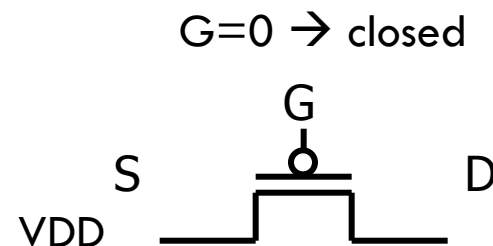
- Uso di Complementary MOS transistors (n e p channel, enhancement)
- Principali vantaggi:
 - ▣ Maggiore facilità di realizzazione tecnologica
 - ▣ Corrente sul gate MOS=0 (in condizioni statiche)
 - ▣ Corrente (potenza) di drain virtualmente nulla in condizioni statiche grazie alla struttura CMOS
 - ▣ Estrema scalabilità dimensionale → poche decine di nm.

MOS transistors

- MOS transistors have three terminals: drain, gate, and source
- ▣ they act as switches as follows:
 - if voltage on gate terminal is (some amount) higher/lower than source terminal then a conducting path is established between drain and source terminals

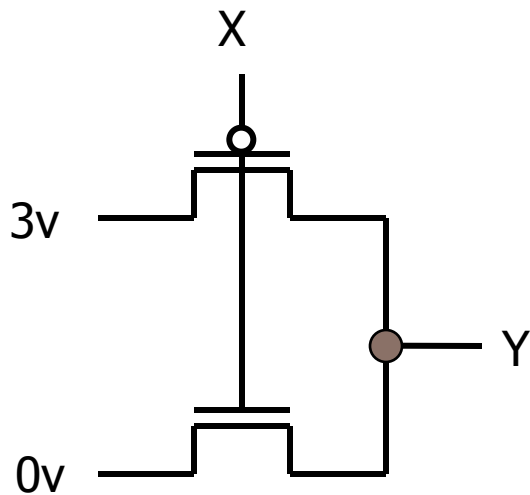


n-channel
open when voltage at G is low
closes when:
 $\text{voltage}(G) - \text{voltage}(S) > V_{TH}$



p-channel
open when voltage at G is high
closes when:
 $\text{voltage}(G) - \text{voltage}(S) < -V_{TH}$

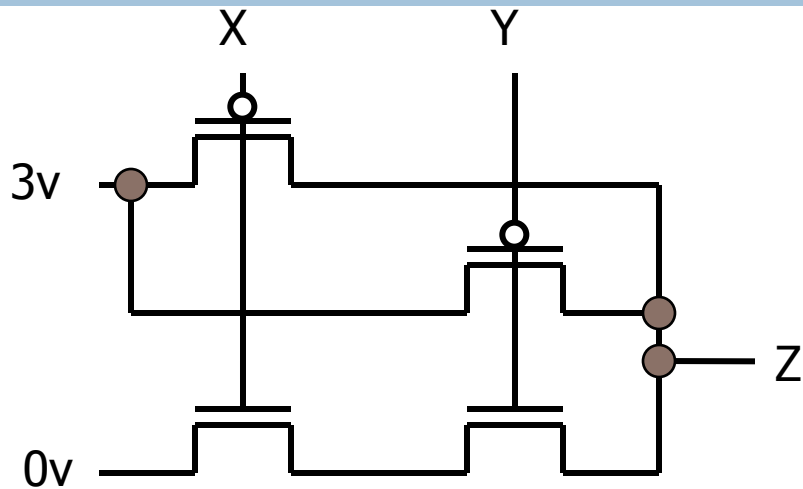
MOS networks



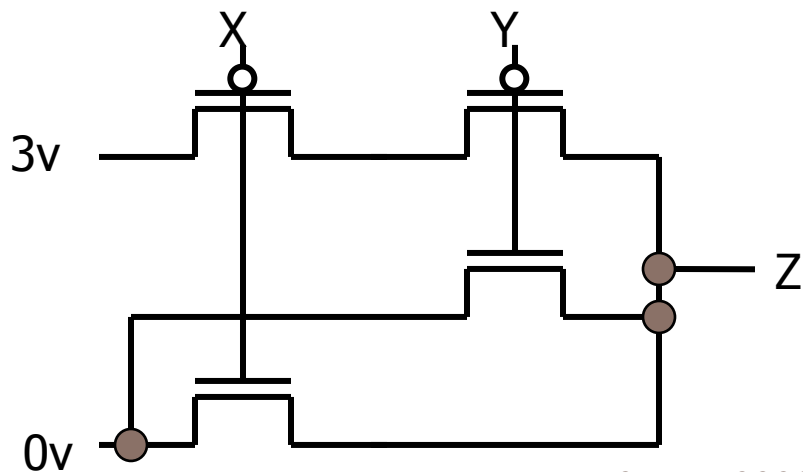
what is the
relationship
between x and y?

x	y
0 volts	
3 volts	

Two input networks



what is the
relationship
between x, y and z?



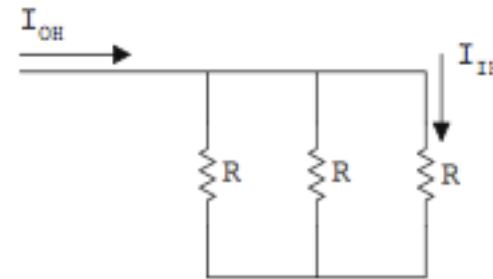
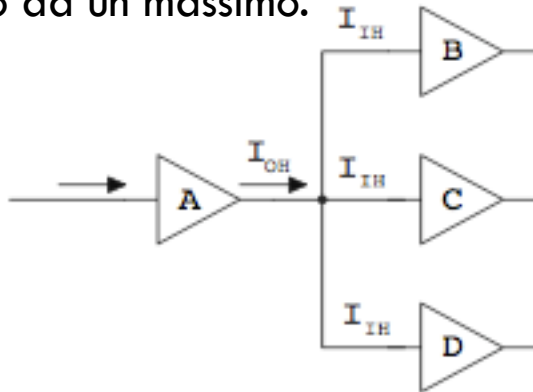
x	y	z
0 volts	0 volts	
0 volts	3 volts	
3 volts	0 volts	
3 volts	3 volts	

Fan-out: quante porte posso controllare

22

Se l'uscita di una porta logica è collegata a più ingressi in parallelo si dovrà tenere conto della corrente che ogni porta assorbe che non deve eccedere quella che la porta può erogare senza uscire dalla zona di funzionamento corretto.

All'aumentare delle porte guidate la resistenza vista dalla porta A diminuisce e quindi la porta deve erogare una maggiore corrente per portare l'uscita al livello corretto fino ad un massimo.



$$V_{out} = \frac{R}{N} I_{OH}$$

$$N_{H(L)} = \frac{I_{OH(L)}}{I_{IH(L)}}$$

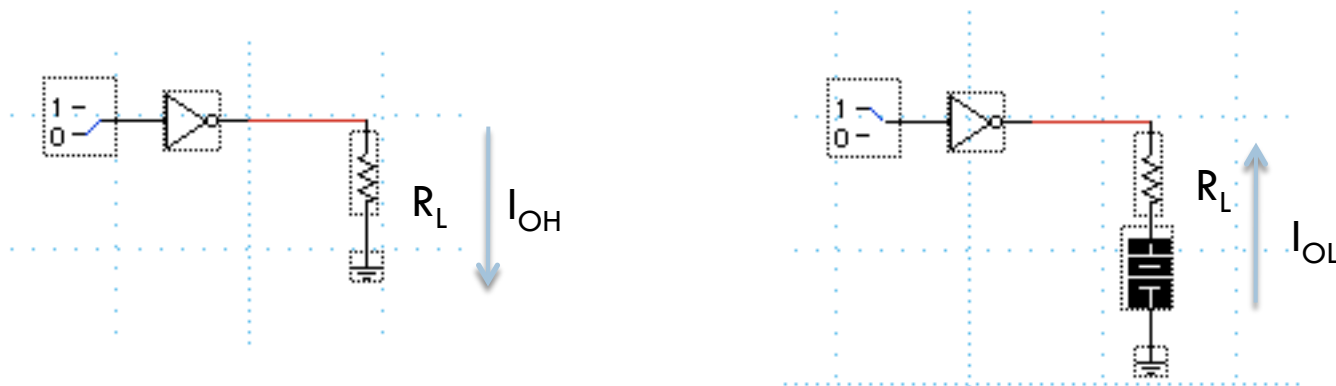
FAN-OUT è il numero massimo di porte che una porta può pilotare senza uscire dal funzionamento normale.

Come misurare il Fan-out

23

Posso utilizzare una resistenza in output di valore variabile che simula l'impedenza di carico di N porte. In questo modo posso utilizzare l'amperometro per misurare la corrente che la porta eroga al variare della resistenza R_L . Posso quindi riportare in un grafico la tensione in uscita alla porta in funzione della corrente erogata.

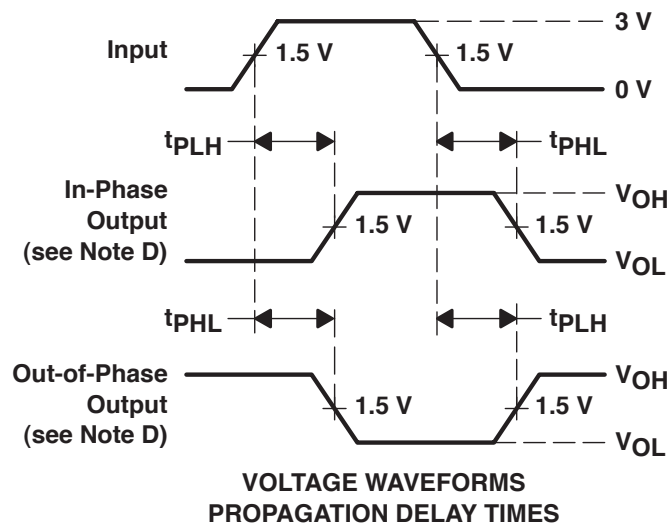
La massima corrente che la porta è capace di erogare mantenendo il corretto funzionamento, permettendo cioè alla porta di raggiungere il valore di tensione corretto che possa essere riconosciuto come alto o basso.



In questo modo stimo $I_{OH/L}$ cioè la corrente massima che la porta eroga nei due stati. Per stimare il fan-out devo stimare la corrente che una porta tira.

Velocità di risposta: tempo di propagazione

24



I ritardi limitano la velocità di risposta. Dipendono anche dalle condizioni particolari del circuito: temperatura, tensione di alimentazione, impedenza di carico ...

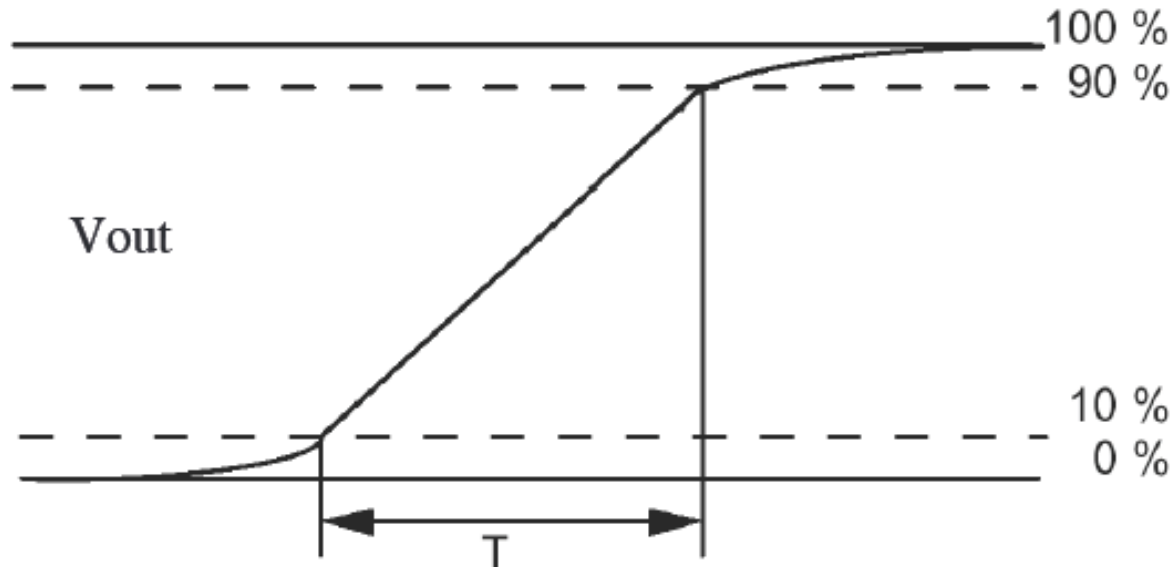
t_{PHL} = tempo necessario affinché l'uscita del circuito passi da HIGH -> LOW

- Definizione del tempo di propagazione: il tempo che intercorre tra l'istante in cui l'ingresso passa per un valore di tensione pari al 50% dell'ampiezza massima a quello in cui l'uscita passa per il 50% dell'ampiezza massima
 - ▣ Oppure a soglia fissa. Per esempio per il TTL viene definito a 1.5 V.
- C'è una differenza tra il passaggio H->L e quello L->H perchè coinvolgono processi diversi all'interno dei transistor
- Le differenze tra i ritardi dei diversi output dello stesso circuito provocano imperfetta sincronizzazione tra i segnali (skew)

Tempo di salita

25

- Definizione: tempo per passare dal 10% al 90% dell'intensità del segnale
- In effetti ciò che conta è il tempo per passare dalla regione riconosciuta come H a quella riconosciuta come L
- In generale il tempo di salita e il tempo di discesa differiscono
- È influenzato dalla capacità di carico dato la corrente limitata in uscita
- L'aumento del tempo di salita può provocare ulteriori ritardi in un circuito



Consumo e temperatura

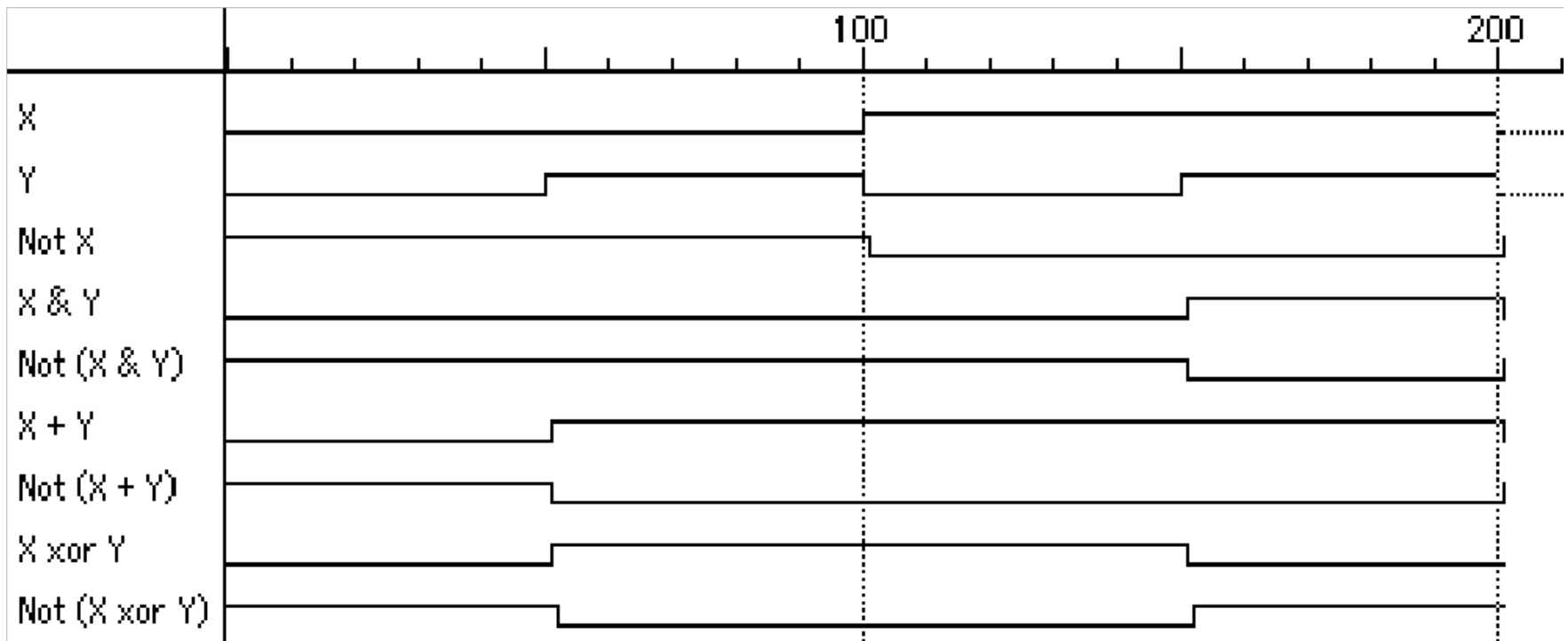
26

- Ogni porta ha delle specifiche che riguardano anche il consumo (Watts). Si distingue consumo statico, quando cioè tutti i segnali sono costanti nel tempo, da quello dinamico, nel momento in cui si hanno transizioni di stato.
- Un importante contributo dinamico è dato dall'energia che occorre spendere per caricare tutti i condensatori di carico ad ogni transizione. Il consumo dinamico cresce con la frequenza di operazione.
- La famiglia CMOS ha consumo statico molto basso
- I consumi sono una importante limitazione perchè il calore prodotto deve essere dissipato o la temperatura del circuito aumenta oltre i limiti di funzionamento. Questo limita la densità dei componenti e quindi le dimensioni del circuito.
- Importantissimo per circuiti alimentati a batteria

Diagrammi temporali

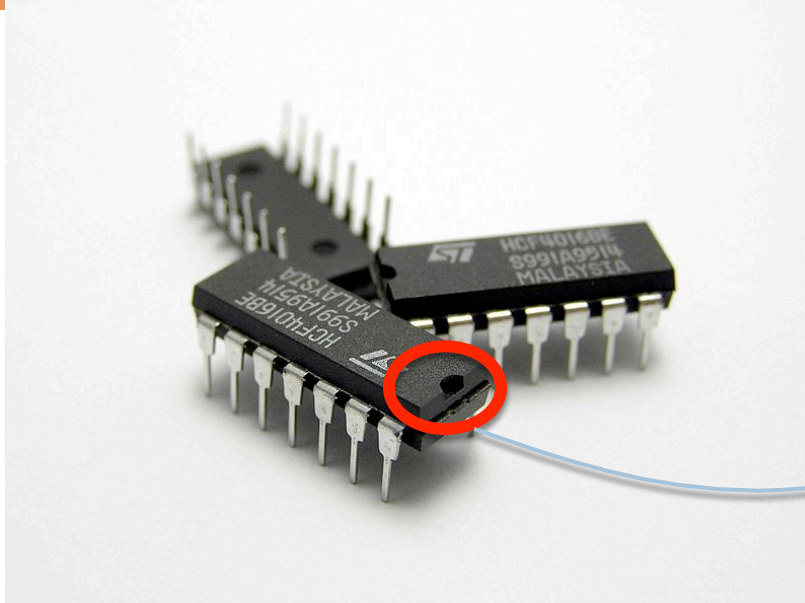
27

- Sono come una tabella di verità vista di lato
- Ma i fronti non si allineano perfettamente




Le informazioni sul data-sheet

28



Il Datasheet fornisce moltissime informazioni dalla descrizione generale alla disposizione dei pin alle caratteristiche fisiche. USATELO !

 *National Semiconductor*

June 1989

54LS04/DM54LS04/DM74LS04 Hex Inverting Gates

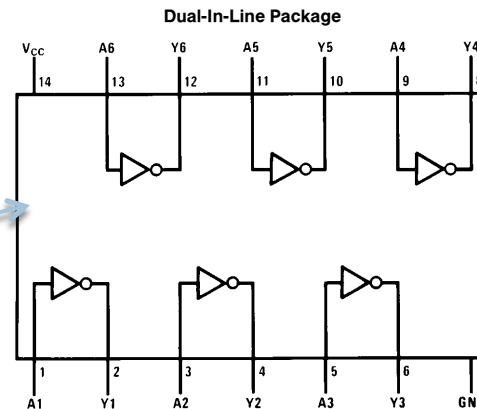
General Description

This device contains six independent gates each of which performs the logic INVERT function.

Features

- Alternate Military/Aerospace device (54LS04) is available. Contact a National Semiconductor Sales Office/Distributor for specifications.

Connection Diagram



Order Number 54LS04DMQB, 54LS04FMQB, 54LS04LMQB, DM54LS04J, DM54LS04W, DM74LS04M or DM74LS04N
See NS Package Number E20A, J14A, M14A, N14A or W14B

Function Table

$Y = \bar{A}$

Input	Output
A	Y
L	H
H	L

H = High Logic Level
L = Low Logic Level

29

SDLS029C – DECEMBER 1983 – REVISED JANUARY 2004

Fisica - Lab3 - Forti

Livelli logici e data sheet

30

- Normalmente i livelli di tensione vengono specificati insieme alle massime correnti consigliate corrispondenti ai vari livelli
- Esempio dalle specifiche tecniche di un integrato
- 54 → Serie militare con condizioni estese; 74 → serie consumer

Recommended Operating Conditions

Symbol	Parameter	DM54LS04			DM74LS04			Units
		Min	Nom	Max	Min	Nom	Max	
V_{CC}	Supply Voltage	4.5	5	5.5	4.75	5	5.25	V
V_{IH}	High Level Input Voltage	2			2			V
V_{IL}	Low Level Input Voltage			0.7			0.8	V
I_{OH}	High Level Output Current			-0.4			-0.4	mA
I_{OL}	Low Level Output Current			4			8	mA
T_A	Free Air Operating Temperature	-55		125	0		70	°C

Livelli logici

31

Electrical Characteristics over recommended operating free air temperature range (unless otherwise noted)

Symbol	Parameter	Conditions	Min	Typ (Note 1)	Max	Units
V_I	Input Clamp Voltage	$V_{CC} = \text{Min}, I_I = -18 \text{ mA}$			-1.5	V
V_{OH}	High Level Output Voltage	$V_{CC} = \text{Min}, I_{OH} = \text{Max}, V_{IL} = \text{Max}$	DM54	2.5	3.4	V
			DM74	2.7	3.4	
V_{OL}	Low Level Output Voltage	$V_{CC} = \text{Min}, I_{OL} = \text{Max}, V_{IH} = \text{Min}$	DM54		0.25	V
			DM74		0.35	
		$I_{OL} = 4 \text{ mA}, V_{CC} = \text{Min}$	DM74		0.25	
I_I	Input Current @ Max Input Voltage	$V_{CC} = \text{Max}, V_I = 7 \text{ V}$			0.1	mA
I_{IH}	High Level Input Current	$V_{CC} = \text{Max}, V_I = 2.7 \text{ V}$			20	μA
I_{IL}	Low Level Input Current	$V_{CC} = \text{Max}, V_I = 0.4 \text{ V}$			-0.36	mA
I_{OS}	Short Circuit Output Current	$V_{CC} = \text{Max}$ (Note 2)	DM54	-20	-100	mA
			DM74	-20	-100	
I_{CCH}	Supply Current with Outputs High	$V_{CC} = \text{Max}$		1.2	2.4	mA
I_{CCL}	Supply Current with Outputs Low	$V_{CC} = \text{Max}$		3.6	6.6	mA

Tensione di alimentazione ?

32

5 Volt

Circuiti integrati e porte logiche

33

Tutte le funzioni che abbiamo visto esistono in circuiti integrati. Di solito 4 (Quad) o 6 (Hex) porte dello stesso tipo sullo stesso integrato

Ogni integrato e' definito da una sigla es.: 74LS00, 74C00, 74AS10...

Come capire cosa sono:

Le ultime due cifre indicano la funzione: 74LS00 e 74HC00 implementano la stessa funzione NAND

Il tipo circuito integrato pero' e' completamente diverso:

Low-power Schottky TTL nel caso di "LS" e High Speed CMOS nel caso di "HC"

In generale le diverse famiglie di integrati differiscono molto per velocita', potenza dissipata, fan-out...

Dispositivo	Funzione
00	Quad 2 input NAND
02	Quad 2 input NOR
04	Hex (6 in un chip) NOT
08	Quad 2 input AND
10	Triple 3 input NAND
20	Dual 4 input NAND
27	Triple 2 input NOR
30	8 input NAND
32	Quad 2 input OR
86	Quad exclusive OR
135	Quad exclusive OR/NOR
136	Quad exclusive OR

34

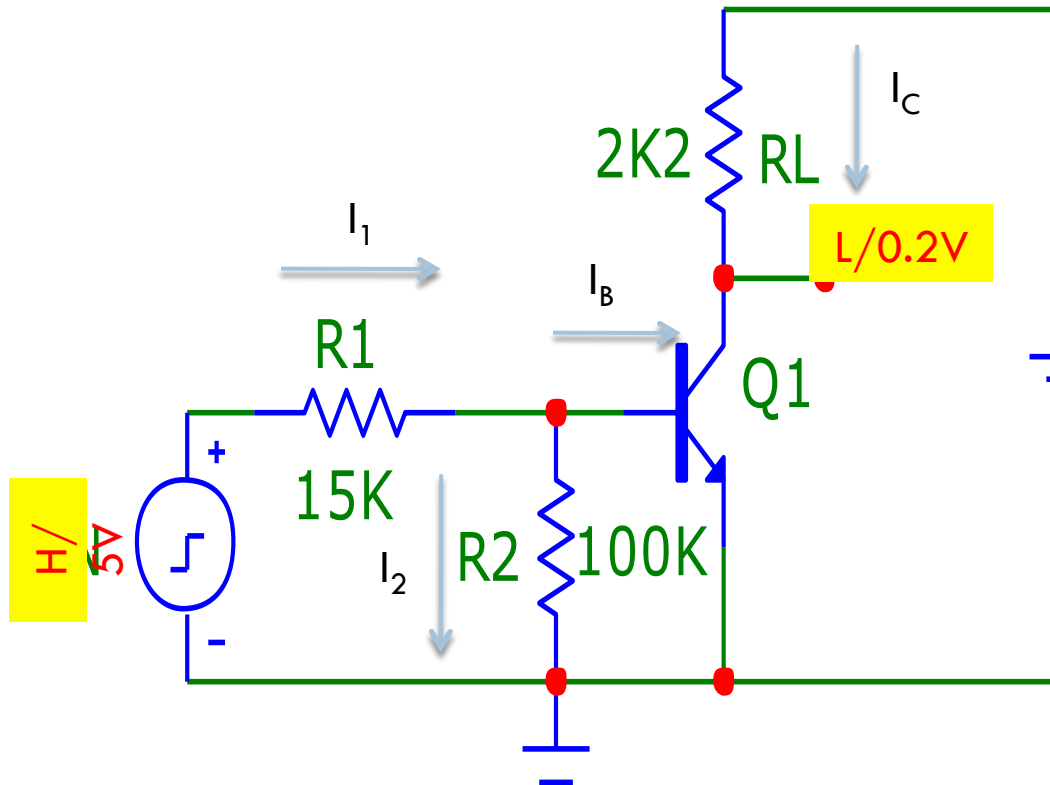
NOT con transistor BJT

Verifica del funzionamento: Output LOW

V_{IN}	Q1	V_{OUT}
H	Saturazione	L
L	Interdizione	H

Ipotesizzo che sia in saturazione e verifico che è corretto.

1. Calcolo I_B minima per entrare in sat.
2. Calcolo I_B effettiva e confronto.



$$I_c = \frac{V_{CC} - V_{out}}{R_C} = \frac{4.8V}{2K\Omega} = 2.4mA$$

$$I_{B(MIN)} = \frac{I_C}{h_{FE}} = \frac{2.4mA}{30} = 0.08mA$$

$$V_{BE(sat)} = 0.8V$$

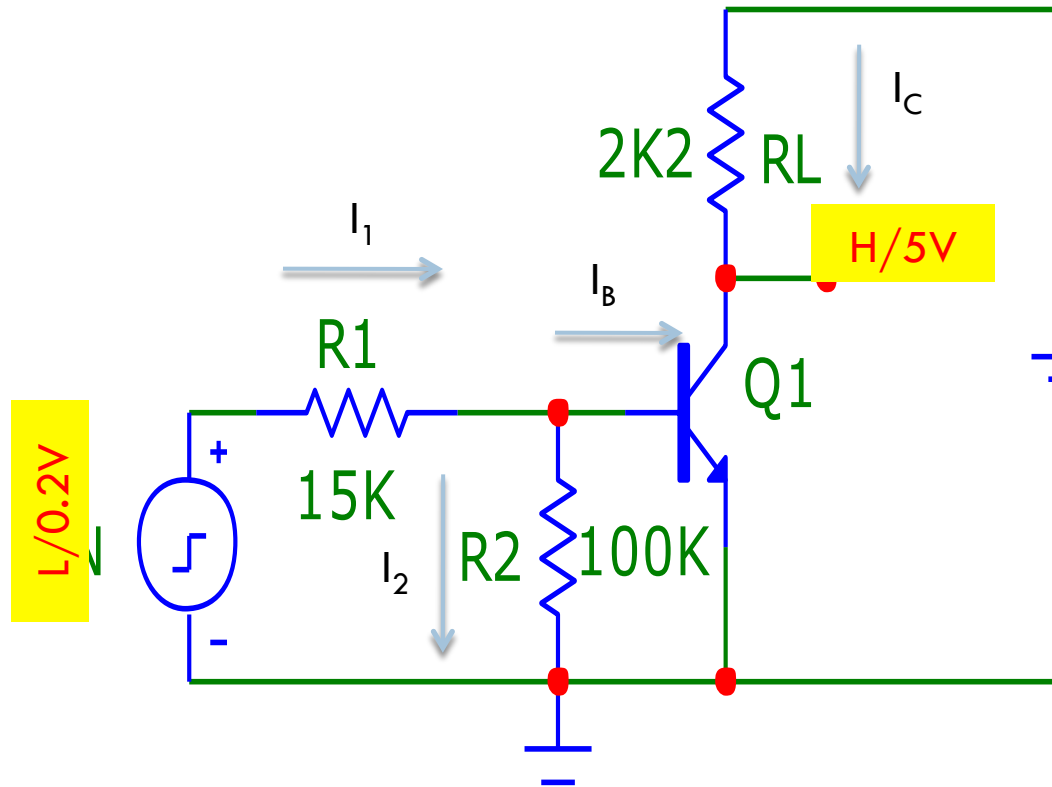
$$I_1 = \frac{V_{IN} - V_{BE(sat)}}{R_1} = \frac{4.2V}{14K\Omega} = 0.28mA$$

$$I_2 = \frac{V_{BE(sat)}}{R_2} = \frac{0.8V}{100K\Omega} = 8\mu A$$

$$I_B \approx 0.28mA \gg I_{B(min)}$$

Verifica del funzionamento: Output HIGH

V_{IN}	Q1	V_{OUT}
H	Saturazione	L
L	Interdizione	H



$$V_B < V_{IN} = 0.2 \text{ V}$$

$$V_B < 0.7 \text{ V} \rightarrow$$

Interdizione

$$I_C = 0 \rightarrow V_{out} = 5 \text{ V}$$

5V

In effetti questa semplice implementazione del NOT e' lenta e molto sensibile alle variazioni di temperatura e le vere implementazioni sono un po' piu' complesse.