

考试时间 120 分钟

试 题

题号	一	二	三	四	总分
分数					

1. 考试形式：闭 卷；2. 考试日期：20**年 07 月 日；3. 本试卷共 四 大题，满分 100 分。

班级 学号 姓名 任课教师

一、单项选择题（本大题共 15 小题，每小题 2 分，共 30 分）

在每小题列出的四个备选项中只有一个是符合题目要求的，请将其选出并
将其填入题干后的括号内。未填、错填或多填均无分。a

1. 下列数最小的是 A。A. $(5.1)_H$ B. $(5.1)_O$ C. $(5.1)_D$ D. $(101.1)_B$ 2. 十六进制 $(30)_H$ 的余三 BCD 码为 D。

A. 01001000 B. 00100100 C. 01001011 D. 01111011

3. 逻辑函数 $F = \bar{A} \oplus (\bar{A} \oplus B) =$ C。A. $A \oplus B$ B. \bar{B} C. B D. $\overline{\bar{A} \oplus B}$ 4. $\bar{A} + AC =$ B。A. $A + C$ B. $\bar{A} + C$ C. 1 D. AC 5. 若输入变量 A、B 全为 1 时，输出 $F=1$ ，则其输入与输出的关系是 B。

A. 异或 B. 同或 C. 或非 D. 与非

6. 与 $\bar{A}C + \bar{B}C + AB$ 相等的表达式为 D。A. $\bar{A}C$ B. $\bar{B}C$ C. $AB + \bar{C}$ D. $AB + C$ 7. 函数 $F = \overline{\overline{ACD} + \overline{BCD} + \overline{ABD}}$ 的最简与非式为 A。A. $F = \overline{\overline{\overline{CDBD} \overline{ACDABD}}}$

6

B. $F = \overline{\overline{\overline{\overline{\overline{CDBDACDABD}}}}}$

C. $F = \overline{\overline{\overline{\overline{\overline{ACDBCDABD}}}}}$

D. $F = \overline{\overline{\overline{\overline{\overline{ACCD)}}ADBD}}$

8. 与四变量的逻辑函数项 $ACB\overline{D}$ ，逻辑上相邻的是 C。

A. $\overline{A}\overline{C}\overline{B}\overline{D}$ B. $\overline{A}\overline{C}\overline{B}D$ C. $\overline{A}CB\overline{D}$ D. $AC\overline{B}D$

9. 逻辑函数 $F = \overline{AC + BC}$ 的最小项标准式为 D。

A. $F = \sum(2,3,7)$ B. $F = \sum(2,6,7)$

C. $F = \sum(2,5,6,7)$ D. $F = \sum(0,1,3,4,)$

10. 逻辑函数 $F(ABCD) = \sum(1,5,8,12) + \sum_d(3,7,10,11,14,15)$ 的最简与非式为 B。

A. $F = \overline{AD} + \overline{AD} + \overline{CD}$ B. $F = \overline{AD} + \overline{AD}$

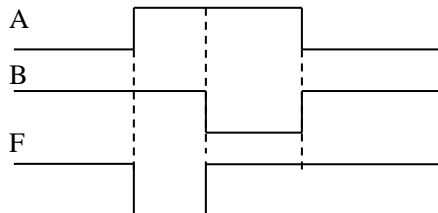
C. $F = \overline{ACD} + \overline{AD} + \overline{CD}$ D. $F = \overline{AD} + \overline{AD}$

11. 逻辑函数用卡诺图化简时，八个逻辑相邻项合并可消去 C。

A. 一个变量 B. 二个变量 C. 三个变量 D. 四个变量

12. 已知输入 A、B 和输出 F 的波形如图所示，则 F 与 AB 的逻辑关系为 D。

- A. 与非
B. 或非
C. 异或
D. 无法确定



13. T 触发器中，若 $T = \overline{Q}$ ，则触发器可实现 A 逻辑功能。

A. 置 1 B. 置 0 C. 必翻 D. 保持

14. 在下列逻辑电路中，属于时序逻辑电路的是 B。

22. (8 分) 触发器电路及相关波形如图 3.2 所示。

① 写出该触发器的次态方程；

② 对应给定波形画出 Q 端波形。

(设初始状态 $Q=0$)

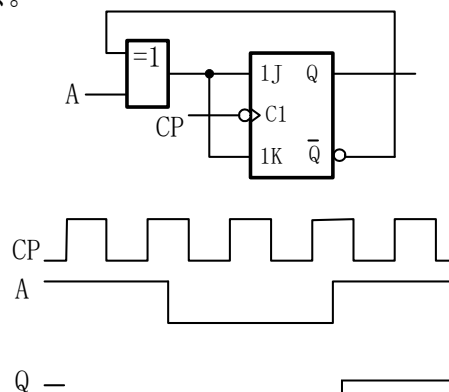


图 3.2

23. (10 分) 由译码器 74LS138 和计数器 74LS161 组成电路如图 3.3 所示。

① 列出 74LS161 的状态迁移关系；

② 列出输出 F 的序列信号。

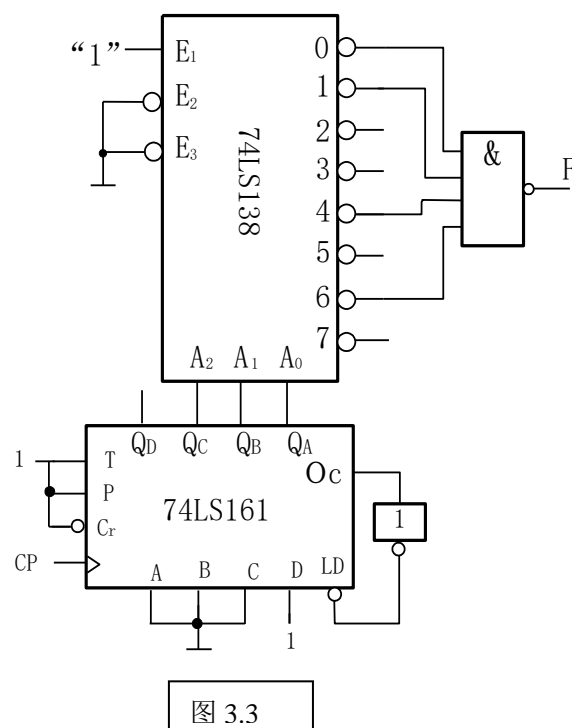


图 3.3

四、设计题（本大题共 3 小题，每小题 10 分，共 30 分）

. 24. 用双四选一数据选择器，实现一位二进制减法器

①列出真值表；

②画出逻辑图。

25. 用集成计数器 74LS161 设计一个起始态为 0011 模 10 计数器

①列出状态迁移表；

②画出逻辑图。

26. 利用 JK 触发器设计同步三进制加法计数器。

- ①作出状态迁移表；
- ②确定每级触发器的激励函数
- ③画出逻辑图。

74LS90功能表

输入						输出			
R01	R02	S91	S92	CP1	CP2	QD	QC	QB	QA
1	1	0	×	×	×	0	0	0	0
1	1	×	0	×	×	0	0	0	0
0	×	1	1	×	×	1	0	0	1
×	0	1	1	×	×	1	0	0	1
R01R02=0 S91S92=0				CP	0	二进制计数			
				0	CP	五进制计数			
				CP	QA	8421码十进制计数			
				QD	CP	5421码十进制计数			

74LS161功能表

输入									输出			
CP	C _r	LD	P	T	A	B	C	D	Q _A	Q _B	Q _C	Q _D
×	0	×	×	×	×	×	×	×	0	0	0	0
↑	1	0	×	×	A	B	C	D	A	B	C	D
↑	1	1	1	1	×	×	×	×	计数（模16）			
×	1	1	0	×	×	×	×	×	保持			
×	1	1	×	0	×	×	×	×	保持（0c=0）			

74LS194功能表

输入										输出			
Cr	CP	S1	S0	SL	SR	D0	D1	D2	D3	Q0	Q1	Q2	Q3
0	×	×	×	×	×	×	×	×	×	0	0	0	0
1	×	0	0	×	×	×	×	×	×	保持			
1	↑	0	1	×	SR	×	×	×	×	SR	Q0	Q1	Q2
1	↑	1	0	SL	×	×	×	×	×	Q1	Q2	Q3	SL
1	↑	1	1	×	×	d0	d1	d2	d3	d0	d1	d2	d3
1	0	×	×	×	×	×	×	×	×	保持			