

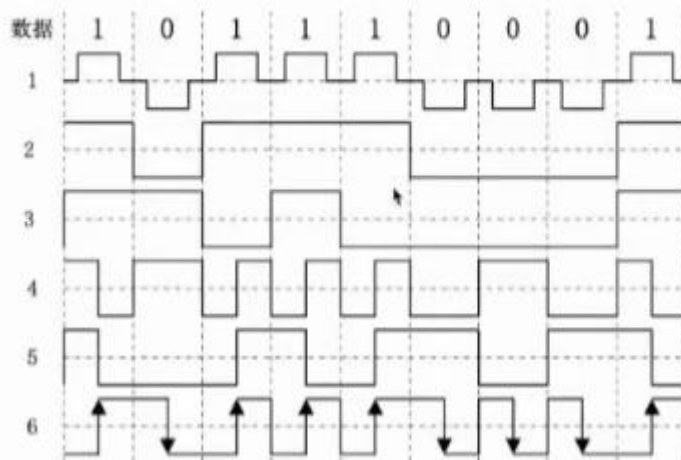
一. 简要分析与设计题（任选其中 6 小题，每小题 7 分，本题共 42 分）

说明：选作超过 6 小题时，评判前面 6 个小题

1. 某总线的时钟频率为 100MHz，数据线为 16 位，一个内存读写总线周期由 4 个时钟周期完成。在该总线上实现 00000H~07FFFH 的内存区域，需要容量 8K\*4 的 SRAM 共多少片？若该 SRAM 的存储周期为 50ns，请分析其能否满足该总线的速度要求，给出理由。

2. 某程序运行时所请求的内存块的顺序为 3、4、2、6、4、3、7、4、3、6、3、4、8、4、6，设 cache 容量为 3 块且初始状态为空（不包含任何该程序或其它程序的块），求 cache 采用 LRU 替换策略下的命中率。（给出过程）

3. 读下面硬磁盘的写电流波形（设初始电流为低），分别指出它们的磁记录方式。



4. 若 8088 系统中断向量表的地址 00120H~00123 内容如下图所示，则其对应的中断类型（向量）码、中断向量分别是多少？

00120H	12H
00121H	34H
00122H	56H
00123H	78H

5. 在 CPU 总晶体管规模基本一致的前提下，试分析超标量流水线 (Super-Pipelined)、超流水流水线 (Super-Scalar)、超标量超流水流水线 (Super-Pipelined Super-Scalar) 三种构架中，哪种构架的性能最优？试简述原因。
6. 简要分析输入输出接口设计时外设地址采用统一编址方式的优缺点。输出接口设计时一般都包含锁存器，为什么？
7. 中断控制器 8259 的固定优先级是如何安排的？若 8259 中 IR1 的中断向量号为 49H, 则 IR6 的中断向量号是多少？
8. 简要说明 MPP 结构多处理机系统的特点。

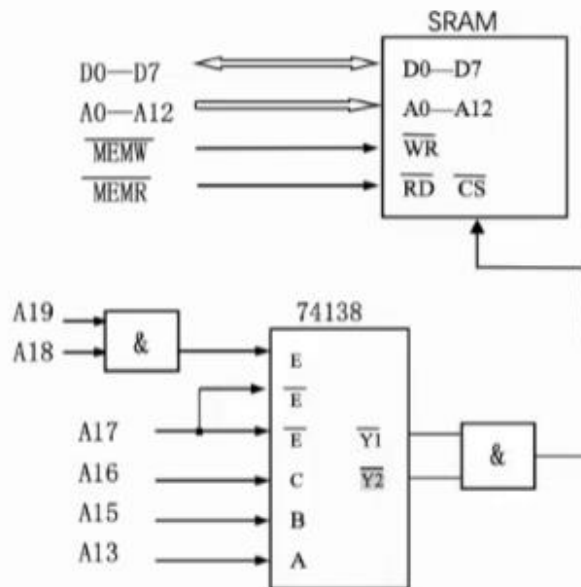
**二. (本题 14 分)** 某计算机 Cache 与内存采用 8 路组相联方式映射，Cache 容量为 16KB，Cache 组内每块 1KB，内存容量 1MB。

问：1. 内存区号、区内组号、组内块号、块内地址号各多少位表示；

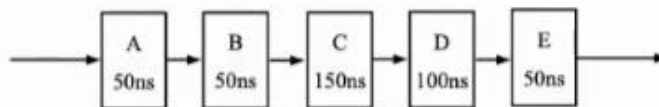
2. 设当前地址变换表如下，地址变换表分组顺序排列（第 0 行对应第 0 组第 0 块，第 1 行对应第 0 组第 1 块…），求主存地址 93E26H 变换后的 Cache 地址。

变换表行号	变换表内容	变换表行号	变换表内容
0	01AH	8	117H
1	02AH	9	02AH
2	157H	10	127H
3	0ACH	11	0ABH
4	117H	12	157H
5	055H	13	056H
6	127H	14	055H
7	056H	15	137H

三. (本题 14 分) 8088 系统总线上的 SRAM 连接电路图如下所示。分析该图, 请指出该 SRAM 芯片占用的内存地址范围。



四. (本题 15 分) 某流水线有 5 级, 其延迟分别为 50ns、50ns、150ns、100ns 和 50ns。



要求:

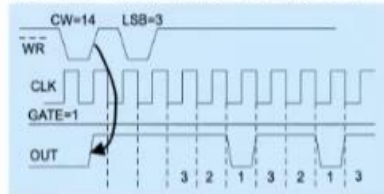
- (1) 该流水线的最大吞吐率是多少 MIPS?
- (2) 在维持流水线级数不变的情况下, 如何将平均吞吐延时降至 50ns, 给出改造方案; 并且, 在改造后的流水线上完成任务 1 到 5, 画出改造后的时空图。

五. (本题 15 分) 8253 芯片可利用 8088 总线的外设接口地址 B0B0H~B0BFH, 时钟信号为 10KHz。若该 8253 的计数器 0 连接一个发光二极管 D1, 现要使 D1 以点亮 1 秒、熄灭 9 秒的间隔周期性工作。

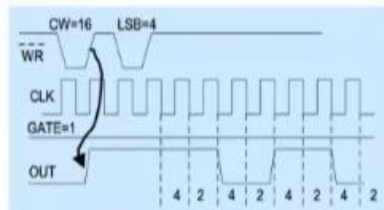


要求: (1) 给出该接口的硬件设计方案, 画出该 8253 与 8088 总线、D1 的连接图;  
(2) 编程对 8253 进行初始化和设置。

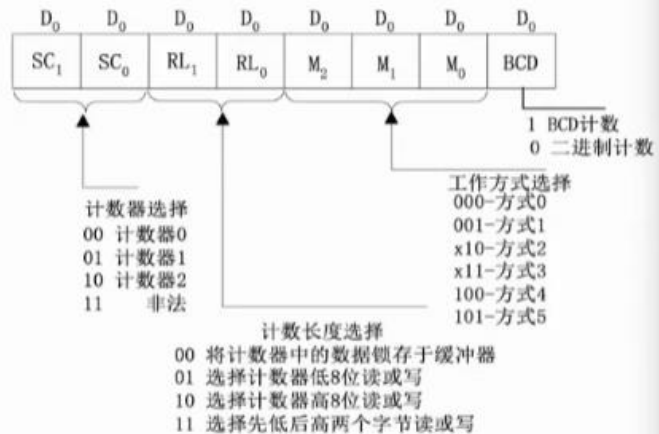
附: 8253 方式控制字和部分工作方式



方式 2

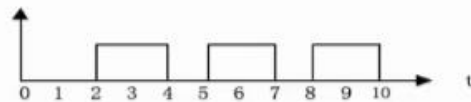


方式 3



1. 异步串行通信帧约定为: 7 位 ASCII 码, 1 位奇校验、1 位停止位。

(1) 如果接收端收到的帧波形如下图所示, 试判断所传送的 ASCII 码是多少?



(2) 若通信速率为 9600 波特, 则每秒钟最多可传送多少个字符?

2. 某 Cache—主存系统系统中, 内存访问时间为 50ns, L1 级 Cache 的访问时间为 1ns, 失效率 10%, L2 级 Cache 的访问时间为 5ns, 失效率 1%。

(1) 计算 L1+L2 两级 Cachex 系统的平均访问时间 T1。

(2) 如果 L1、L2 级 Cache 分为数据 Cache (L1/L2 D-Cache) 和指令 Cache (L1/L2 I-Cache)。假设运行时平均 75% 为数据, 25% 为指令, L1 和 L2 的 D-Cache 失效率均为原先失效率的 50%, 计算这时 L1+L2 两级 Cache 系统的平均访问时间 T2。

一、简要分析与设计题（任选其中 6 小题，每小题 7 分，本题共 42 分）

说明：选作超过 6 小题时，评判前面 6 个小题

1. 一个流水线有 5 级，其延迟分别为 50ns、50ns、150ns、100ns 和 50ns。求（1）该流水线的最大吞吐量是多少 MIPS？（2）在维持流水线级数不变的情况下，如何改造将平均吞吐延时降至 50ns？画出改造后的时空图。

2. 某程序运行时所请求的页面（Memory Page）的顺序为 3、4、2、6、4、3、7、4、3、6、3、4、8、4、6，设主存容量为 3 且初始状态为空（不包含任何该程序或其它程序的页面），求 FIFO 和 LRU 策略下的命中率。

2. 在 CPU 总晶体管规模基本一致的前提下，试分析超标量流水线（Super-Pipelined）、超流水流水线（Super-Scalar）、超标量超流水流水线（Super-Pipelined Super-Scalar）三种构架中，哪种构架的性能最优？试分析原因。

3. 某计算机存储系统采用单级 Cache（读写策略为写回法）+ 段页式虚拟存储；在某一时刻，虚拟地址 A 对应的数据位于外存，而程序 P 此时要向目标地址 A 写入 2 字节数据，请略述以上存储系统对地址 A 进行转换、加载及写入的关键步骤。