电子技术项目设计——串行通信接口

1. 整体实现思路

本实验主要的模块有

`uart_rx`： 串行接收数据

`uart_tx`： 串行发送数据

`led`： 用FPGA上的LED显示数据信息

`seg2`： 用FPGA上的晶体管显示数据信息

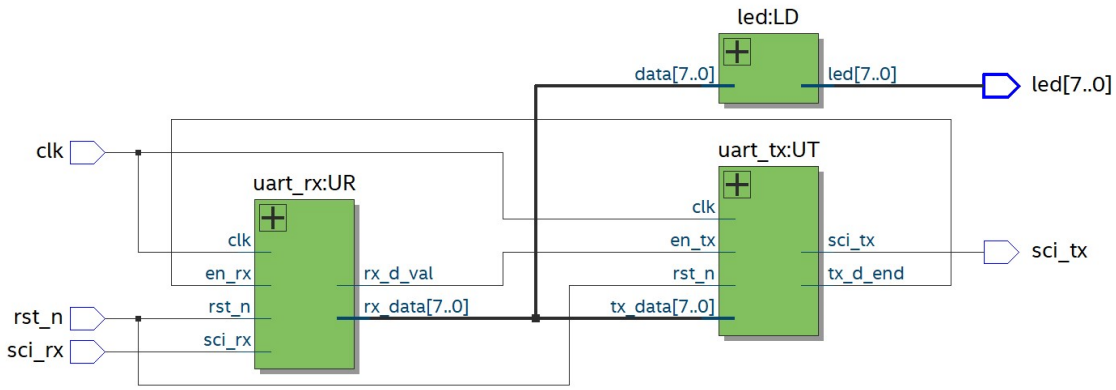
`clk_1k`： 产生1kHz的时钟，给晶体管作为显示切换

`alu`： 计算模块

`data_ctl`：控制特定数据的接收和各单元的使能

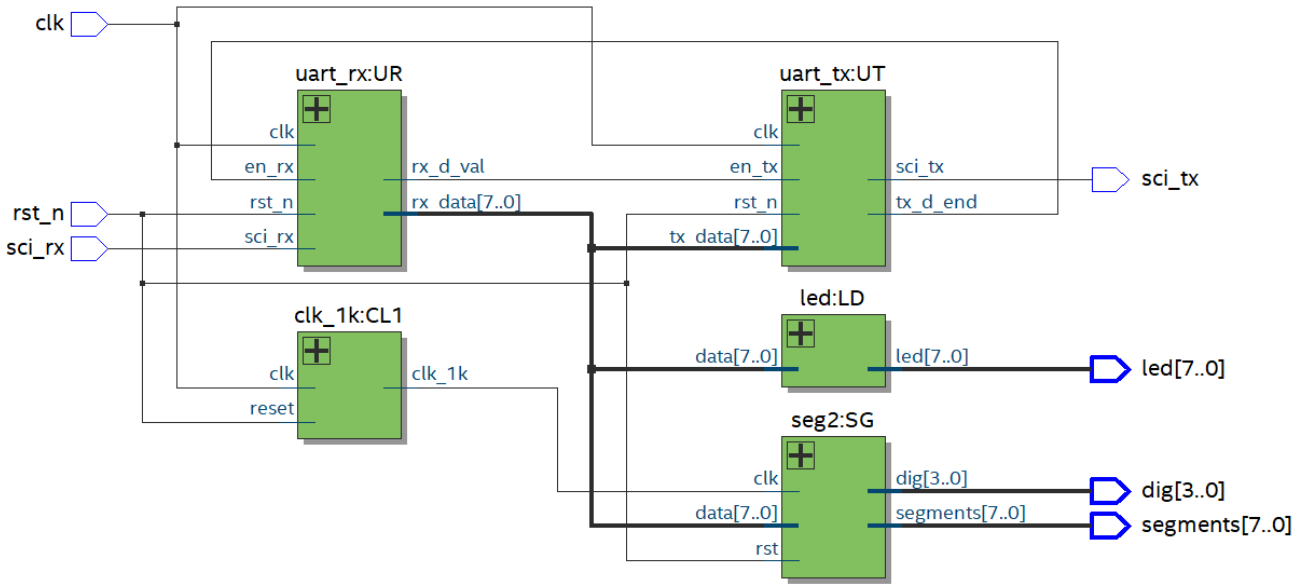
在任务4.1-2中，我们需要接收完数据后立即发送，于是可以设计出顶层模块的电路图为：

4.1



（无晶体管显示）

4.2

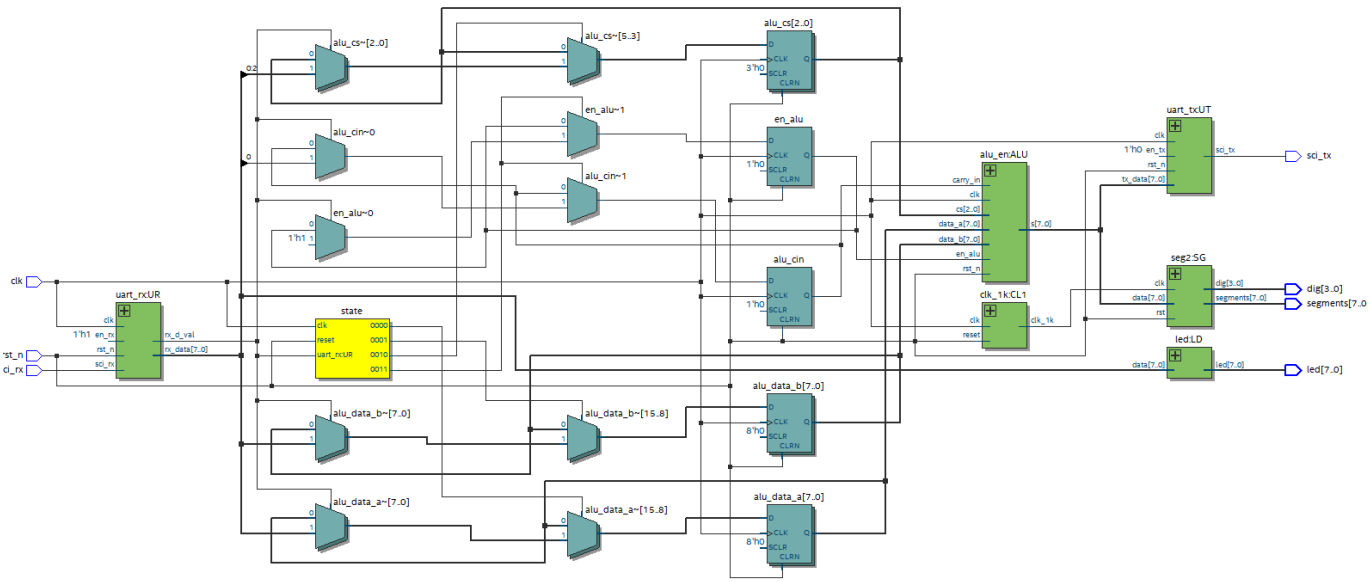


（有晶体管显示）

在任务4.3 中，我实现了FPGA单次接收4个数据（data_a， data_b，cs，carry_in), 并将数据传入 ALU 模块中计算出结果。

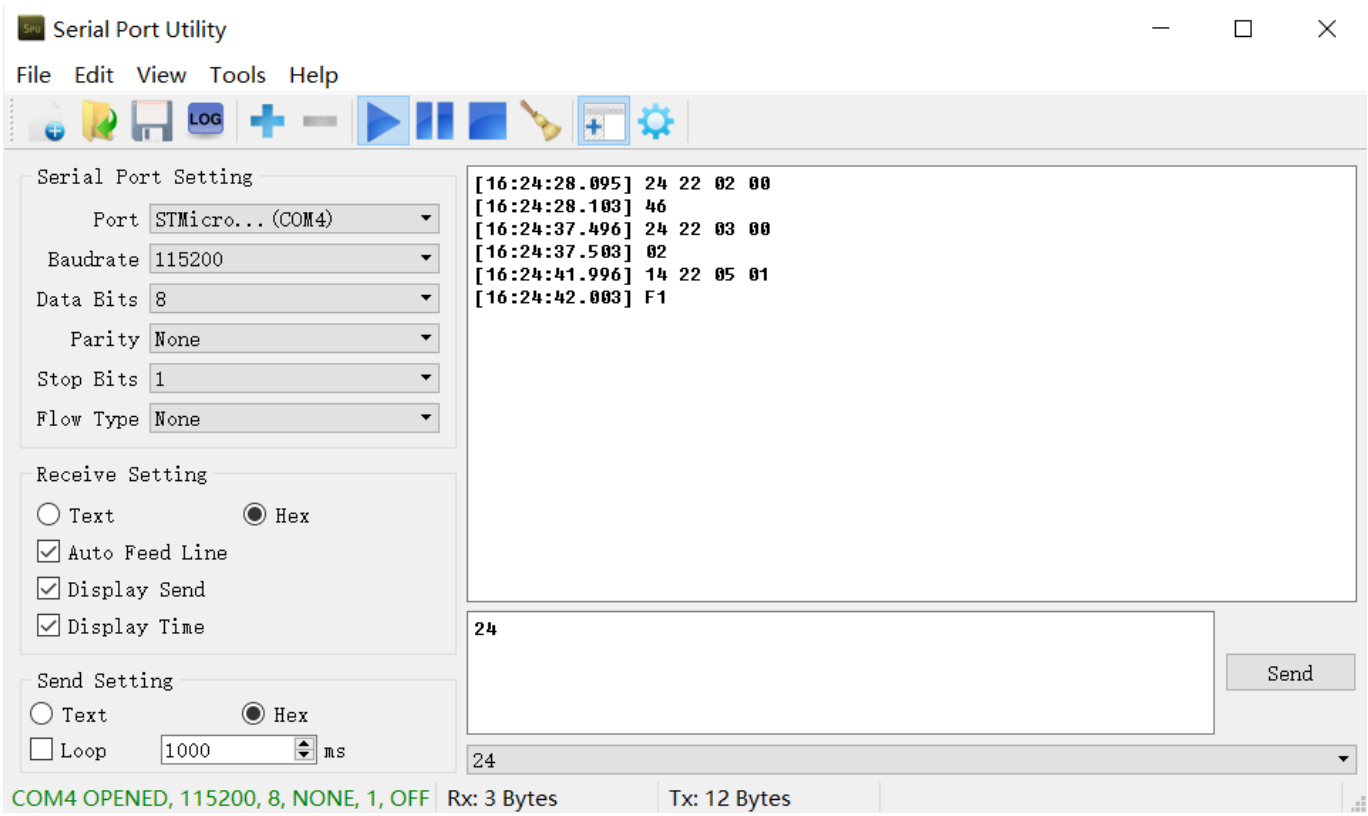
顶层的设计与4.1,2不一样，接收完数据后要按照一定次序存进操作数寄存器中，我们采用状态机来实现。

初代版本：



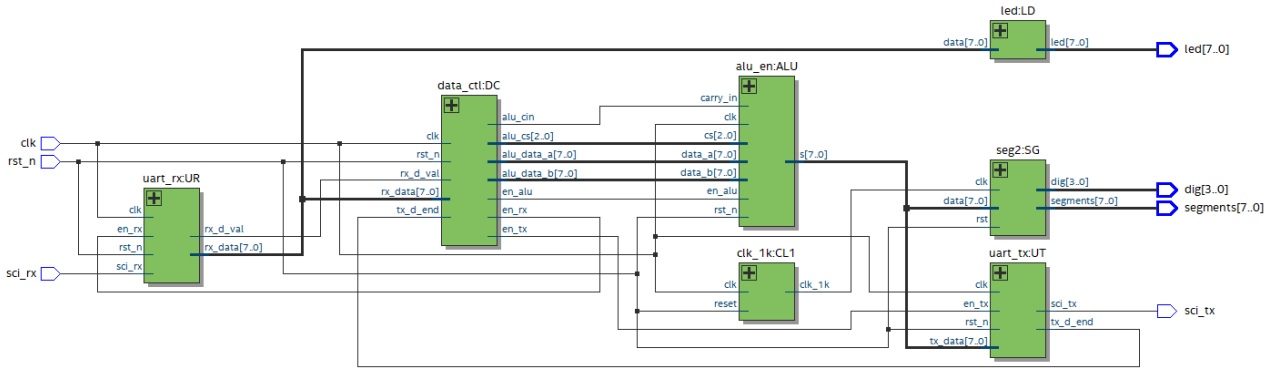
改良：注意到初代版本并未使用数据发送模块，并且顶层文件的没有封装完全。我对这两点进行改进，创新之处在于：

计算的结果通过fpga传输给stm,再传输给PC机，在串口上显示。



改良后的总体结构：

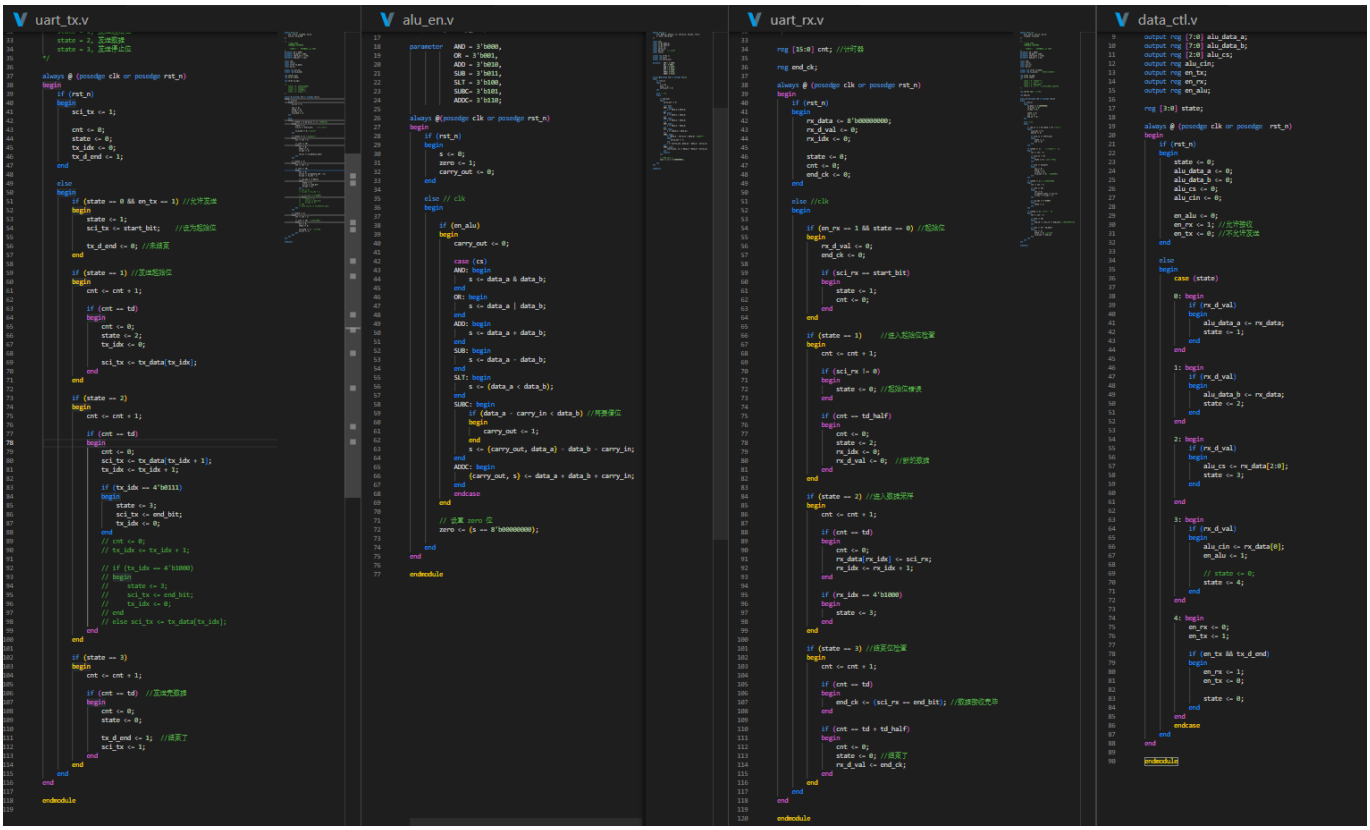
4.3



2.各模块实现

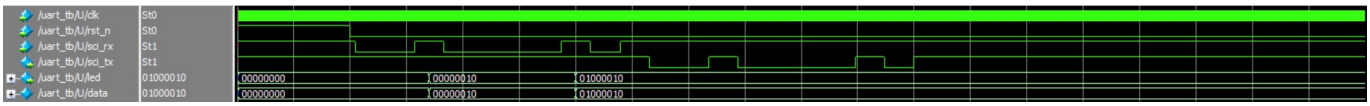
核心模块有四个：`uart_tx`，`uart_rx`，`alu`和`data_ctl`。

四部分的核心代码：

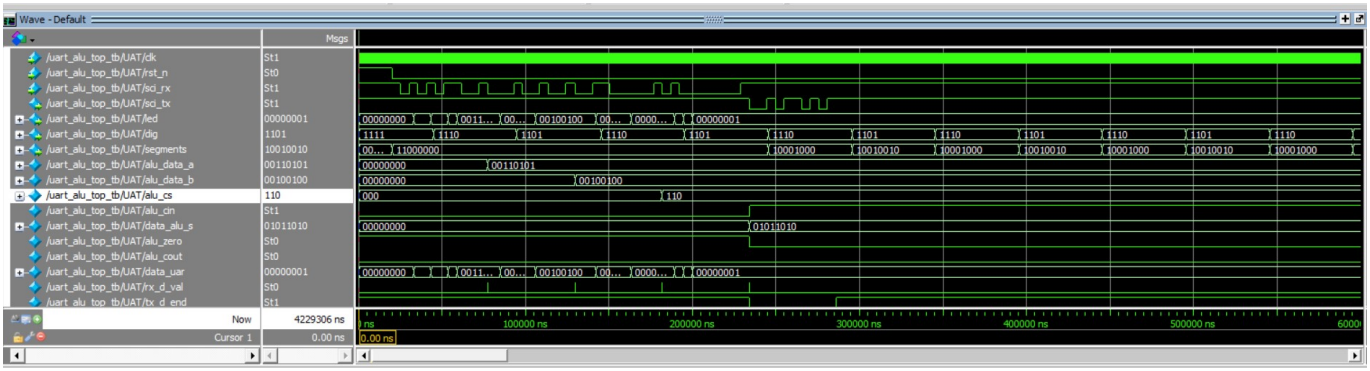


3. 仿真结果

4.1-2



4.3



4. 遇到的困难

在调试数据的发送时，我遇到了很多困难。首先是示波器没法显示发送波形，并且一直处于低电位，最后发现是**杜邦线内部断路**，更换杜邦线后解决了该问题；其次是发送的数据和接收到的数据不符合，在经过大量的仿真和代码检查时，我终于发现我的一处代码和我想要实现的功能并不相同（注释处为未修改的代码）：

```
if (cnt == td)
begin
    cnt <= 0;
    sci_tx <= tx_data[tx_idx + 1];
    tx_idx <= tx_idx + 1;

    if (tx_idx == 4'b0)
    begin
        state <= 3;
        sci_tx <= end_bit;
        tx_idx <= 0;
    end
    // cnt <= 0;
    // tx_idx <= tx_idx + 1;

    // if (tx_idx == 4'b1000)
    // begin
    //     state <= 3;
    //     sci_tx <= end_bit;
    //     tx_idx <= 0;
    // end
    // else sci_tx <= tx_data[tx_idx];
end
```

我以为会发生的事：执行完 tx_idx + 1 后， tx线会显示 tx_data[tx_idx + 1]的值；

然而仿真结果告诉我：tx线实际显示的是tx_data[tx_idx]的值，这就会导致我的波形整体多了一位（第0位），导致数据传输出错。原因在于begin-end中的寄存器都是非阻塞赋值，也就**是tx_idx和 sci_tx会在同一时间赋值，sci_tx被赋值时还没有+1**，所以应该使用tx_data[tx_idx + 1]。

除此之外，我还遇到了示波器使用和reset等方面的问题，在老师助教的帮助下和我仔细的检查下终于解决了问题。

总结

经过本次项目，我充分学习并应用了FPGA的语法和编程思维，并进行了多硬件的调试，锻炼了我发现问题、解决问题的能力。

本次项目的成果展示：

https://cloud.tsinghua.edu.cn/f/827e955522dd4622bed9/