

电子技术基础实验

实验七 用分立器件设计组合电路

祝尔乐
未央-电 01

2021 年 12 月 7 日

一. 实验目的

- 1、熟悉逻辑门电路的工作原理和使用方法。
- 2、熟悉组合逻辑电路的设计方法。
- 3、熟悉数字电路的仿真与调试。

二. 实验内容

本实验采用的数字电子器件有：

- 74HC08-与门
- 74HC86-异或门
- 74HC00-与非门

- 1、设计并实现一种 1 位二进制全加器，并通过发光二极管显示和和进位。

我们先尝试用与非门和异或门实现全加器。

设 A, B 为待加数, CI 为输入的上一位的进位, S 为相加的和（一位）, CO 为向高位的进位。

则逻辑表达式可以表示为

$$S = A \oplus B \oplus CI$$
$$CO = \overline{(A \oplus B)CI} \overline{AB}$$

Ltspice 进行仿真，得到仿真电路：

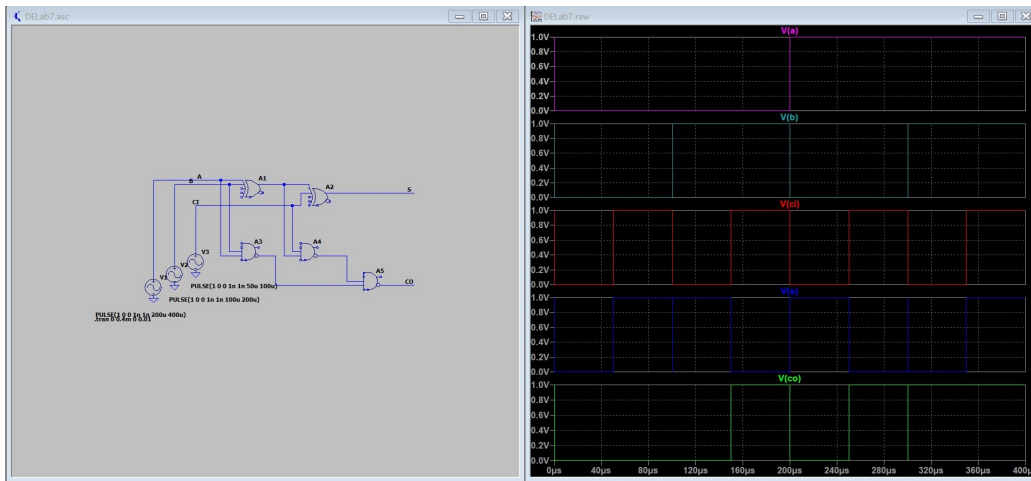


图 1: 1 位二进制全加器-异或门，与非门

实际搭建电路，用二极管模拟输出的 1/0，验证了电路的正确性。

2、用异或门和与门实现任务 1(选做)

如果仅使用异或门和与门来实现任务 1，那么我们需要对 CO 的逻辑关系进行一些变形。

注意到 $CO = (A \oplus B)CI + AB = (A \oplus B)CI \oplus AB$ ，之所以可以将或换成异或的原因是 $(A \oplus B)CI$ 和 AB 不可能同时为 1。

于是我们可以设计如下电路：

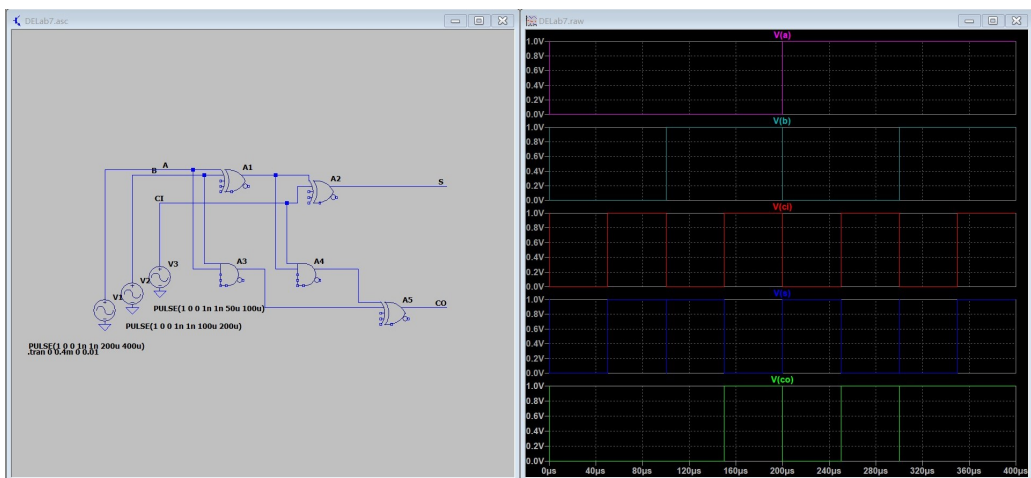


图 2: 1 位二进制全加器-异或门，与门

仿真结果与预期相符，实际搭建电路，用二极管模拟输出的 1/0，验证了电路的正确性。

实际电路图：

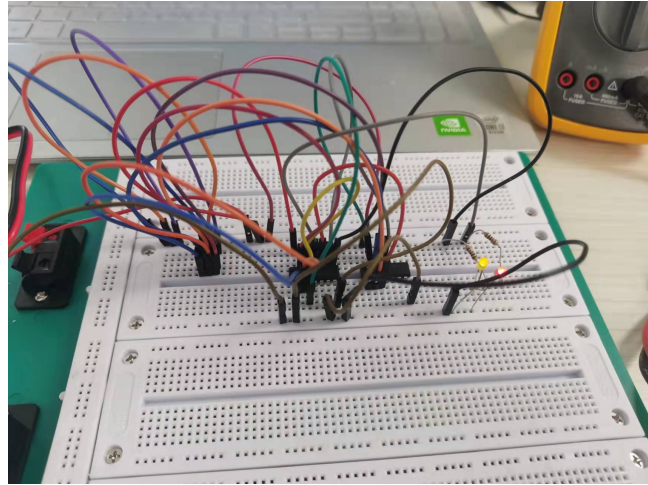


图 3: 1 位二进制全加器-异或门，与门实际电路图 (1b+1b+1b=11b)

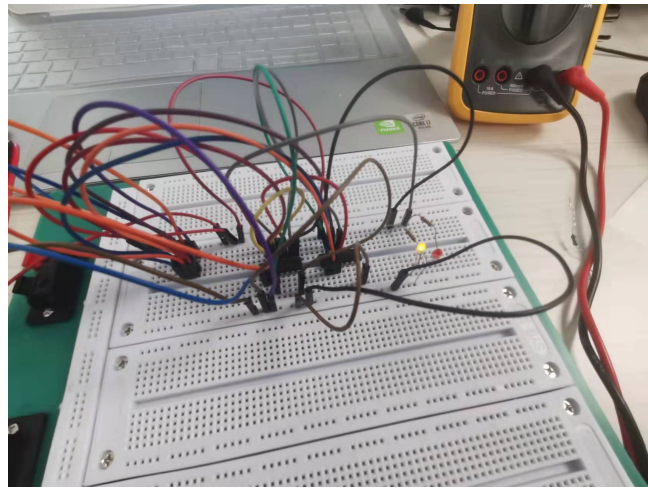


图 4: 1 位二进制全加器-异或门，与门实际电路图 (1b+1b+0b=10b)

备注：因为这部分选做是最后做的，上课还有一点时间，所以拍了照片，其余部分均已找祁硕老师验收。

3、用与上面实现方式不同的另一种电路完成任务 1

不同实现方式的本质是逻辑方式的替换，本部分我们将任务 1 中的与非门拆分成与门和非门，而非门我们使用异或门与 1 相连实现。

逻辑变化式为

$$\begin{aligned} CO &= \overline{(\overline{A \oplus B}) \overline{CI} \overline{AB}} \\ &= ((\overline{A \oplus B}) \overline{CI} \overline{AB}) \oplus 1 \end{aligned}$$

仿真结果为：

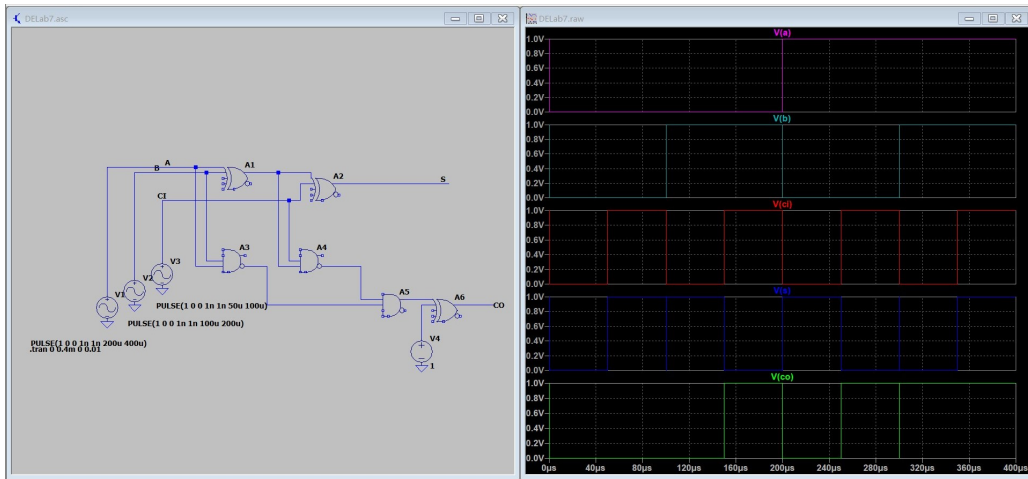


图 5: 1 位二进制全加器-异或门，与门，与非门

仿真结果与预期相符，实际搭建电路，用二极管模拟输出的 1/0，验证了电路的正确性。

4、设计 4 位全加器，画出电路图 (不要求搭具体实现电路)

在 1 位全加器的基础上，我们可以设计四位全加器。我们先给 1 位全加器增加输入输出引脚，这里我们使用任务一的全加器：

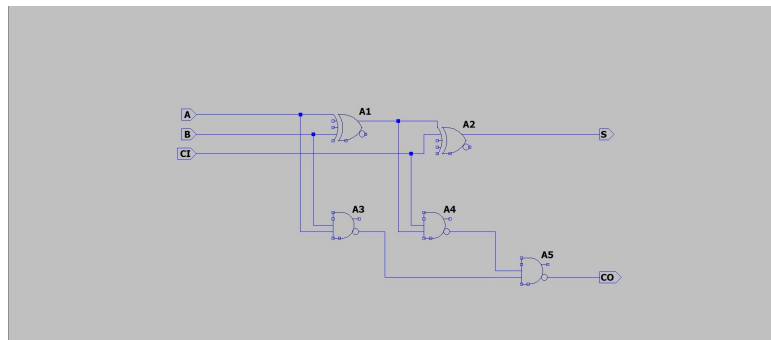


图 6: 1 位全加器

接下来我们通过 create Symbol 对 1 位全加器进行封装：

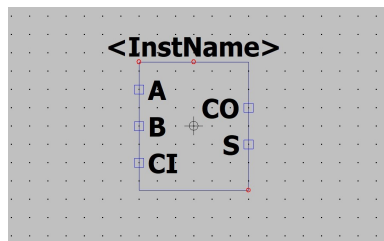


图 7: 1 位全加器封装

我们就可以根据 1 位全加器设计出最简单的 4 位串行全加器了，电路图如下：

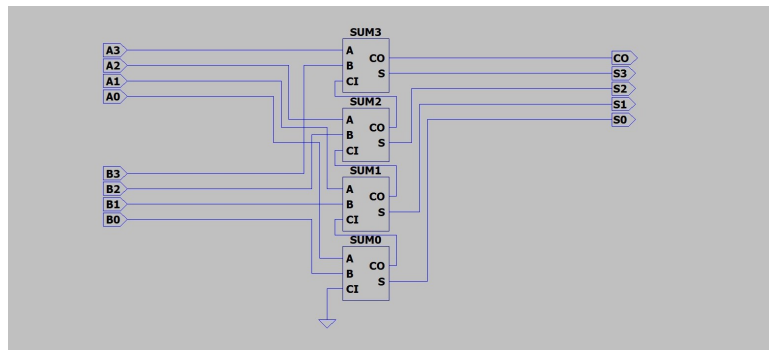


图 8: 4 位全加器

可以对 4 位全加器进行简单的验证，以下是其中一个验证结果：

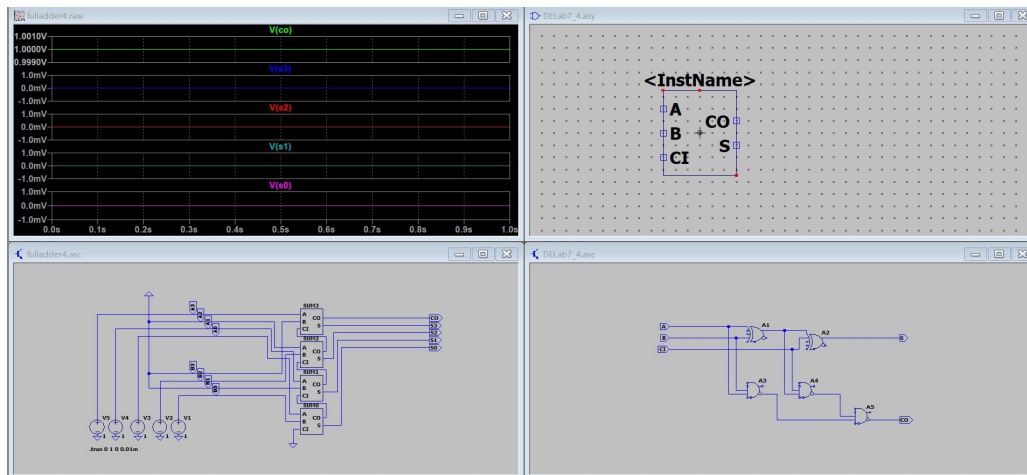


图 9: 4 位全加器仿真验证 (0101B + 1011B = 10000B)

仿真结果与预期相符合。