

实验 8 数字设计 1

一、实验目的

- 1、熟悉 Quartus Prime 开发环境。
- 2、熟悉用硬件描述语言开发数字系统的方法。
- 3、熟悉 FPGA 硬件平台。

三、实验内容

阅读网络学堂上“Quartus Prime 软件的使用”相关文档，完成以下实验任务：

- 1、实现 2 输入 与门/或门。仿真验证，FPGA 板验证。
- 2、实现 2 输入 与门、或门、异或门、与非门和或非门。仿真验证，FPGA 板验证。
- 3、用 Verilog 实现布尔表达式： $y = \overline{\overline{a}b\overline{c}} + \overline{a\overline{b}c} + \overline{abc}$ ，仿真验证。
- 4、选做：设计 8 位反相器。仿真验证。
- 5、设计 4 位全加器。仿真验证，FPGA 板验证。
- 6、选做：设计 8 位 4 选 1 多路选择器。仿真验证。

FPGA 板验证：用拨码开关模拟输入，用 LED 模拟输出。

四、实验注意事项

- 1、按文档中的说明，正确进行 FPGA 引脚分配。
- 2、要求 FPGA 板验证的任务，完成后应找老师登记。

五、实验报告

编写 Verilog 设计文件和仿真测试文件，完成上述实验内容；给出仿真结果波形图，并进行必要的分析，验证设计的正确性。