

本科试卷（八）

AB \ CD	00	01	11	10
00	1	1		
01			1	1
11				
10				

一、选择题（每小题 2 分，共 30 分）

1. 逻辑函数 $F1 = \sum m(2, 3, 4, 8, 9, 10, 14, 15)$,

$F2 = \overline{ABC} + \overline{ABC}\overline{D} + \overline{ABC} + ABC + ACD$ 它们之间的关系是 A。

$$\overline{AB}\overline{D} + \overline{A}BD$$

A. $F1 = F2$ B. $F1 = \overline{F2}$ C. $\overline{F1} = F2$ D. $F1$ 、 $F2$ 互为对偶式

$$\overline{A}\overline{B}\overline{C} + \overline{A}BC$$

2. 最小项 $\overline{ABC}\overline{D}$ 的逻辑相邻项是 B。

A. ~~$ABCD$~~ B. $\overline{ABC}\overline{D}$ C. ~~$\overline{ABC}D$~~ D. ~~$\overline{AB}\overline{C}D$~~

3. 逻辑函数 $F(ABC) = A \odot C$ 的最小项标准式为 C。

~~A. $F = \sum(0, 3)$~~

~~B. $F = \overline{A}C + A\overline{C}$~~

C. $F = m_0 + m_2 + m_5 + m_7$

D. $F = \sum(0, 1, 6, 7)$

4. 一个四输入端与非门，使其输出为 0 的输入变量取值组合有 D 种。

A. 15

B. 8

C. 7

D. 1

5. 设计一个四位二进制码的奇偶位发生器(假定采用偶检验码),需要 B 个异或门。

A. 2

B. 3

C. 4

D. 5

$$A \oplus B \oplus C \oplus D$$

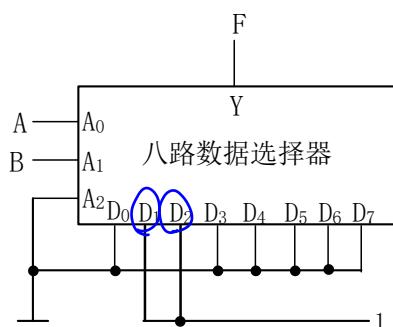
6. 八路数据选择器如图 1-1 所示, 该电路实现的逻辑函数是 A.C。

A. $\overline{AB} + \overline{AB}$

B. $\overline{AB} + AB$

C. $A \oplus B$

D. $A + B$



$$\overline{AB} + \overline{AB}$$

图 1-1

7. 下列电路中, 不属于时序逻辑电路的是 D。

A. 计数器 B. 触发器 C. 寄存器 D. 译码器

8. 对于 JK 触发器, 输入 $J=0$, $K=1$, CP 脉冲作用后, 触发器的次态应为 A。

A. 0

B. 1

C. 保持

D. 翻转

9. Moore 型时序电路的输出 B。

A. 与当前输入有关

B. 与当前状态有关

C. 与当前输入和状态都有关

D. 与当前输入和状态都无关

$$J=1, K=0 \text{ 置 } 1$$

$$J=0, K=1 \text{ 置 } 0$$

$$J=1, K=1 \text{ 翻转}$$

$$J=0, K=0 \text{ 保持}$$

FPGA 逻辑块 CLB
可编程互连块
I/O 输入输出块

(75) (81)
64+11
00000 64 8 21
1001011

10. 一个五位的二进制加法计数器，由 0000 状态开始，按自然二进制码的顺序计数，问经过 75 个输入脉冲后，此计数器的状态为 A。

- A. 01011 B. 11010 C. 11111 D. 10011

11. 有关 ROM 的描述，下列说法正确的是 C。

- A. 需要定时作刷新损伤 B. 可以读出也可以写入
C. 可读出，但不能写入 D. 信息读出后，即遭破坏

12. 1M×1 位 RAM 芯片，其地址线有 D 条。

- A. 20 B. 1 C. 19 D. 10

13. PAL 是指 B。

- A. 可编程逻辑阵列 B. 可编程阵列逻辑
C. 通用阵列逻辑

14. FPLA 器件的与门阵列 D，或门阵列 D。

- A. 不可编程，不可编程 B. 不可编程，可编程
C. 可编程，不可编程 D. 可编程，可编程

15. 数字系统工作的特点是具有 A。

- A. 周期性 B. 一次性 C. 非周期性 D. 随机性

二、填空题（每小题 2 分，共 18 分）

1. 与运算的布尔代数和 VHDL 表示分别为 $A \cdot B$ 和 $F <= A \text{ and } B$

2. 利用并项法 $A + A = 1$ ， $ABC + ABC$ 的简化表达式为 ABC 。

3. 译码器的逻辑功能是将某一 是 的 二进制代码 输入信号译成一个输出信号。

4. 组合逻辑电路在结构上不存在输出到输入的 反馈，因此，输出状态不影响 输入 状态。

5. 锁存器或触发器再电路上具有两个稳定的物理状态，我们把输入信号变化之前的状态称为 现态，输入信号变化后的状态称为 次态。

6. 用计数器产生 110010 序列，至少需要 3 个触发器。

7. RAM 是随机读写存储器，优点是 读写方便，缺点是 易丢失。

8. PLD 中采用的可编程连接技术有 熔丝技术 反熔丝技术，EPROM 技术 SRAM 技术。

★ 数字系统指交互式的以离散形式表示的具有存储，传输 和 处理信息 能力的逻辑子系统的集合物。

三、组合逻辑设计（12 分）

设计一个多输出组合逻辑电路，输入为 8421BCD 码，三个输出分别定义为： L_1 为检测到的输入数字能被 4 整除； L_2 为检测到的输入数字大于等于 3； L_3 为检测到的输入数字小于

110

7.

- (1) 列出真值表。
- (2) 画出卡诺图并化简，写出最简逻辑函数表达式。
- (3) 画出电路图。(门电路实现或中规模集成电路芯片实现两种方法任选)。

四、时序逻辑设计 (14 分)

用 D 触发器设计同步五进制计数器。已知状态转换过程的编码是 000 → 100 → 011 → 010 → 001 → 000。要求：

- (1) 列出状态转移表；
- (2) 写出状态方程；
- (3) 写出激励方程；
- (4) 画出允许自启动的状态转移图。

$$\begin{matrix} Q_3^n & Q_2^n & Q_1^n & Q_3^{n+1} & Q_2^{n+1} & Q_1^{n+1} \\ 0 & 0 & 0 & 1 & 0 & 0 \\ 1 & 0 & 0 & 0 & 1 & 1 \\ 0 & 1 & 1 & 0 & 1 & 0 \\ 0 & 1 & 0 & 0 & 0 & 1 \\ 0 & 0 & 1 & 0 & 0 & 0 \end{matrix}$$

五、VHDL 语言设计 (12 分)

用 VHDL 设计如图 1 所示的有限状态机。

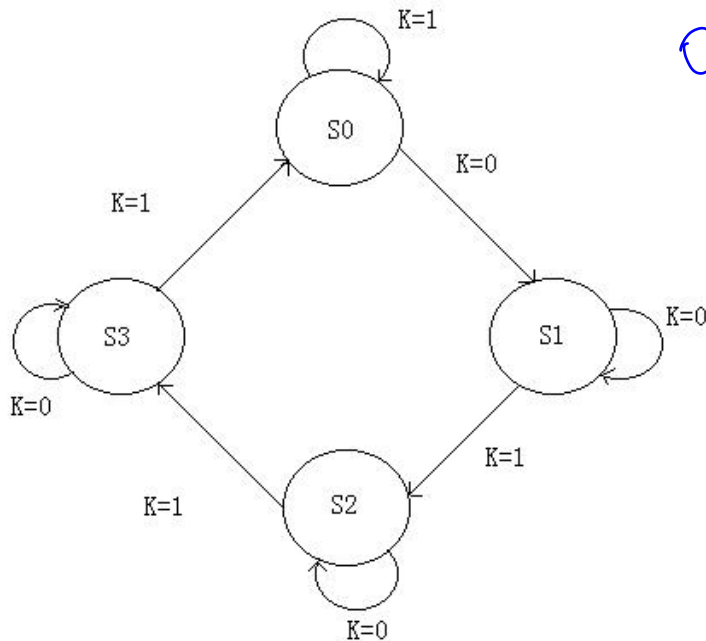


图 1

$$\begin{cases} Q_3^{n+1} = \overline{Q_3} \overline{Q_2} \overline{Q_1} \\ Q_2^{n+1} = Q_3 \overline{Q_2} \overline{Q_1} + \overline{Q_3} Q_2 Q_1 \\ Q_1^{n+1} = Q_3 \overline{Q_2} \overline{Q_1} + \overline{Q_3} Q_2 \overline{Q_1} \end{cases}$$

激励方程

$$\begin{cases} D_1 = Q_1^{n+1} \\ D_2 = Q_2^{n+1} \\ D_3 = Q_3^{n+1} \end{cases}$$

六、小型控制器设计 (14 分)

某数字系统，它的 ASM 图如图 2 所示，设计多路选择器型控制器电路。

- (1) 列出状态转移真值表
- (2) 写出多路选择器 MUX 的输入表达式
- (3) 画出控制电路图

VHDL

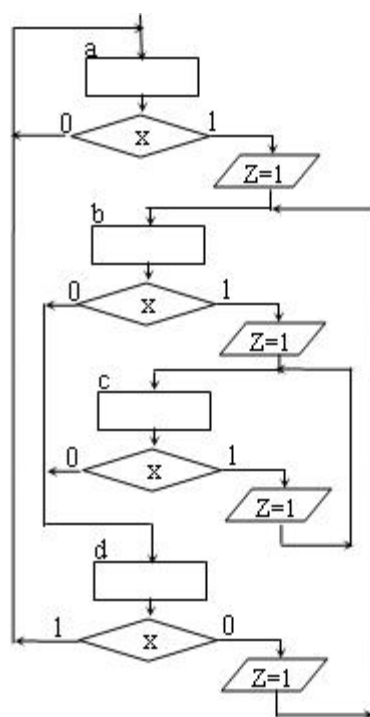


图 2