

## 4.3.3. 集成计数器的应用

### 一. 计数器的级联

两个模为 $N$ 的计数器级联，可实现模为 $N \times N$ 的计数器。

#### 1. 同步级联

图4.29是用两片4位二进制加法计数器74LS161采用同步级联方式构成的8位二进制同步加法计数器，每当片（1）产生进位时（ $C=1$ ），片（2）计数。实现模为 $16 \times 16=256$ 。

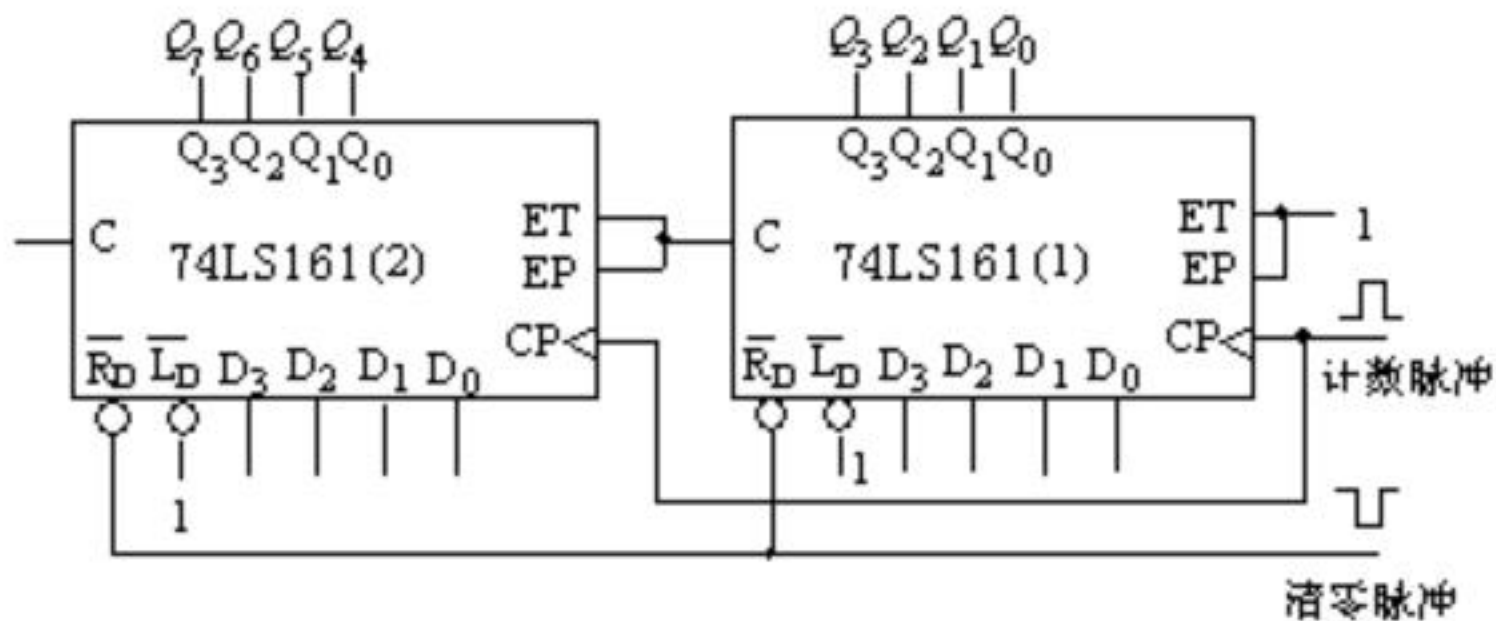


图 4.29 74LS161 同步级联组成 8 位二进制加法计数器

## 2. 异步级联

用两片74LS191采用异步级联方式构成的8位二进制异步可逆计数器如图4.30所示。

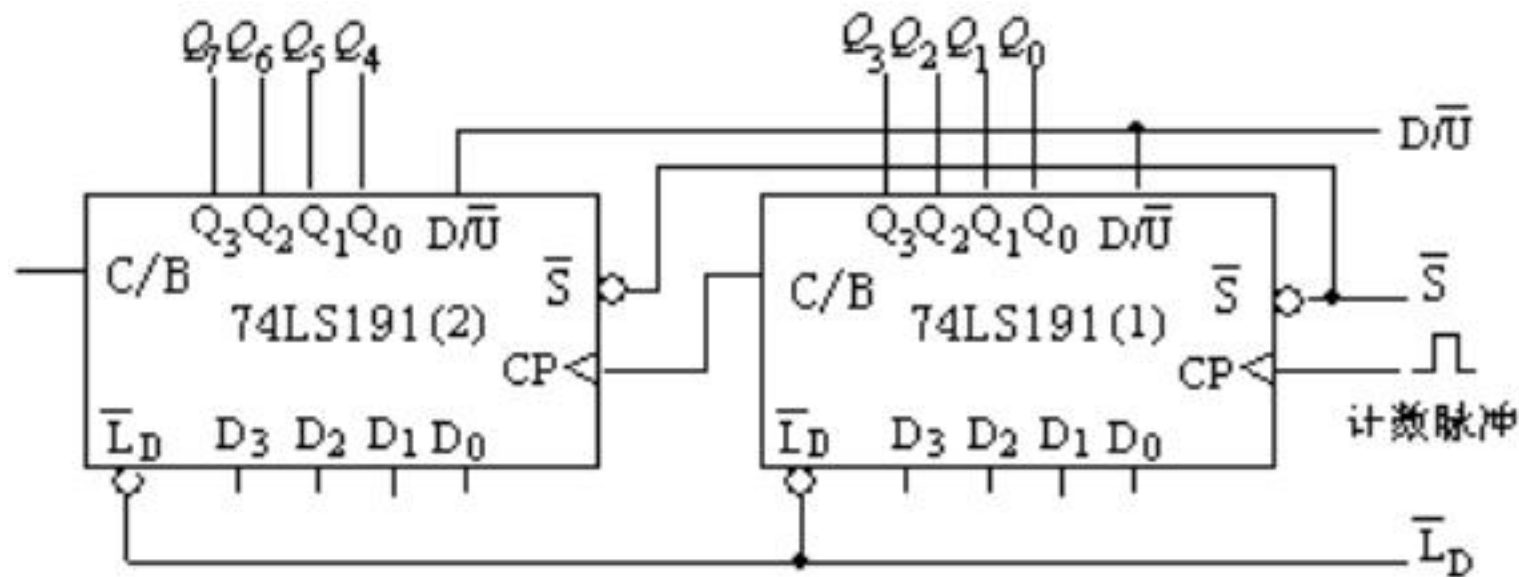


图 4.30 74LS191 异步级联组成 8 位二进制可逆计数器

有的集成计数器没有进位/借位输出端，这时可根据具体情况，用计数器的输出信号 $Q_3$ 、 $Q_2$ 、 $Q_1$ 、 $Q_0$ 产生一个进位/借位。

如用两片二—五—十进制异步加法计数器74LS290采用异步级联方式组成的二位8421BCD码十进制加法计数器如图4.31所示，模为 $10 \times 10 = 100$ 。

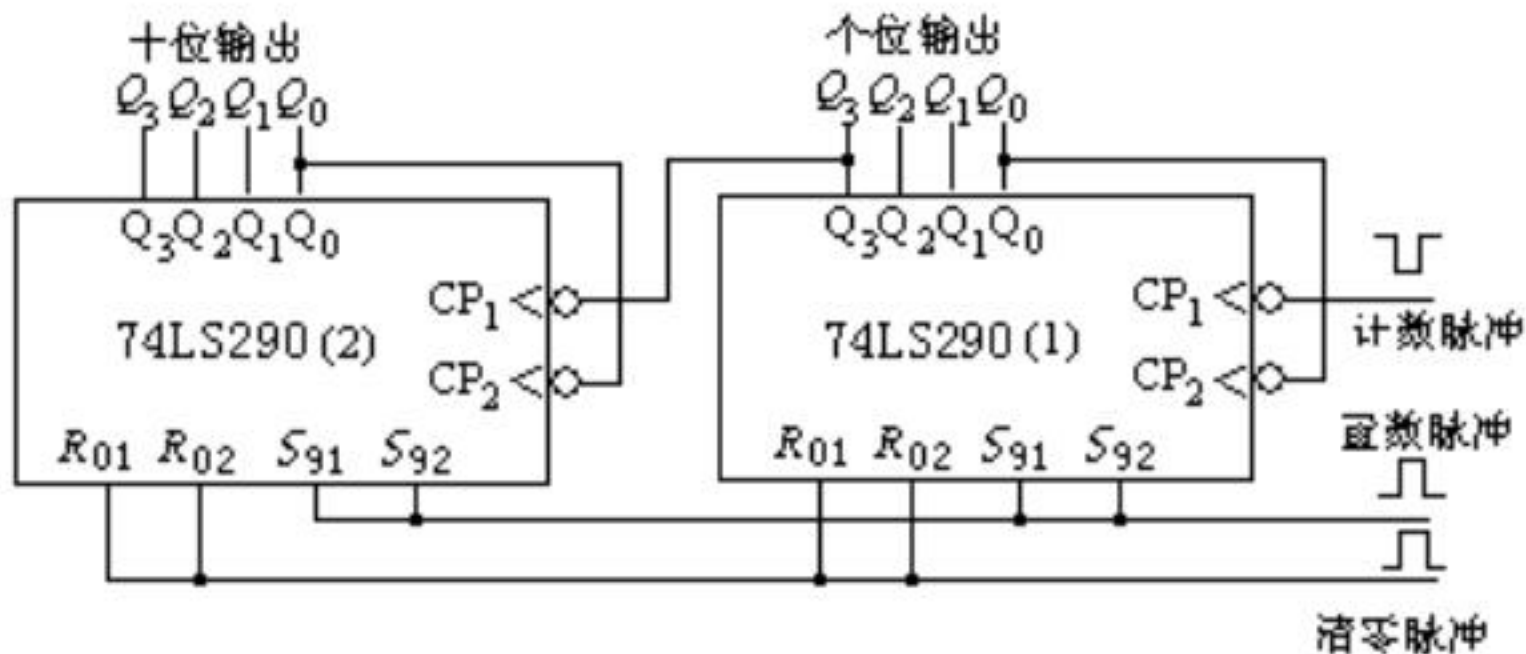


图 4.31 74LS290 异步级联组成 100 进制计数器

## 二. 组成任意进制计数器

市场上能买到的集成计数器一般为二进制和8421BCD码十进制计数器，如果需要其他进制的计数器，可用现有的二进制或十进制计数器，利用其清零端或预置数端，外加适当的门电路连接而成。

### 1. 异步清零法

适用于具有异步清零端的集成计数器。图4.32（a）所示是用集成计数器74LS161和与非门组成的6进制计数器。

由于74LS161为异步清零，状态0110为暂态，其状态转换图如图4.32（b）。

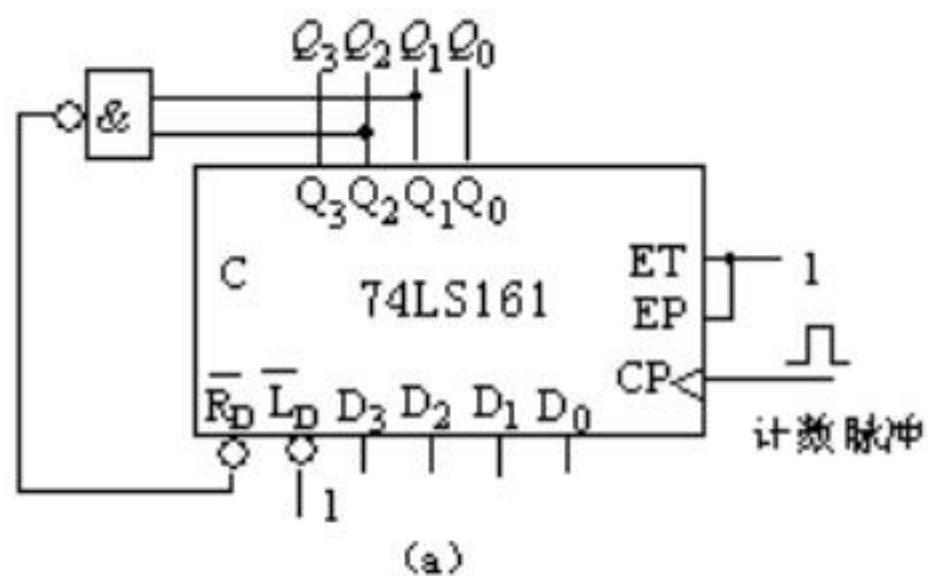
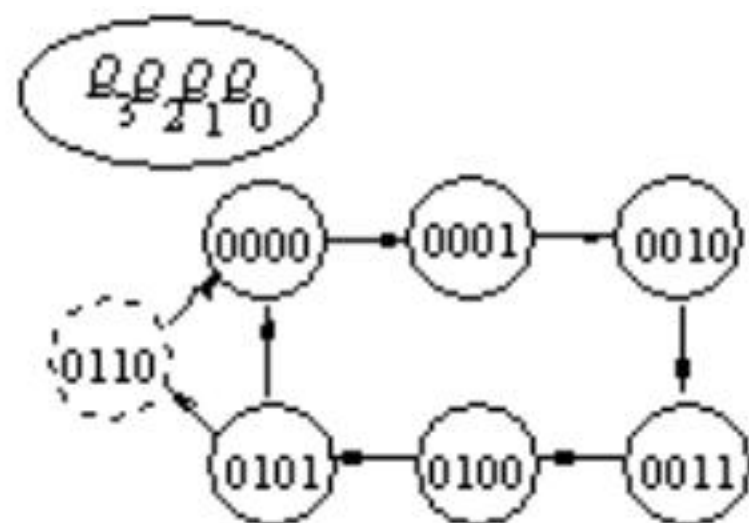


图 4.32 异步清零法组成  $M=6$  计数器



## 2. 同步清零法

适用于具有同步清零端的集成计数器。图4.33 (a) 所示是用集成计数器74LS163和与非门组成的6进制计数器。其状态转换图如图4.33 (b)。

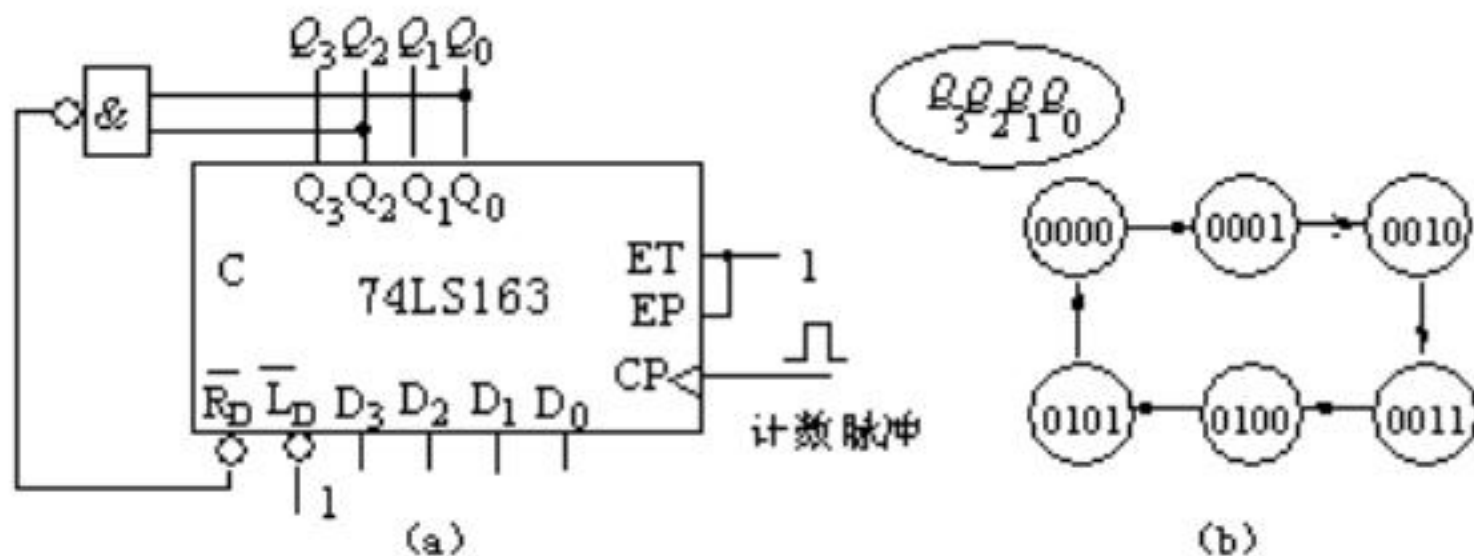
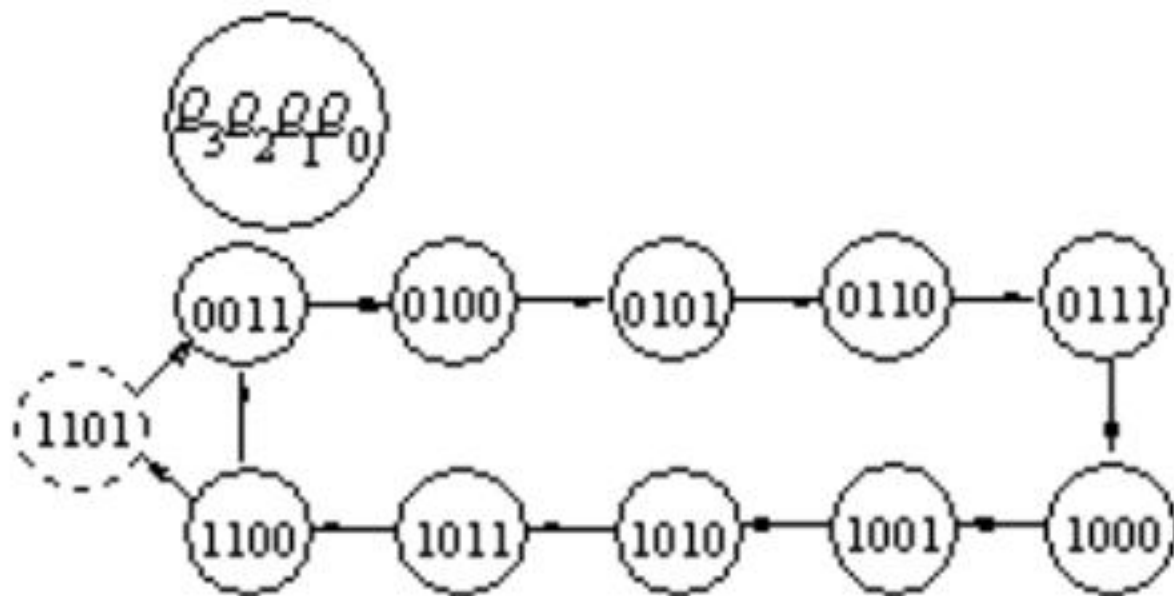


图 4.33 同步清零法组成 6 进制计数器

### 3. 异步预置数法

利用74LS191和与非门组成余3码计数器。



(a)



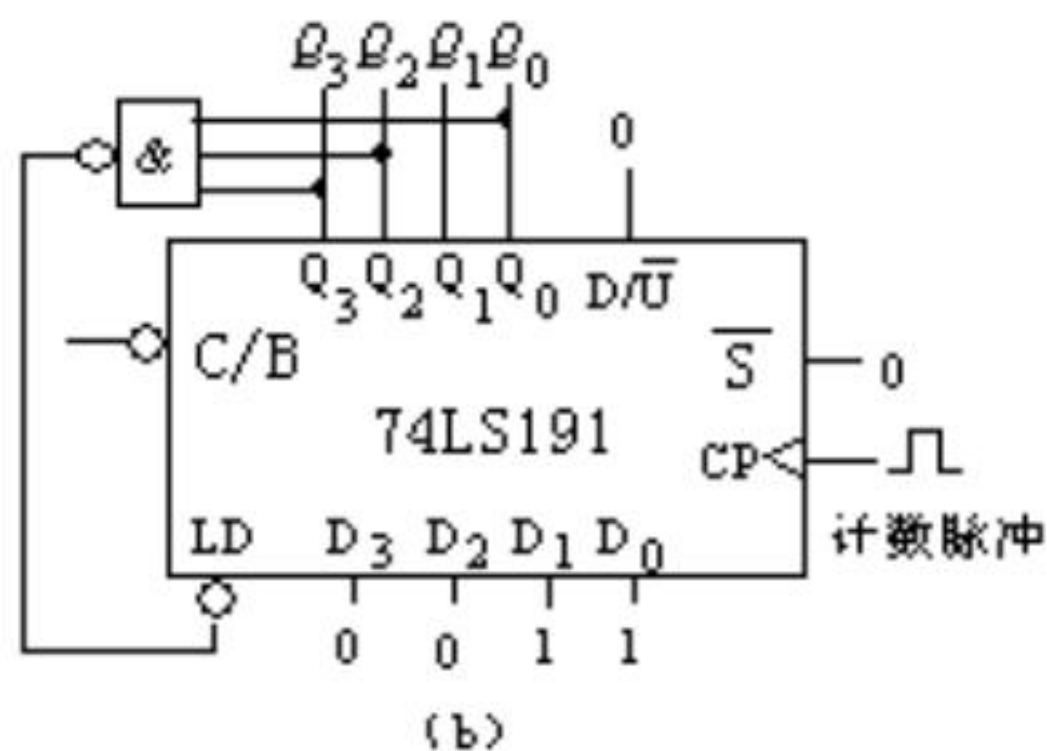


图 4.34 用异步置数法构成余 3 码十进制计数器

## 4. 同步预置数法

适用于具有同步预置端的集成计数器。图4.35 (a)所示是用集成计数器74LS160和与非门组成的7进制计数器。

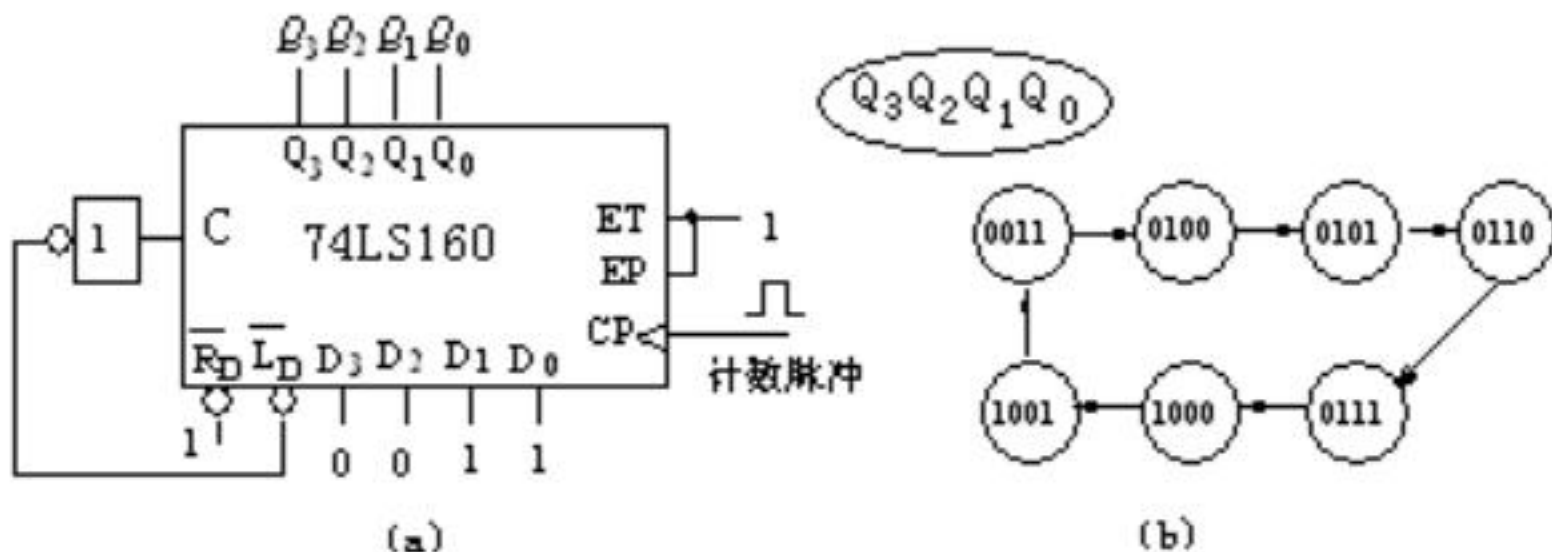


图 4.35 同步置数法组成模 7 计数器

综上所述，改变集成计数器的模可用清零法，也可用预置数法。清零法比较简单，预置数法比较灵活。但不管用那种方法，都应首先搞清所用集成组件的清零端或预置端是异步还是同步工作方式，根据不同的工作方式选择合适的清零信号或预置信号。

**【例4.4】**用74LS160组成48进制计数器。

解：因为 $N=48$ ，而74LS160为模10计数器，所以要用两片74LS160构成此计数器。

先将两芯片采用同步级联方式连接成100进制计数器。

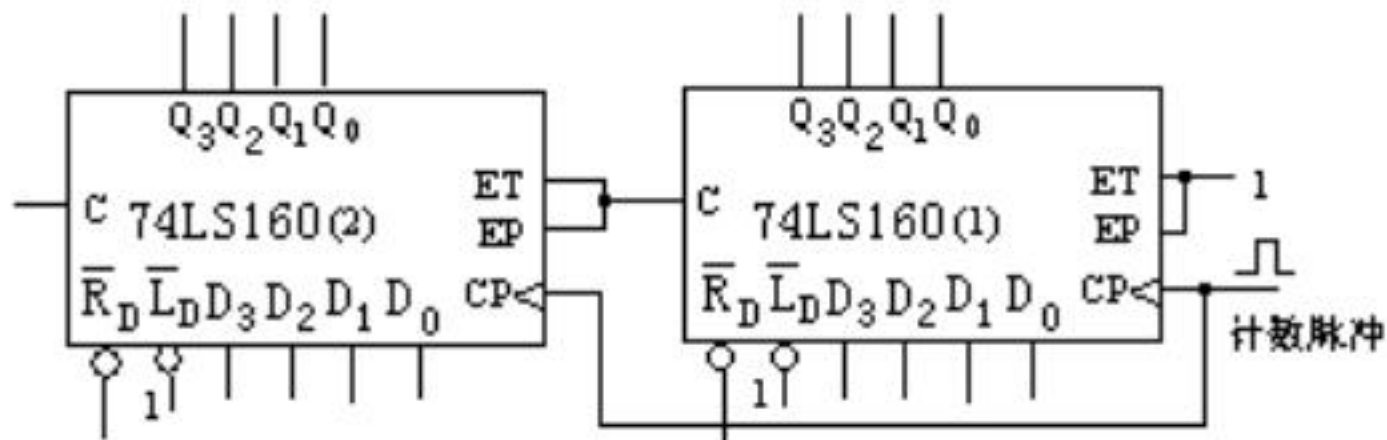


图 4.36 例 4.4 的逻辑电路图 模100计数器

然后再借助74LS160异步清零功能，当计数值为48（十进制）时，（此时计数器输出状态为0100 1000），即当高位片（2）的 $Q_2$ 和低位片（1）的 $Q_3$ 同时为1，使两芯片异步清零端有效，则计数器立即返回0000 0000状态。

状态0100 1000仅在极短的瞬间出现，为过渡状态，这样，就组成了48进制计数器，其逻辑电路如图4.36所示。

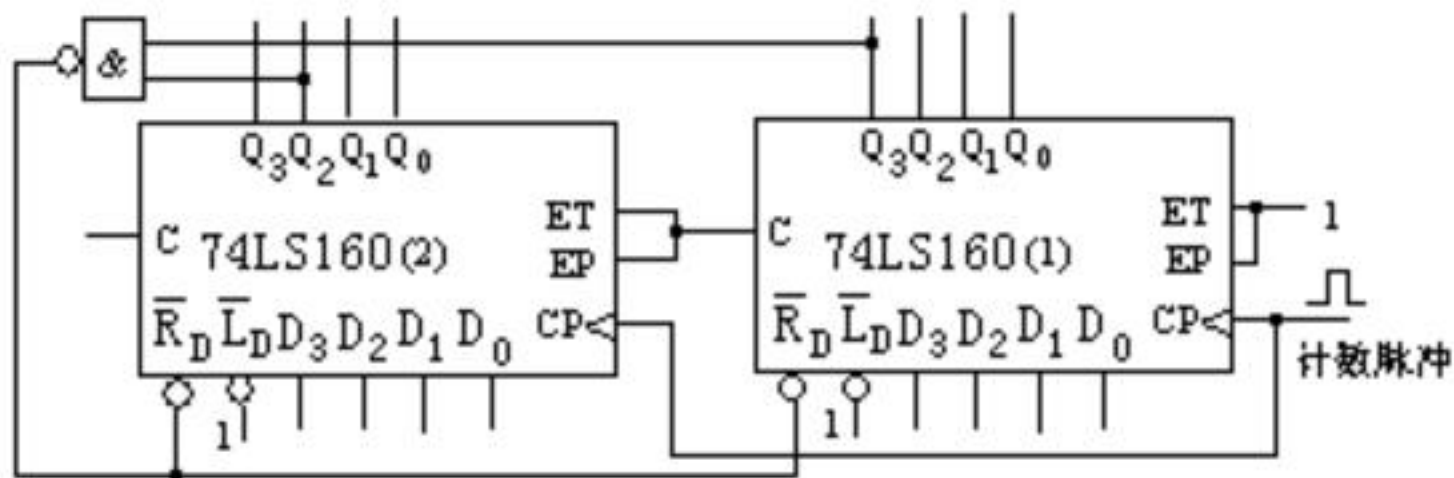
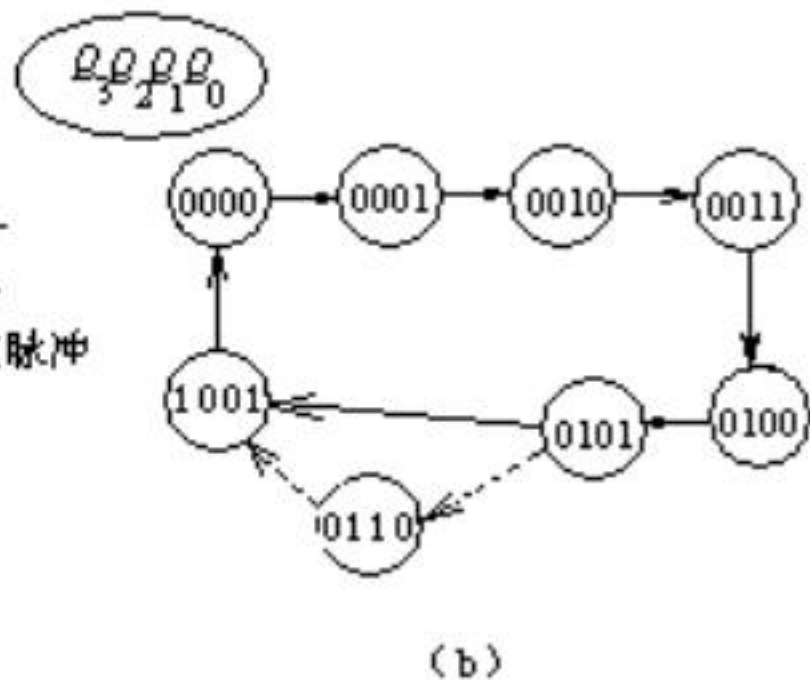
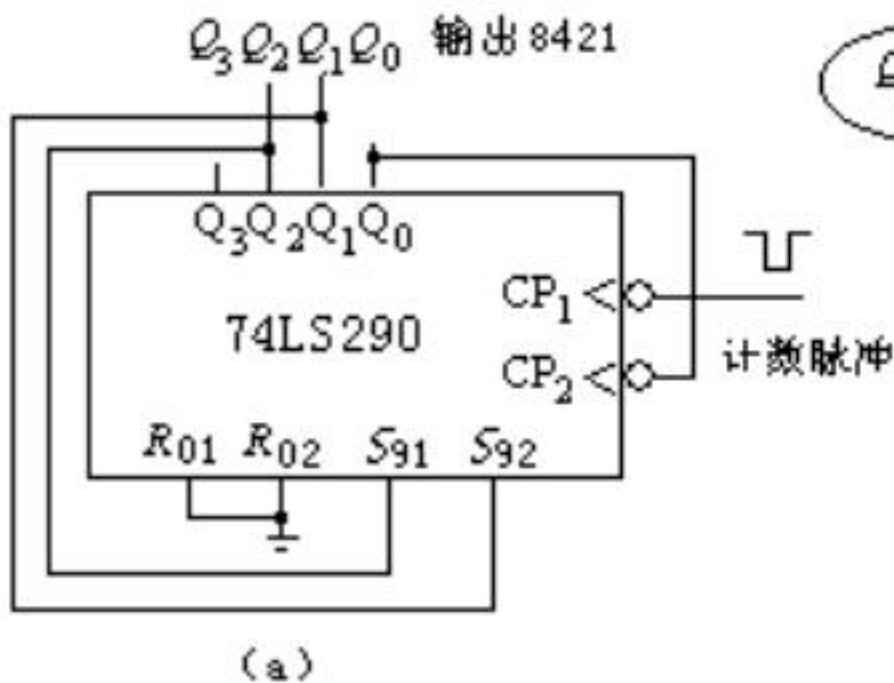


图 4.36 例 4.4 的逻辑电路图

**【例4.5】** 在不增加任何逻辑门电路的情况下，采用置9和清零两种方法用74LS290实现模为7的计数器。

解（1）用置9法实现，74LS290采用异步清零和异步置9，用置9法实现时，可将74LS290接成8421模十计数器，并在0110（6，该状态为暂态）时置9。其逻辑图和状态转换图如图4.37（a）、（b）。



(2) 用清零法实现时，若接成8421模十计数器，则应在0111（7，该状态为暂态）时清零，但需添加逻辑器件才能实现，因而考虑采用5421模十计数器，此时时钟信号从 $CP_2$ 输入， $Q_3$ 接 $CP_1$ ， $Q_0Q_3Q_2Q_1$ 作为输出，在 $Q_0Q_3Q_2Q_1$ 为1010（7）时清零。其逻辑图和状态转换图如图4.37（c）、（d）。

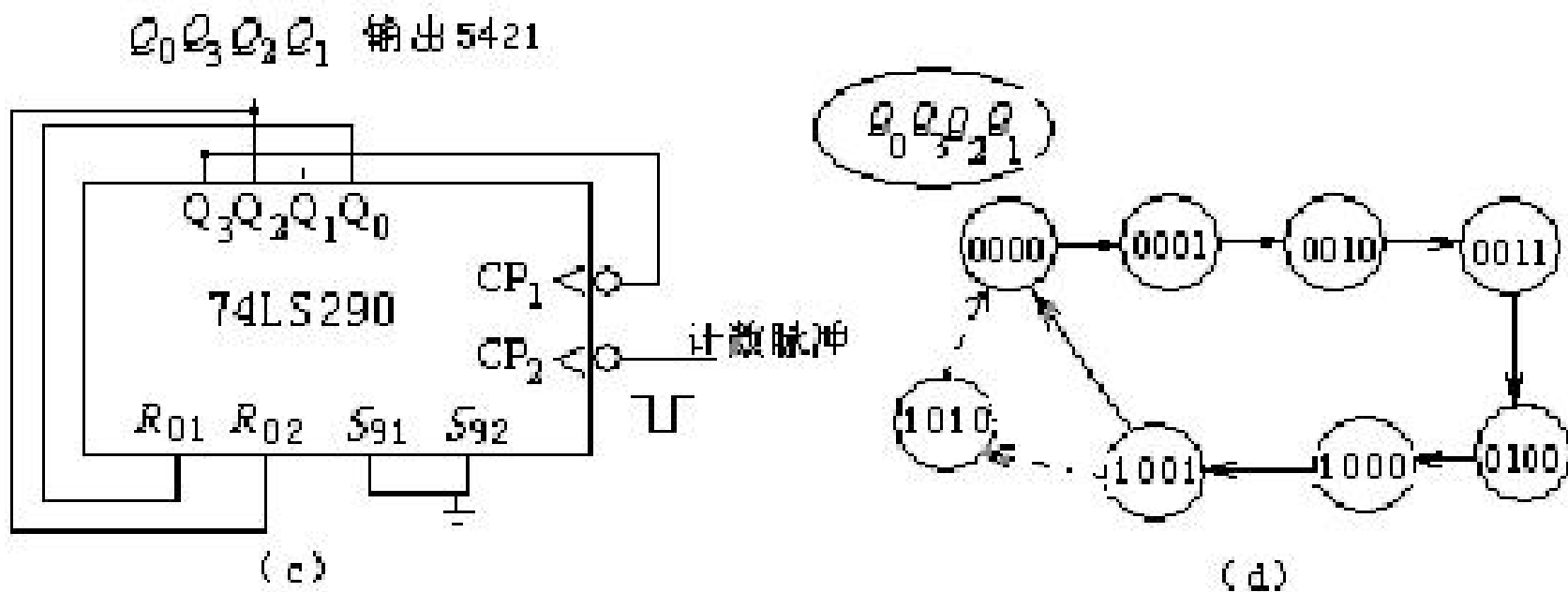


图 4.37 【例 4.5】的逻辑电路及状态转换图

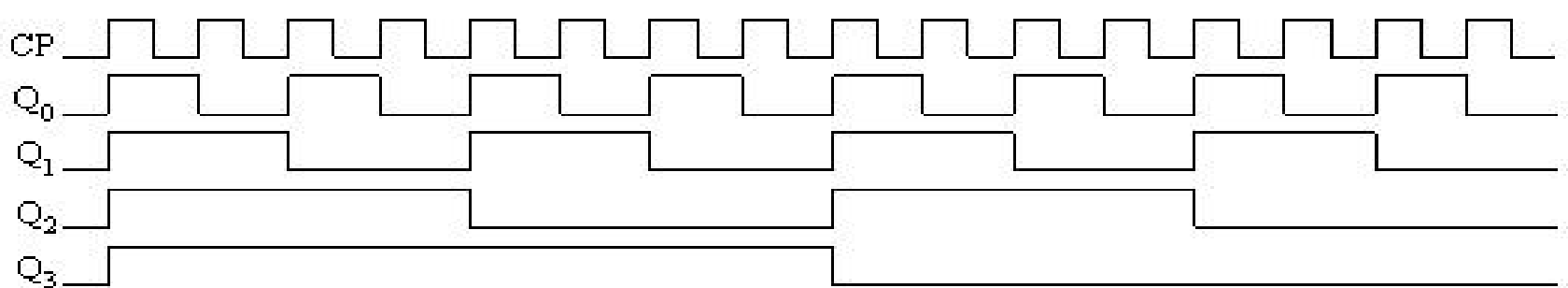


图 4.25 图 4.24 电路的时序图

### 三. 组成分频器

前面提到，模 $N$ 计数器进位输出端输出脉冲的频率是输入脉冲频率的 $1/N$ ，因此可用模 $N$ 计数器组成 $N$ 分频器。

**【例4.6】**某石英晶体振荡器输出脉冲信号的频率为128kHz，用74LS161组成分频器，将其分频为频率为1kHz的脉冲信号。

**解：** 因为 $128=2^7$ ，经7级二分频，就可获得频率为1kHz的脉冲信号。因此将两片74LS161同步级联，从高位片的 $Q_2$ 输出即可，其逻辑电路如图4.38所示。



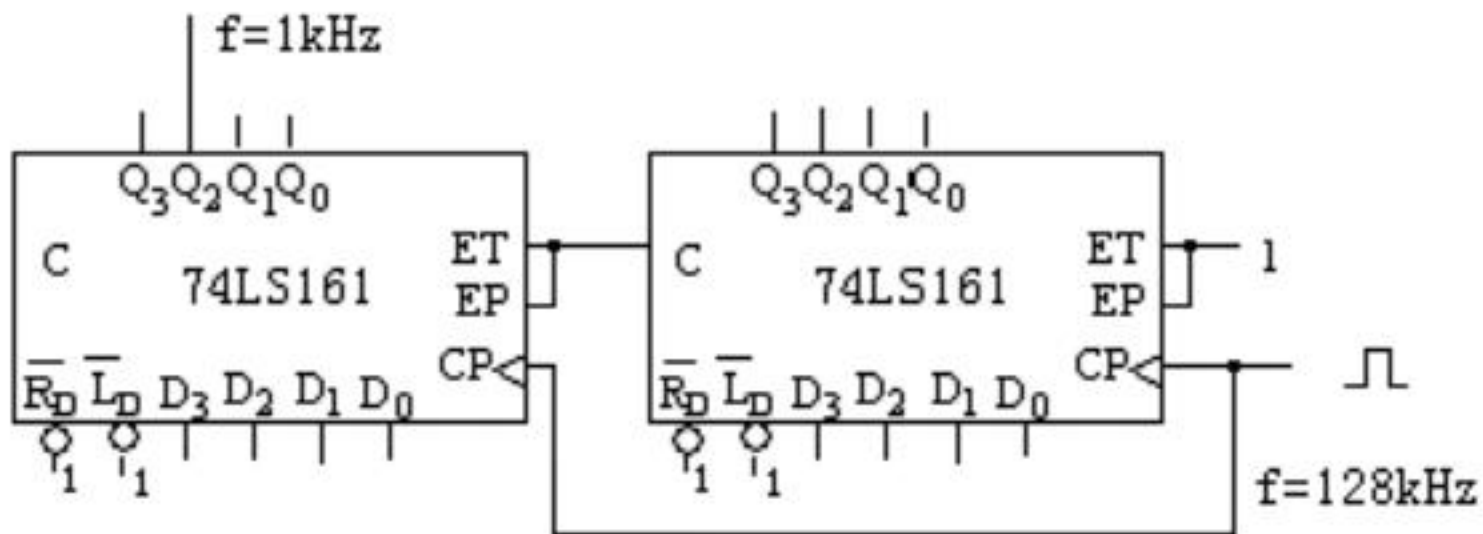


图 4.38 【例 4.6】的逻辑电路图

## 四. 组成序列信号发生器

序列信号是在时钟脉冲作用下产生的一串周期性的二进制信号。

图4.39是用74LS161及门电路构成的序列信号发生器。其中74LS161与 $G_1$ 构成了一个模5计数器，且 $Z = Q_0 \overline{Q_2}$ 。

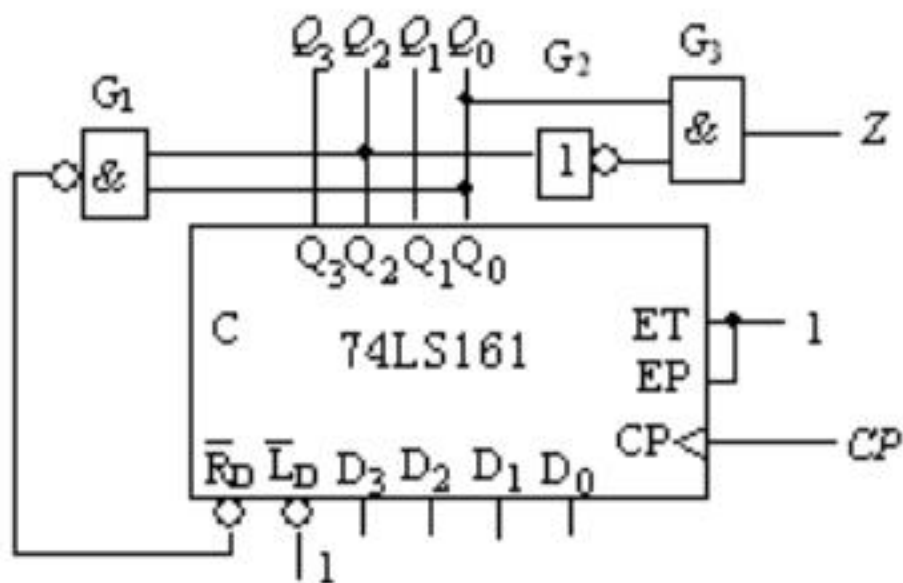


图 4.39 计数器组成序列信号发生器

在CP作用下，计数器的状态变化如表4.13所示。由于  $Z = Q_0 \overline{Q_2}$ ，故不同状态下的输出如该表的右列所示。因此，这是一个01010序列信号发生器，序列长度  $P=5$ 。

表 4. 13      状态表

现 态			次态			输出
$Q_2^n$	$Q_1^n$	$Q_0^n$	$Q_2^{n+1}$	$Q_1^{n+1}$	$Q_0^{n+1}$	$Z$
0	0	0	0	0	1	0
0	0	1	0	1	0	1
0	1	0	0	1	1	0
0	1	1	1	0	0	1
1	0	0	0	0	0	0

在实际使用过程中，我们用计数器辅以数据选择器可以方便地构成各种序列发生器。构成的方法如下：

第一步 构成一个模 $P$ 计数器， $P$ 为序列长度；

第二步 选择适当的数据选择器，把欲产生的序列按规定的顺序加在数据选择器的数据输入端，并将其地址输入端与计数器的输出端适当地连接在一起。

**【例4.7】**试用计数器74LS161和数据选择器设计一个01100011序列发生器。

**解：**由于序列长度 $P=8$ ，故将74LS161构成模8计数器，并选用数据选择器74LS151产生所需序列，从而得电路如图4.40所示。

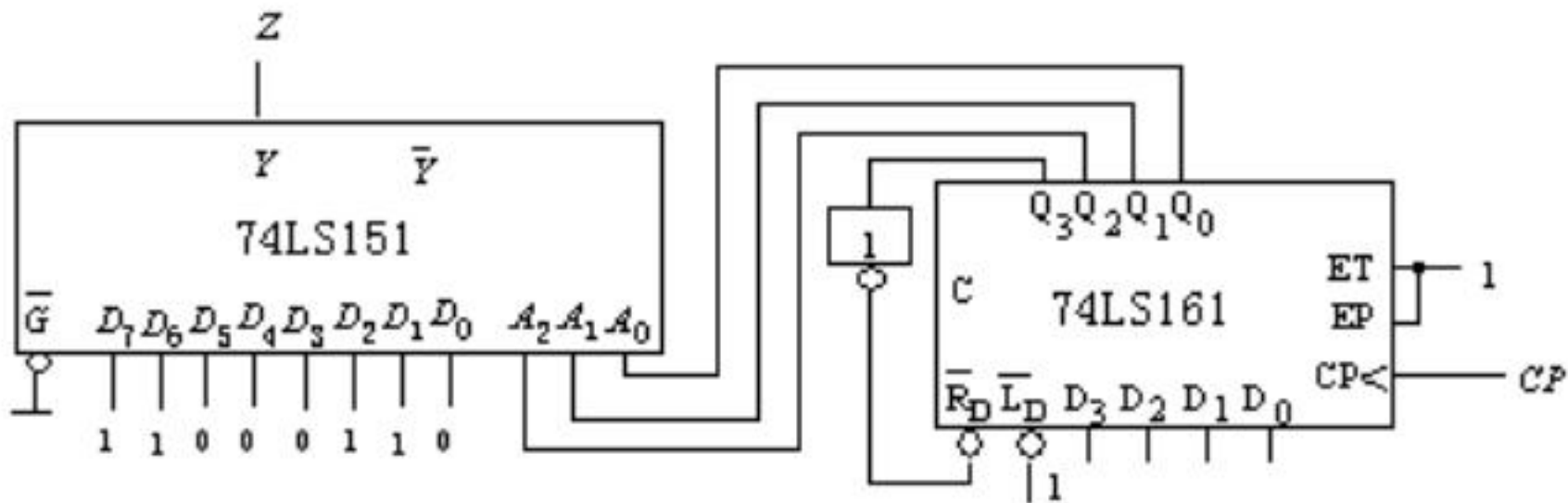
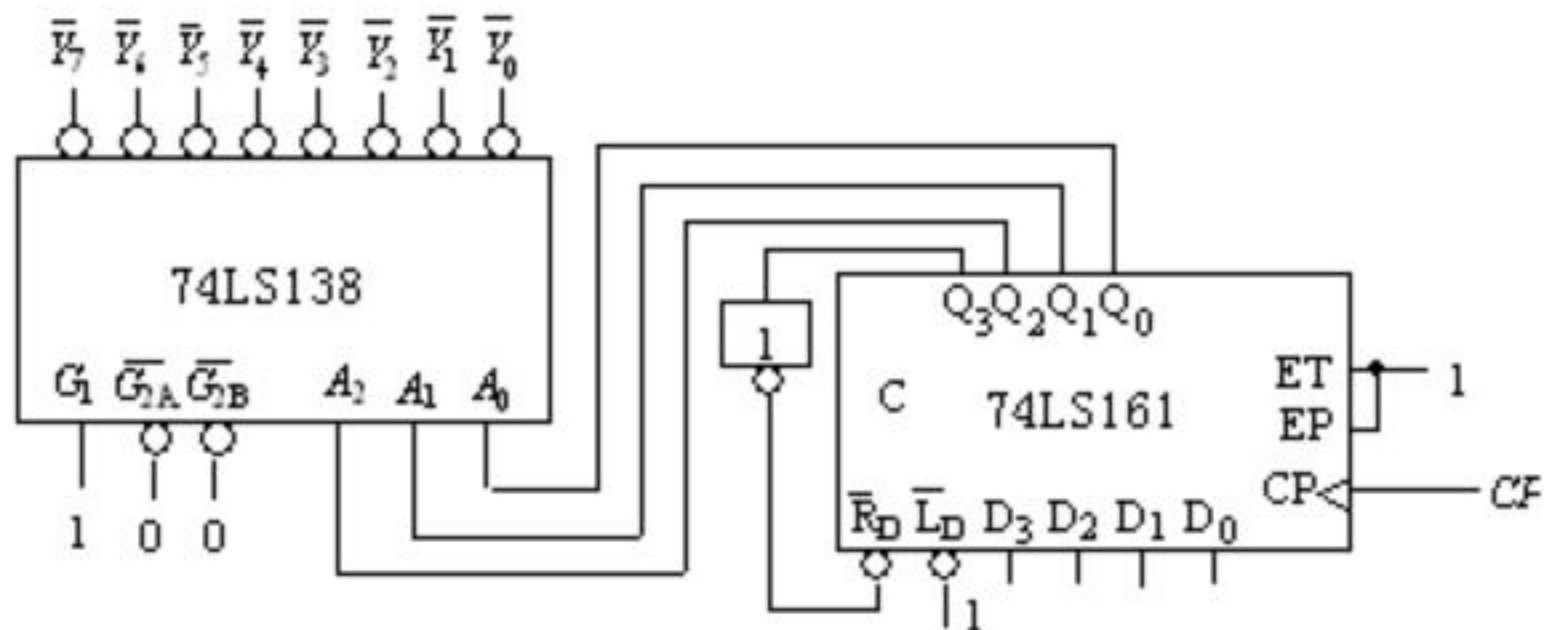


图 4.40 计数器和数据选择器组成序列信号发生器

## 五. 组成脉冲分配器

脉冲分配器是数字系统中定时部件的组成部分，它在时钟脉冲作用下，顺序地使每个输出端输出节拍脉冲，用以协调系统各部分的工作。

图4.41（a）为一个由计数器74LS161和译码器74LS138组成的脉冲分配器。74LS161构成模8计数器，输出状态 $Q_2Q_1Q_0$ 在000~111之间循环变化，通过译码，在译码器输出端分别得到图4.41（b）所示的脉冲序列。



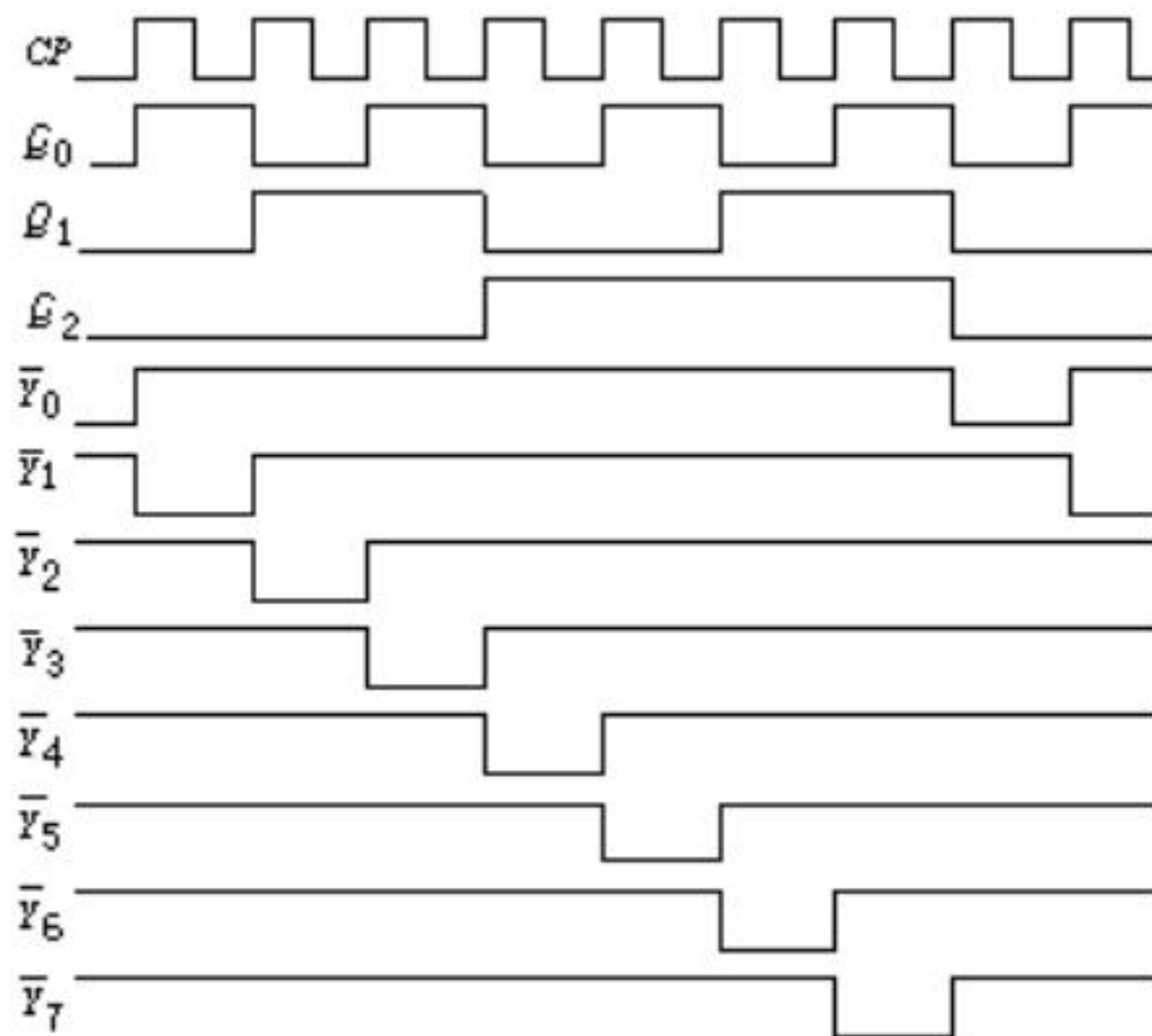


图 4.41 计数器和译码器组成脉冲分配器波形

## 4.4 寄存器和移位寄存器

### 一. 寄存器

寄存器——存储二进制数码的时序电路组件，它具有接收和寄存二进制数码的逻辑功能。

前面介绍的各种集成触发器，就是一种可以存储一位二进制数的寄存器，用 $n$ 个触发器就可以存储 $n$ 位二进制数。

#### 4位集成寄存器74LS175

该电路的数码接收过程为：将需要存储的四位二进制数码送到数据输入端D0~D3，在CP端送一个时钟脉冲，脉冲上升沿作用后，四位数码并行地出现在四个触发器Q端。



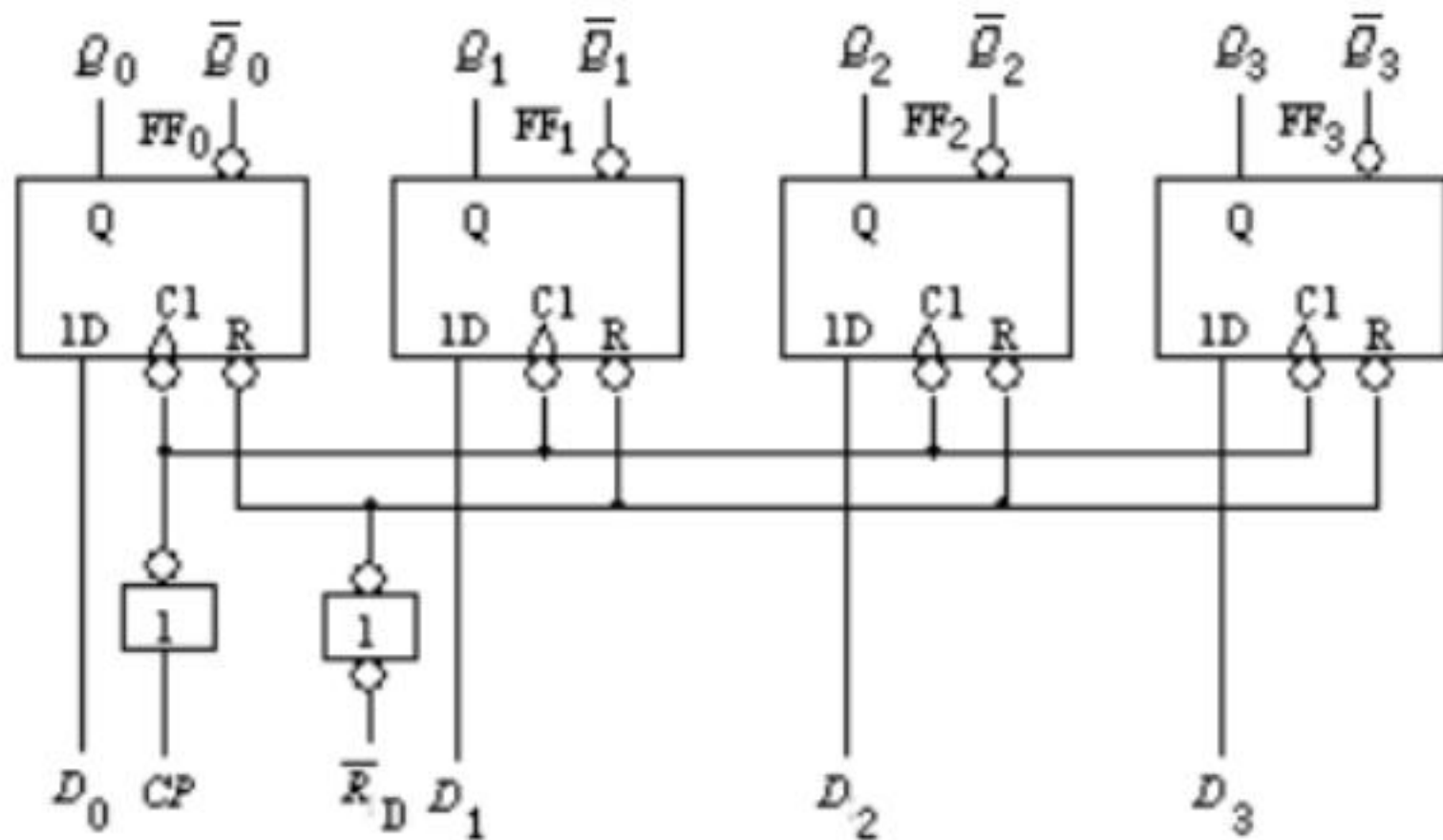


图4.42 4位集成寄存器74LS175（逻辑图）

表 4.14 74LS175 的功能表

清零	时钟	输 入				输 出				工作模式
$\overline{R_D}$	$CP$	$D_0$	$D_1$	$D_2$	$D_3$	$Q_0$	$Q_1$	$Q_2$	$Q_3$	
0	×	×	×	×	×	0	0	0	0	异步清零 数码寄存 数据保持 数据保持
1	↑	$D_0$	$D_1$	$D_2$	$D_3$	$D_0$	$D_1$	$D_2$	$D_3$	
1	1	×	×	×	×	保 持				
1	0	×	×	×	×	保 持				

## 二. 移位寄存器

移位寄存器不但可以寄存数码，而且在移位脉冲作用下，寄存器中的数码可根据需要向左或向右移动1位。移位寄存器也是数字系统和计算机中应用很广泛的基本逻辑部件。

## 1、4 位单向右移寄存器

图4.43为由D触发器组成的4位右移寄存器。其连接规律为：

$$D_0 = D_I \quad D_i = Q_{i-1} \quad (i=1,2,\dots,n)$$

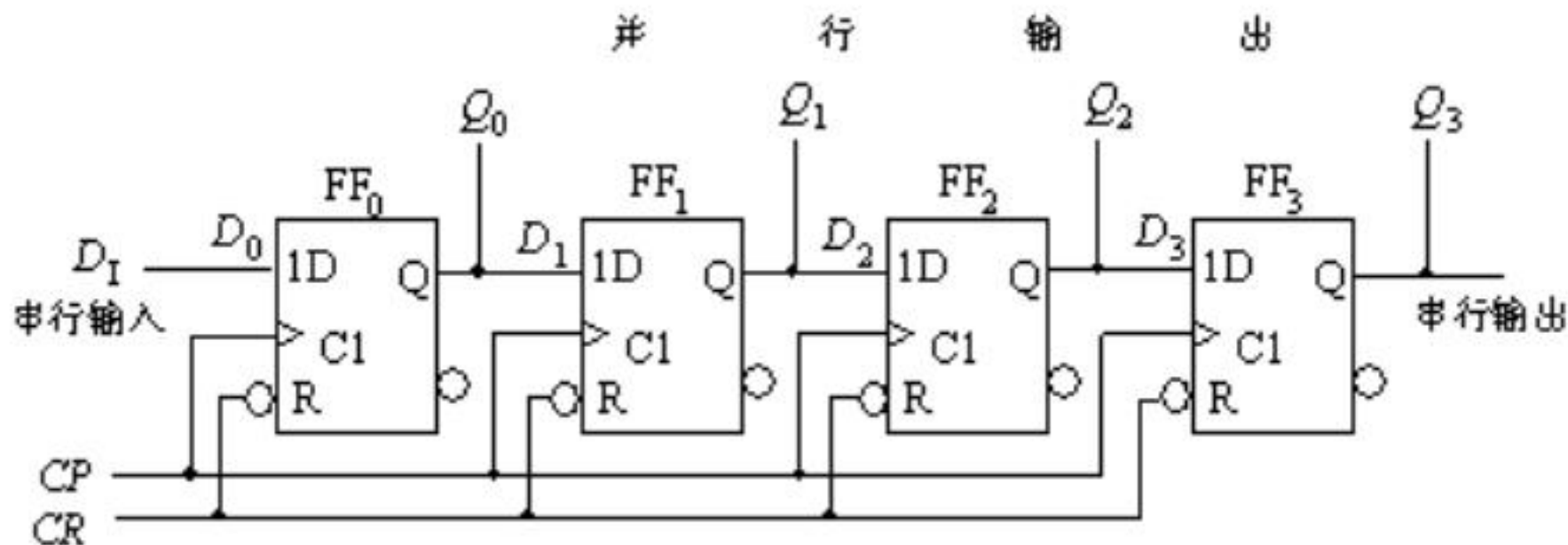


图 4.43 D 触发器组成的 4 位右移寄存器

设移位寄存器的初始状态为0000，串行输入数码 $D_I=1101$ ，从高位到低位依次输入。在4个移位脉冲作用下，输入的4位串行数码1101全部存入了寄存器中。电路的状态表如表4.15所示，时序图如图4.44所示。

表 4.15 右移寄存器的状态表

移位脉冲	输入数码	输 出			
$CP$	$D_I$	$Q_0$	$Q_1$	$Q_2$	$Q_3$
0		0	0	0	0
1	1	1	0	0	0
2	1	1	1	0	0
3	0	0	1	1	0
4	1	1	0	1	1

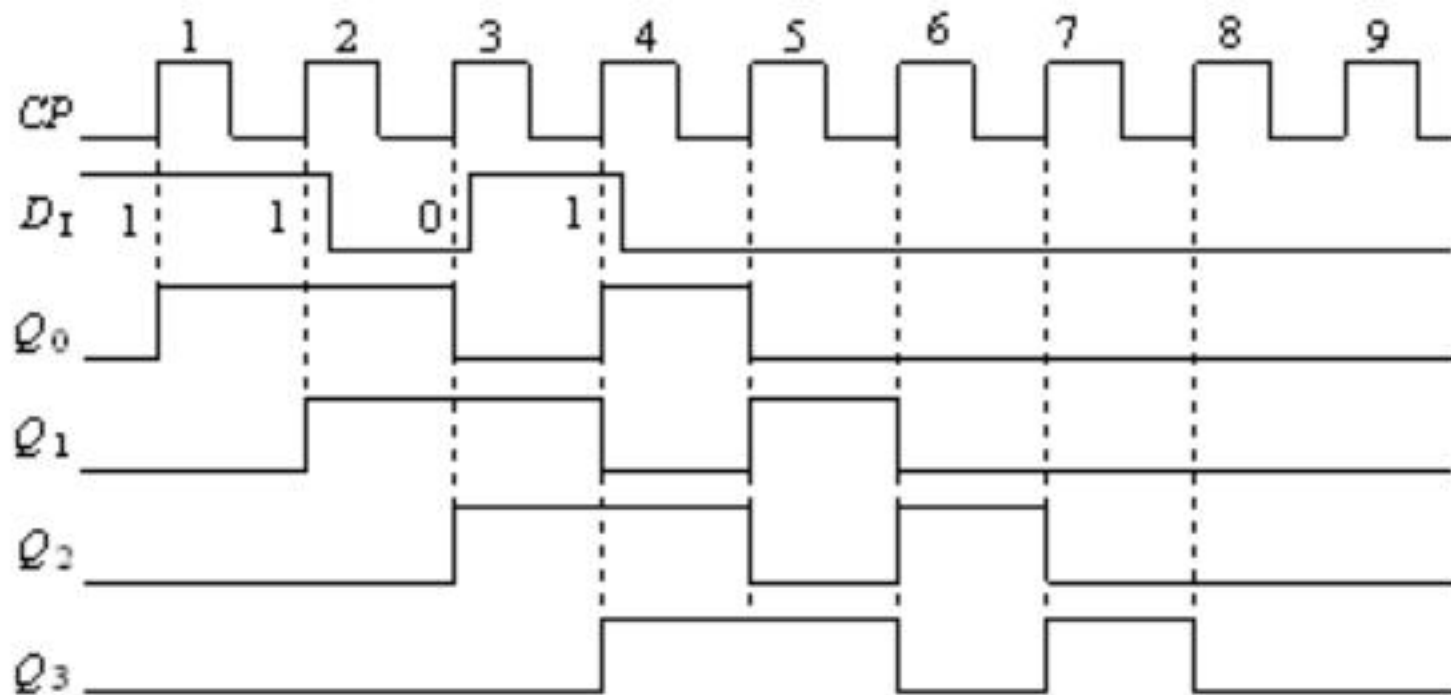


图 4.44 图 4.42 电路 的时序图

移位寄存器中的数码可由 $Q_3$ 、 $Q_2$ 、 $Q_1$ 和 $Q_0$ 并行输出，也可从 $Q_3$ 串行输出。串行输出时，要继续输入4个移位脉冲，才能将寄存器中存放的4位数码1101依次输出。

图4. 44中第4到第7个 $CP$ 脉冲及所对应的 $Q_3$ 波形，就是将4位数码1101串行输出的过程。所以，移位寄存器具有串行输入—并行输出和串行输入—串行输出两种工作方式。

## 2、4位左移寄存器

由D触发器组成的4位左移寄存器如图4. 45所示，其连接规律为：

$$D_n = D_I \quad D_i = Q_{i+1} \quad (i=0,2,\dots,n-1)$$

该移位寄存器的工作原理与右移寄存器相同, 请同学们自行分析电路的状态表和时序图。

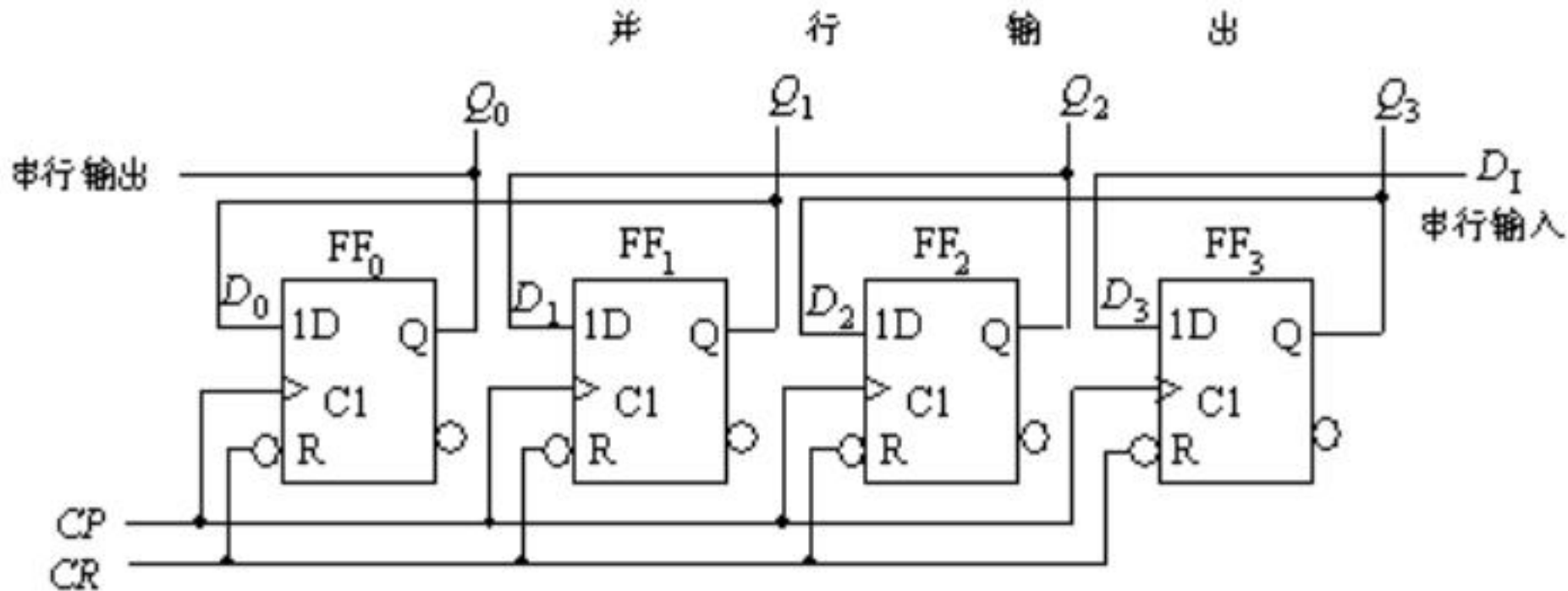


图 4.45 D 触发器组成的 4 位左移寄存器

### 3、双向移位寄存器

将图4.43所示的右移寄存器和图4.45所示的左移寄存器组合起来，并引入一控制端S便构成既可左移又可右移的双向移位寄存器，其驱动方程为：

$$D_0 = \overline{S \overline{D_{IR}} + \overline{S} \overline{Q_1}} \quad D_1 = \overline{S \overline{Q_0} + \overline{S} \overline{Q_2}}$$

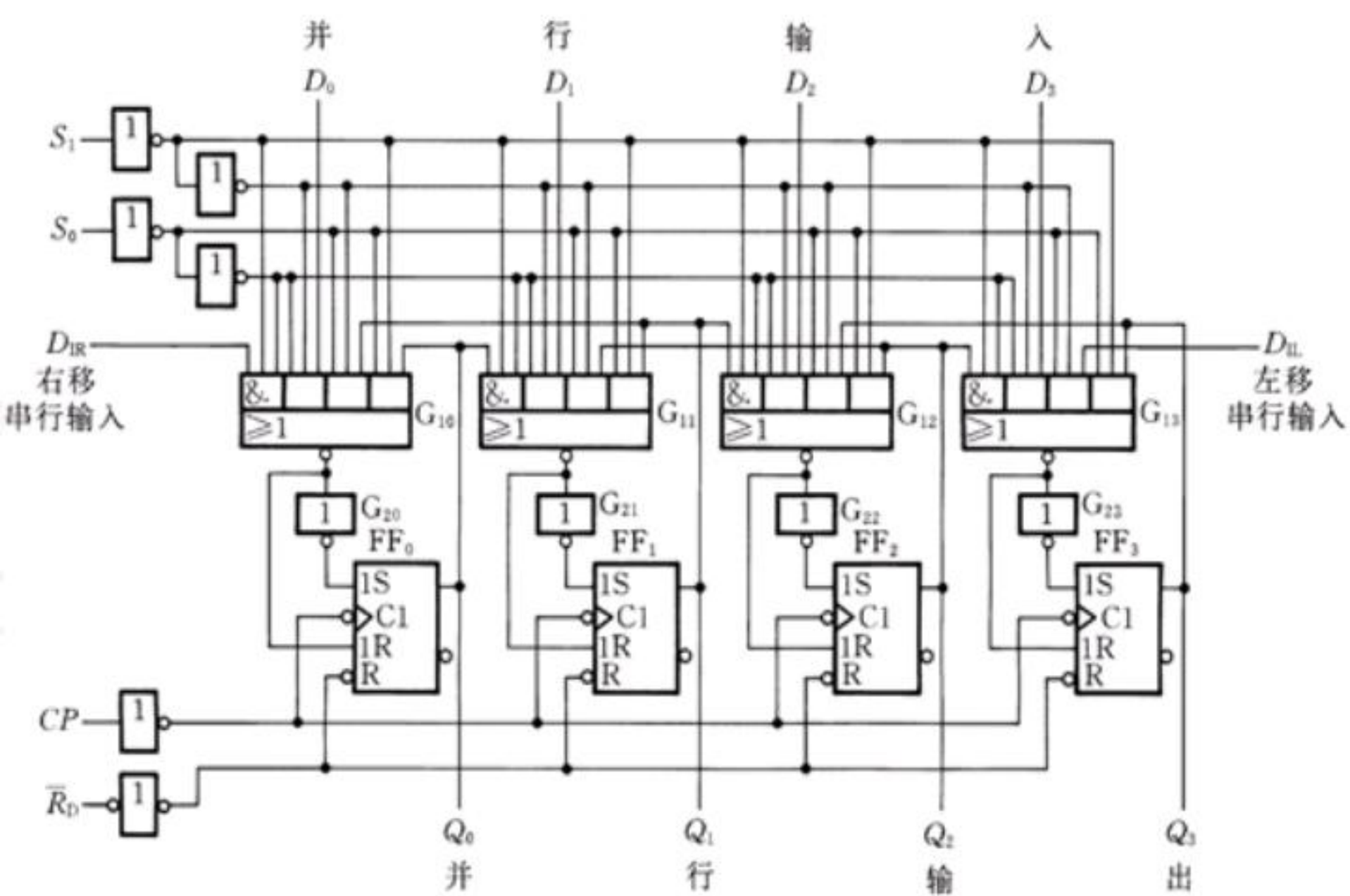
$$D_2 = \overline{S \overline{Q_1} + \overline{S} \overline{Q_3}} \quad D_3 = \overline{S \overline{Q_2} + \overline{S} \overline{D_{IL}}}$$

其中， $D_{IR}$ 为右移串行输入端， $D_{IL}$ 为左移串行输入端。  
可见， $S=1$ 时实现右移操作， $S=0$ 时实现左移操作，

## 四. 集成移位寄存器74LS194A

图4.46为4位双向集成移位寄存器74LS194A逻辑图。图中，四个RS触发器的输入端加入互补信号实现D触发器功能。





两个控制信号 $S_1$ 、 $S_0$ 实现对数据保持、左移、右移、置数等四种功能的选择；这一选择是通过 $S_1$ 、 $S_0$ 会同四个与或非门构成四个4选1数据选择器来实现的。

$D_{IR}$ 为右移串行输入端， $D_{IL}$ 为左移串行输入端；

$D_0$ 、 $D_1$ 、 $D_2$ 和 $D_3$ 是并行输入端。

$Q_0$ 和 $Q_3$ 分别是左移和右移时的串行输出端。

$Q_0$ 、 $Q_1$ 、 $Q_2$ 和 $Q_3$ 为并行输出端。

$$Q^{n+1} = S + \bar{R}Q^n;$$

下面以 FF2 为例，分析移位寄存器的工作

$$RS=0$$

(约束条件)

(1) 当  $S_1S_0=00$  时，4 选 1 数据选择器  $G_{12}$  最右边的输入信号  $Q_2$  被选中，使触发器  $FF_2$  的输入端  $S = Q_2$ ， $R = \bar{Q}_2$ ，所以当 CP 上升沿

到来时,  $FF_2$  被置成  $Q_2^{n+1} = Q_2$ 。即不论有无  $CP$  到来, 各触发器状态不变, 工作在保持状态。

(2) 当  $S_1S_0=01$  时, 4 选 1 数据选择器  $G_{12}$  最左边的输入信号  $Q_1$  被选中, 使触发器  $FF_2$  的输入端  $S = Q_1$ ,  $R = \overline{Q_1}$ , 所以当  $CP$  上升沿到来时,  $FF_2$  被置成  $Q_2^{n+1} = Q_1$ 。使触发器工作在右移状态。

(3) 当  $S_1S_0=10$  时, 4 选 1 数据选择器  $G_{12}$  最右边第二个输入信号  $Q_3$  被选中, 使触发器  $FF_2$  的输入端  $S = Q_3$ ,  $R = \overline{Q_3}$ , 所以当  $CP$  上升沿到来时,  $FF_2$  被置成  $Q_2^{n+1} = Q_3$ 。使触发器工作在左移状态。

(4) 当  $S_1S_0=11$  时, 4 选 1 数据选择器  $G_{12}$  最左边第二个输入信号

$D_2$  被选中, 使触发器  $FF_2$  的输入端  $S = D_2$ ,  $R = \bar{D}_2$ , 所以当 CP 上升沿到来时,  $FF_2$  被置成  $Q_2^{n+1} = D_2$ 。使触发器工作在置数状态。

同理, 可以分析其它触发器的工作状态。

图4.47给出了74LS194A的逻辑符号和引脚排列。

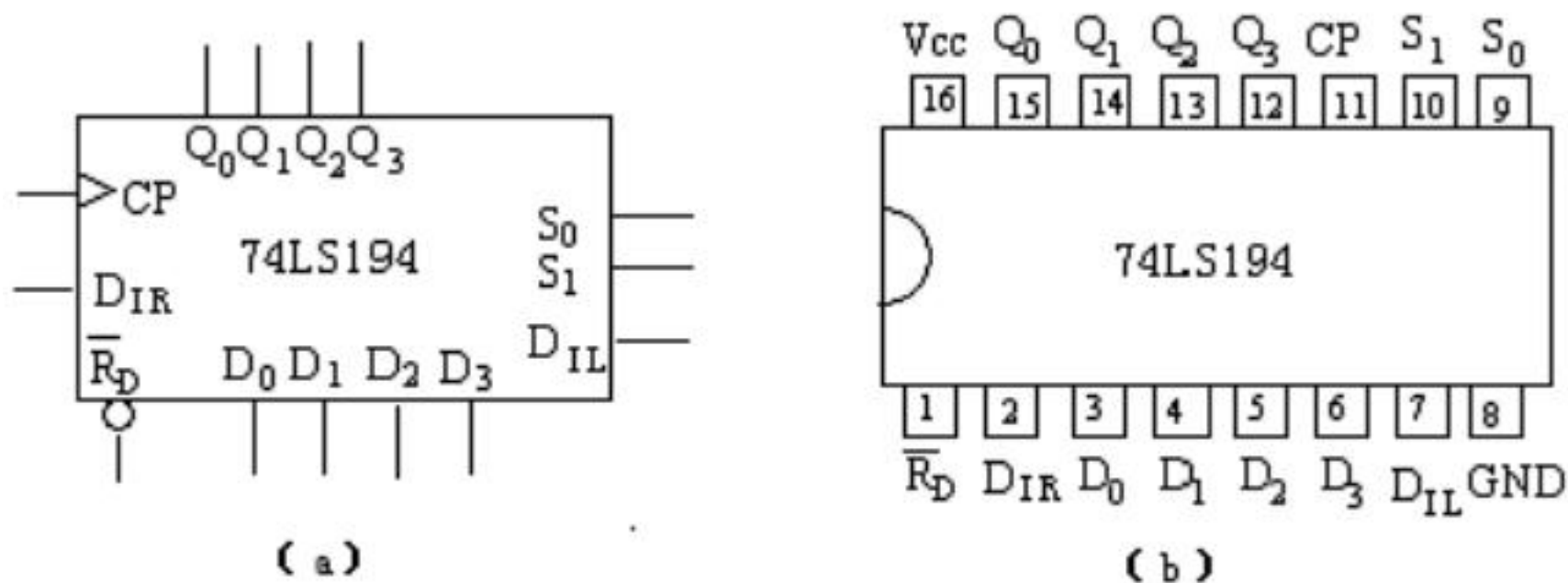


图 4.45 集成移位寄存器 74LS194A (a) 符号 (b) 引脚图

根据上述功能分析，可以得到其功能如表4.16所示。

表 4.16 74LS194A 的功能表

$\overline{R}_D$	$S_1$	$S_0$	工作状态
0	X	X	异步清零
1	0	0	数据保持
1	0	1	数据右移
1	1	0	数据左移
1	1	1	并行置数

**【例4.8】** 试用二片74LS194A扩展成8位双向移位寄存器。

解，将低位片的 $Q_3$ 连接到高位片的 $D_{IR}$ ，同时将高位片的 $Q_0$ 连接到低位片的 $D_{IL}$ 如图4.48，即可将二片74LS194A扩展成8位双向移位寄存器。

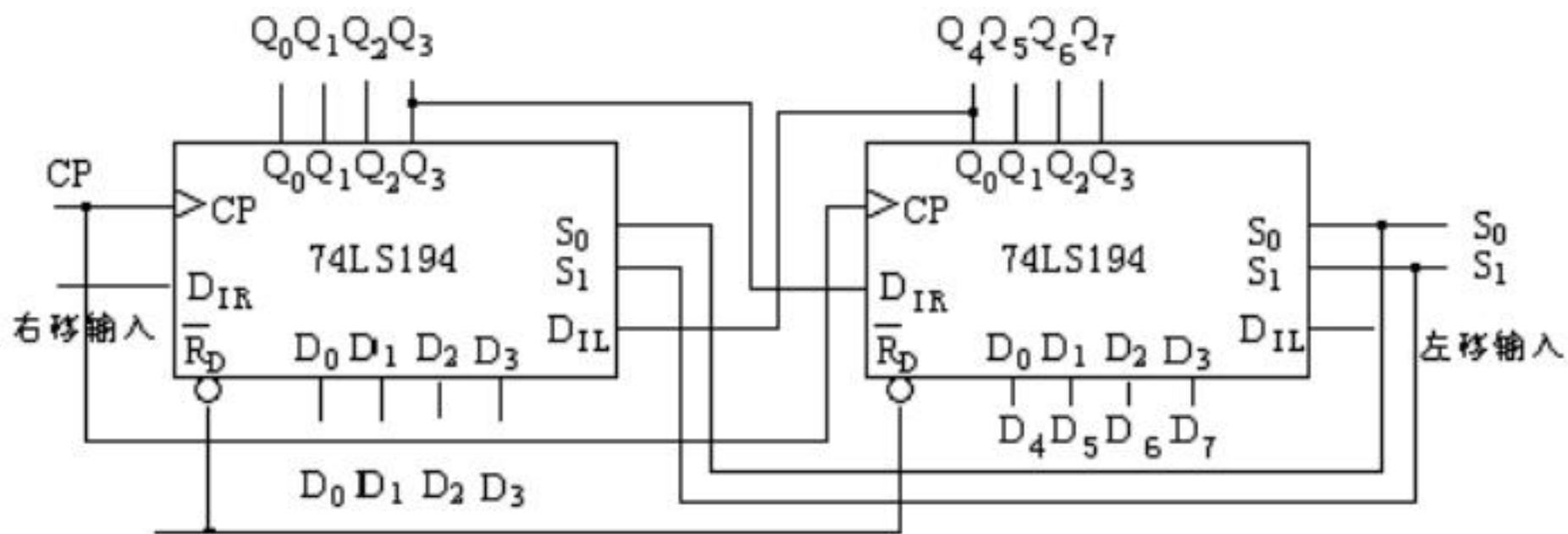


图 4.48 用 74LS194A 构成 8 位双向移位寄存器

**【例4.9】** 由74LS194及3\_8译码器组成的逻辑电路如图4.49所示，设74LS194的初态 $Q_1Q_2Q_3=110$ ，试分析（1）电路 $Q_1Q_2Q_3$ 的状态转移表；（2）指出该电路输出端Z产生什么序列。

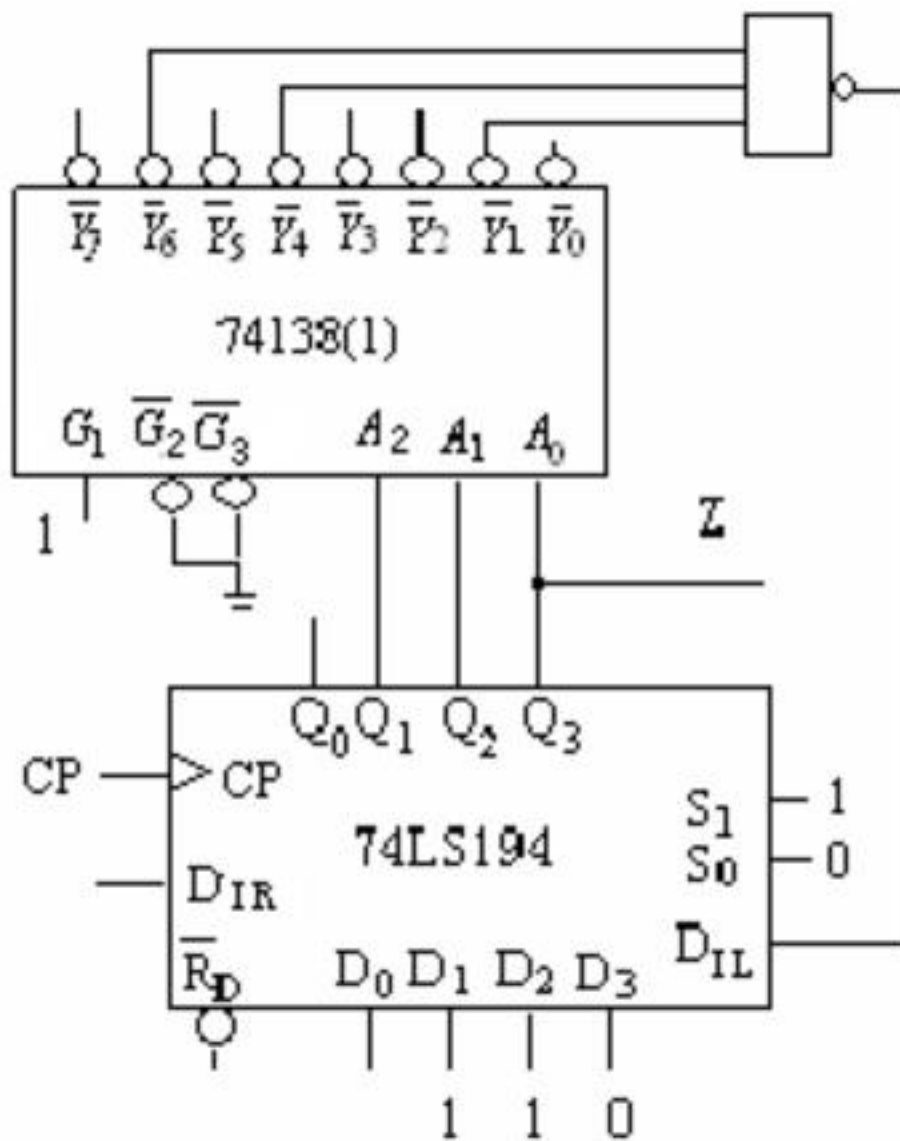


图 4.49 【例 4.9】逻辑电路

解：（1）由于 $S_1S_0$ 为10，所以74LS194工作在左移模式，并且由电路可知：

$$D_{IL} = \overline{\overline{Y_1} \cdot \overline{Y_4} \cdot \overline{Y_6}} = Y_1 + Y_4 + Y_6 = \overline{A_2} \overline{A_1} A_0 + A_2 \overline{A_1} \overline{A_0} + A_2 A_1 \overline{A_0}$$

而译码器地址输入 $A_2A_1A_0$ 分别对应 $Q_1Q_2Q_3$ （注意，不能看成 $A_2A_1A_0$ 对应 $Q_3Q_2Q_1$ ），所以：

$$D_{IL} = \overline{A_2} \overline{A_1} A_0 + A_2 \overline{A_1} \overline{A_0} + A_2 A_1 \overline{A_0} = \overline{Q_1} \overline{Q_2} Q_3 + Q_1 \overline{Q_2} \overline{Q_3} + Q_1 Q_2 \overline{Q_3}$$

已知其 $Q_1Q_2Q_3$ 初值为110，则根据74LS194工作模式及 $D_{IL}$ 表达式可以得到电路 $Q_1Q_2Q_3$ 的状态转移表如表4.17。

（2）由状态转换表可知，Z产生的系列为“010011”。



表 4.17 【例 4.9】状态转换表

CP 顺序	$Q_1$	$Q_2$	$Q_3$	$D_{IL}$
0	1	1	0	1
1	1	0	1	0
2	0	1	0	0
3	1	0	0	1
4	0	0	1	1
5	0	1	1	0
6	1	1	0	1

## 五. 移位寄存器构成的移位型计数器

### 1. 环形计数器

图4.50是用74LS194构成的环形计数器的逻辑图和状态图。

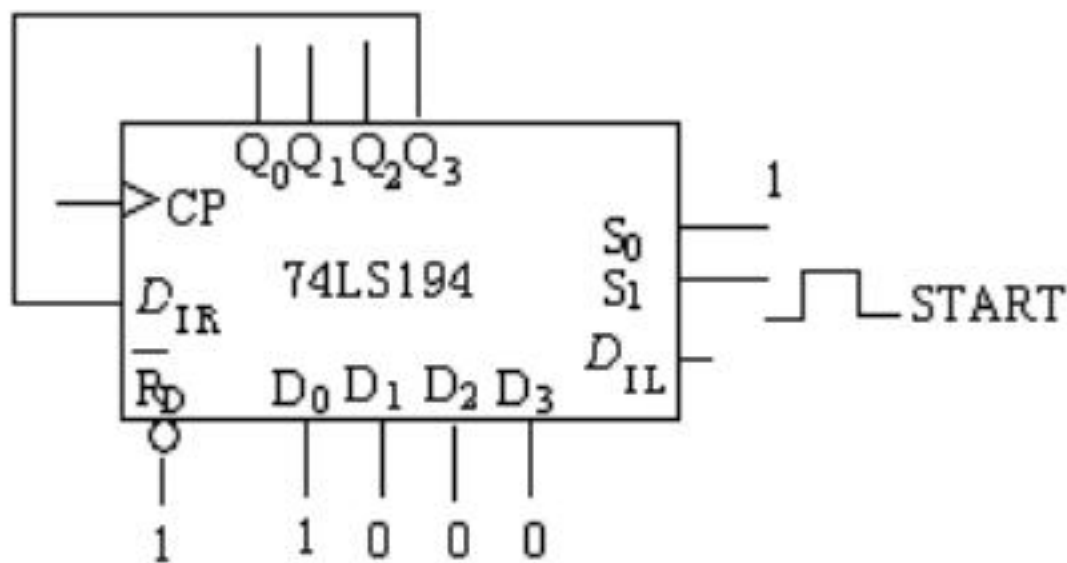


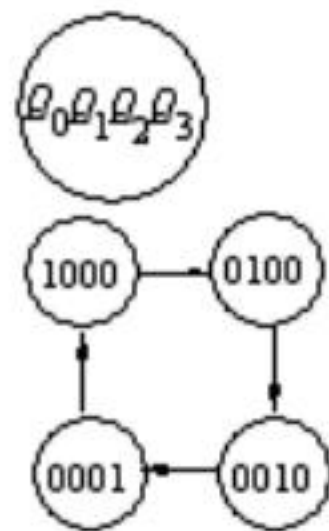
图 4.50 用 74LS194 构成的环形计数器

当起动信号 $START$ 到来时，使 $S_1S_0=11$ ，从而不论移位寄存器74LS194的原状态如何，在 $CP$ 作用下总是执行置数操作使 $Q_0Q_1Q_2Q_3=1000$ 。

当 $START$ 由1变0之后， $S_1S_0=01$ ，在 $CP$ 作用下移位寄存器进行右移操作。

在第四个 $CP$ 到来之前  
 $Q_0Q_1Q_2Q_3=0001$ 。这样在第四个 $CP$ 到来时，由于 $D_{IR}=Q_3=1$ ，故在该 $CP$ 作用下使 $Q_0Q_1Q_2Q_3=1000$ 。

可见该计数器共4个状态，实现了模4计数器功能。



(b) 状态转换图

环形计数器的电路十分简单， $N$ 位移位寄存器可以计 $N$ 个数，实现模 $N$ 计数器，且状态为1的输出端的序号即代表收到的计数脉冲的个数，通常不需要任何译码电路。

## 2. 扭环形计数器

为了增加有效计数状态，扩大计数器的模，将上述接成右移寄存器的74LS194的末级输出 $Q_3$ 反相后，接到串行输入端 $D_{IR}$ ，就构成了扭环形计数器，如图4.51

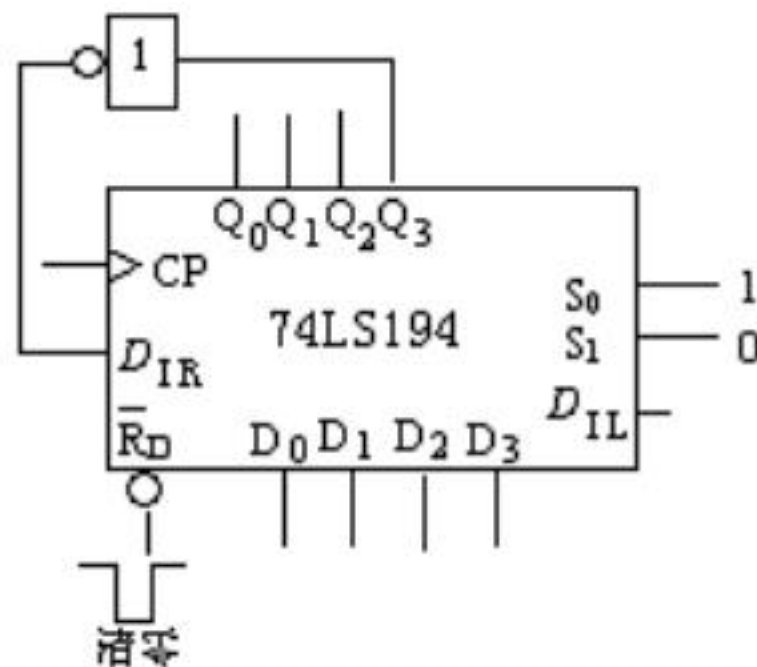
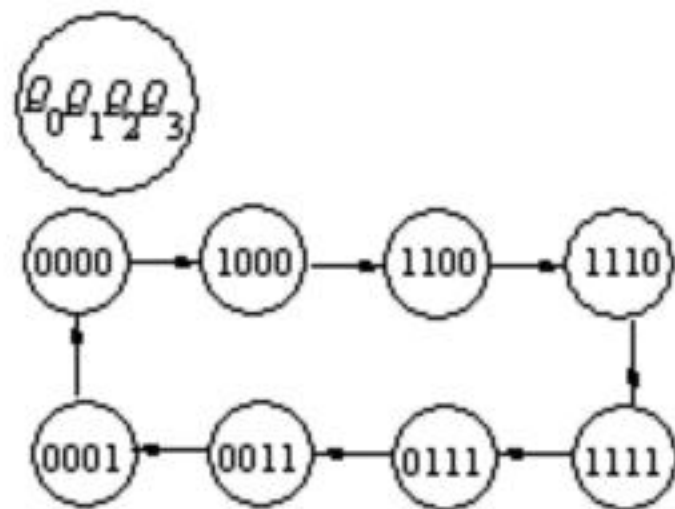


图 4.51 用 74LS194 构成的扭环形计数器

可见该电路有8个计数状态，为模8计数器。一般来说， $N$ 位移位寄存器可以组成模 $2N$ 的扭环形计数器，只需将末级输出反相后，接到串行输入端。



扭环形计数器 状态转换图

## 4.5 时序逻辑电路的设计方法

时序逻辑电路常分为同步时序逻辑电路和异步时序逻辑电路，因而我们将分别来讨论其设计方法，并根据课程的要求，重点讨论同步时序逻辑电路的设计问题。

### 4.5.1 同步时序逻辑电路的设计方法

#### 一. 同步时序逻辑电路的设计步骤

同步时序逻辑电路的设计，就是根据给定的逻辑问题，求出实现这一逻辑功能的同步时序电路，它是同步时序逻辑电路分析的逆过程。同步时序逻辑电路的设计步骤如下：

(1) 根据设计要求，设定逻辑状态，导出对应的原始状态图或状态表。

(2) 状态化简。原始状态图（表）通常不是最简的，往往可以消去一些多余状态。消去多余状态的过程叫做状态化简。

(3) 状态分配，又称状态编码，即对已化简的状态用二进制代码表示。

(4) 选择触发器的类型和个数。触发器的类型选得合适，可以简化电路结构。

(5) 根据编码状态表以及所采用的触发器的逻辑功能，导出待设计电路的输出方程和驱动方程。

(6) 根据输出方程和驱动方程画出逻辑图。

(7) 检查电路能否自启动。

下面我们将从简到繁，分同步计数器设计和一般同步电路设计举例，来说明上述各个设计步骤。

## 二. 同步计数器设计举例

由于计数器没有外部输入变量，并且其计数器状态已确定，因此其设计过程相对比较简单。

**【例4.10】** 试用JK触发器设计一个同步5进制加法计数器

解：设计步骤如下：

(1) 根据设计要求，设定状态，画出状态转换图。由于是5进制计数器，所以应有5个不同的状态，分别用 $S_0$ 、 $S_1$ 、...、 $S_4$ 表示。在计数脉冲CP作用下，5个状态循环翻转，在状态为 $S_4$ 时，进位输出 $Y=1$ 。状态转换图如图4.52所示。



(2) 状态化简。5进制计数器应有5个状态，不须化简。

(3) 状态分配，列写状态转换编码表。编码位数 $n$ 和状态数 $N$ 应满足关系：

$$2^n \geq N \geq 2^{n-1}$$

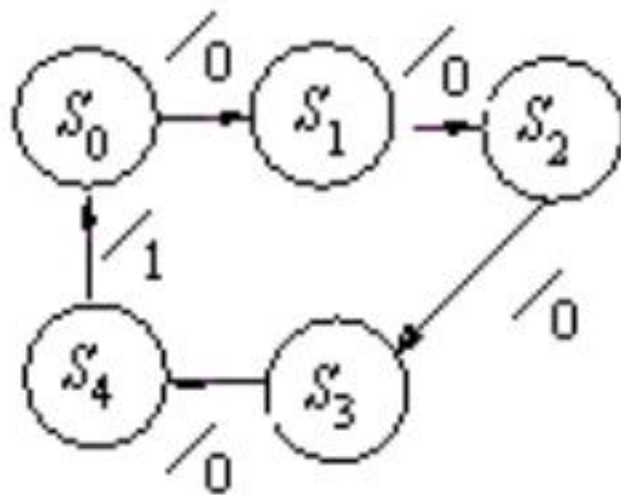


图4.52 【例4.10】状态转换图

因此，应采用3位二进制代码。该计数器选用三位自然二进制加法计数编码，即 $S_0=000$ 、 $S_1=001$ 、 $S_2=010$ 、 $S_3=011$ 、 $S_4=100$ 。由此可列出状态转换表如表4.18所示。



(4) 触发器选择。按题意选择JK触发器，3位二进制编码需要3个JK触发器。

(5) 求各触发器的驱动方程和进位输出方程。

根据状态转换表及JK触发器的驱动表可以得到JK触发器驱动函数的真值表（合并在表4.18中），同时将其它三个未出现的状态作无关项处理。

根据JK触发器的驱动函数的真值表可得各触发器的驱动函数卡诺图如图4.53所示。

$J_2$   $Q_1^* Q_0^*$

	00	01	11	10
$Q_2^*$ 0	0	0	1	0
1	×	×	×	×

$$J_2 = Q_1^* Q_0^*$$

$K_2$   $Q_1^* Q_0^*$

	00	01	11	10
$Q_2^*$ 0	×	×	×	×
1	1	×	×	×

$$K_2 = 1$$

$J_1$   $Q_1^* Q_0^*$

	00	01	11	10
$Q_2^*$ 0	0	1	×	×
1	0	×	×	×

$$J_1 = Q_0^*$$

$K_1$   $Q_1^* Q_0^*$

	00	01	11	10
$Q_2^*$ 0	×	×	1	0
1	×	×	×	×

$$K_1 = Q_0^*$$

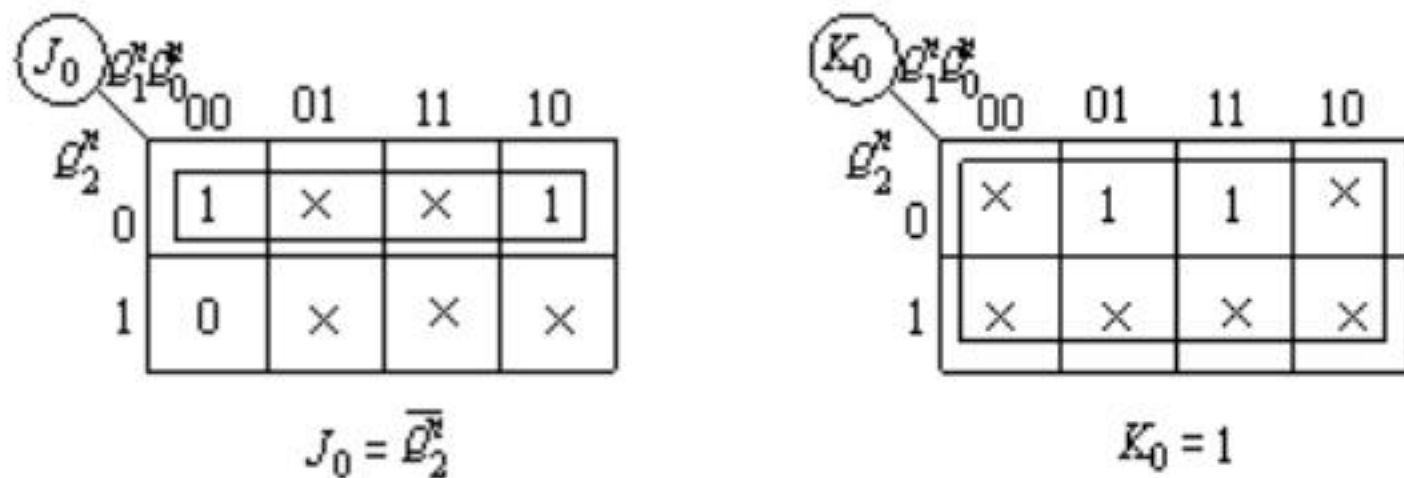


图4.53 【例4.10】 JK触发器的驱动函数卡诺图

即得将各JK触发器驱动方程：

$$J_0 = \overline{Q_2} \quad K_0 = 1 \quad J_1 = Q_0 \quad K_1 = Q_0$$

$$J_2 = Q_0 Q_1 \quad K_2 = 1$$

同理可得输出方程：  $Y = Q_2$

(6) 画逻辑图。根据驱动方程和输出方程，画出5进制计数器的逻辑图如图4.54所示。

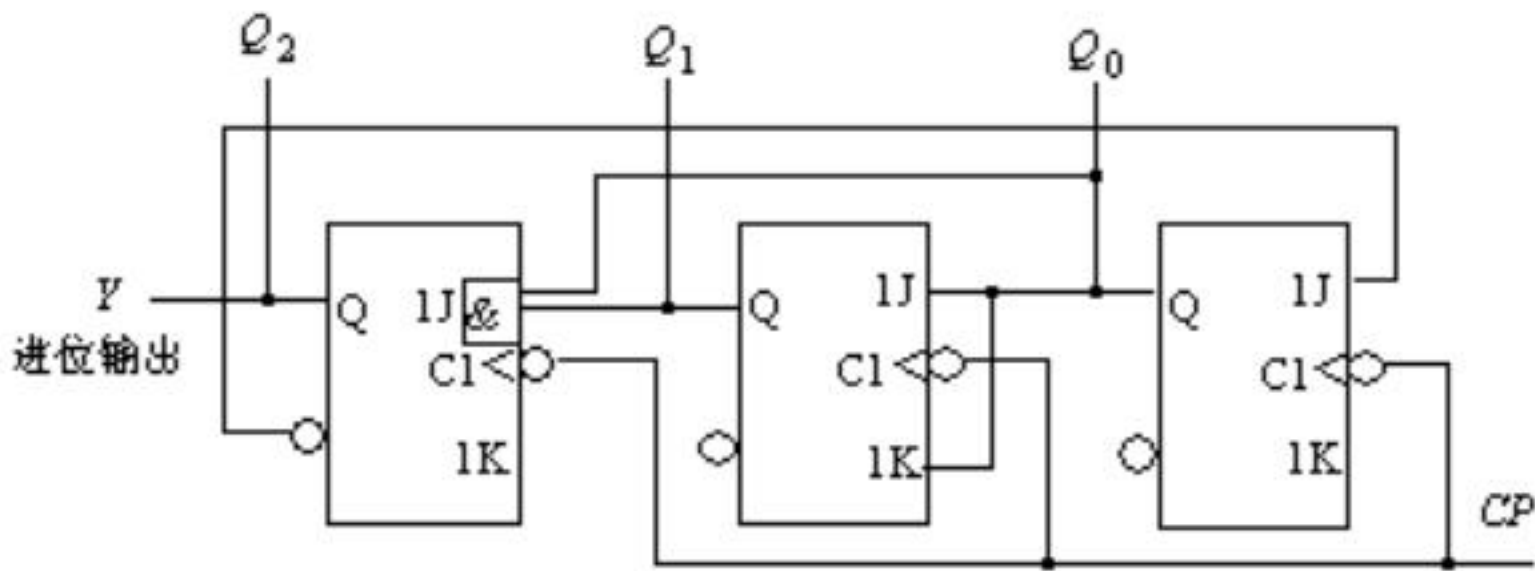


图 4.54 【例 4.10】的逻辑图

(7) 检查能否自启动。利用逻辑分析的方法画出电路完整的状态图如图4.55所示。可见，如果电路进入无效状态101、110、111时在 $CP$ 脉冲作用下，分别进入有效状态010、010、000。所以电路能够自启动。

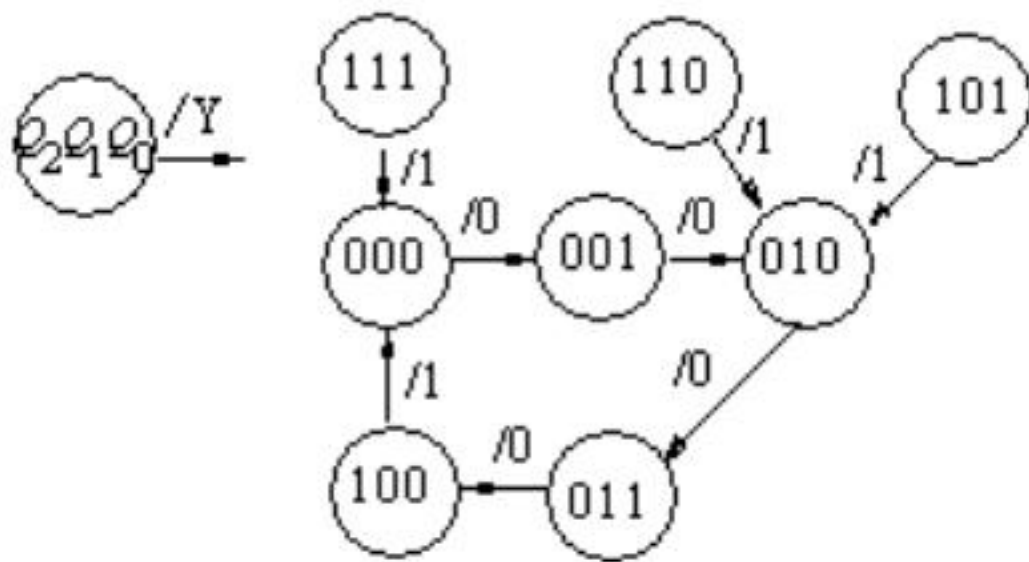


图 4.55 【例 4.10】完整状态图

根据状态转换表和JK触发器的驱动表得到JK触发器的驱动函数真值表（本例中的表4.18），比较繁琐，我们也可以根据状态转换表，先得到状态方程，然后再求出JK（D）触发器的驱动函数。如上例的状态转换表为：

【例 4.10】的状态转换表

现 态			次态			进位
$Q_2^n$	$Q_1^n$	$Q_0^n$	$Q_2^{n+1}$	$Q_1^{n+1}$	$Q_0^{n+1}$	Y
0	0	0	0	0	1	0
0	0	1	0	1	0	0
0	1	0	0	1	1	0
0	1	1	1	0	0	0
1	0	0	0	0	0	1
1	0	1	×	×	×	×
1	1	0	×	×	×	×
1	1	1	×	×	×	×

次态方程卡诺图：

$Q_2^{n+1}$		$Q_1 Q_0$			
		00	01	11	10
0				1	
1		×	×	×	

$Q_1^{n+1}$		$Q_1 Q_0$			
		00	01	11	10
0			1		1
1			×	×	×



$$Q_2^{n+1} = Q_1 Q_0 \overline{Q_2}$$

$$Q_1^{n+1} = Q_0 \overline{Q_1} + \overline{Q_0} Q_1$$

$$Q_0^{n+1} = \overline{Q_2} \overline{Q_0}$$

		$Q_1 Q_0$			
		00	01	11	10
$Q_2$	0	1			1
	1		×	×	×

所以：

$$J_2 = Q_0 Q_1 \quad J_1 = Q_0 \quad J_0 = \overline{Q_2}$$

$$K_2 = 1 \quad K_1 = Q_0 \quad K_0 = 1$$

**【例4.11】** 用JK触发器设计一个同步7进制加法计数器。

(1) 画出状态转换图。

由于是7进制计数器，所以应有7个不同的状态，状态转换图如图4.54 (a) 所示。

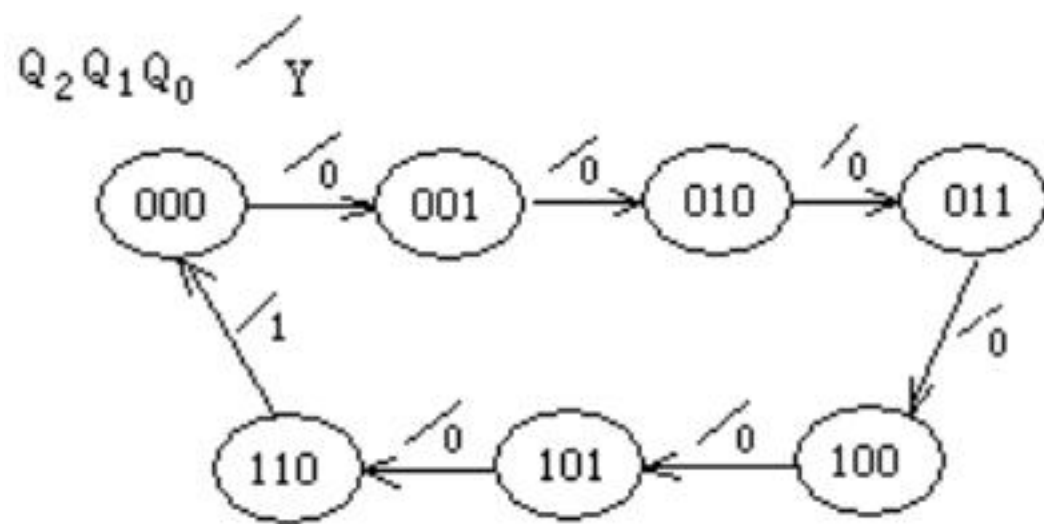


图 4.56 (b)【例 4.11】状态编码

(3) 求各触发器次态方程。

根据状态转换图4.56 (b)，可以得到次态方程卡诺图如图4.57 (a) 所示，并同时画出对应的  $Q_2^{n+1}$   $Q_1^{n+1}$   $Q_0^{n+1}$  卡诺图如图4.57 所示。

		$Q_2^{n+1} \quad Q_1^{n+1} \quad Q_0^{n+1}$			
$Q_2$	$Q_1 Q_0$	00	01	11	10
	0	001	010	100	011
	1	101	110	XXX	000

(a)

		$Q_2^{n+1}$			
$Q_2$	$Q_1 Q_0$	00	01	11	10
	0	0	0	1	0
	1	1	1	X	0

(b)

$Q_1^{n+1}$

$Q_1 Q_0$					
		00	01	11	10
$Q_2$	0	0	1	0	1
	1	0	1	X	0

(C)

$Q_0^{n+1}$

$Q_1 Q_0$					
		00	01	11	10
$Q_2$	0	1	0	0	1
	1	1	0	X	0

(d)

图4.57 【例4.11】 次态方程总卡诺图及相应分卡诺图

由卡诺图得到次态方程为：

$$Q_2^{n+1} = Q_1 Q_0 \overline{Q_2} + \overline{Q_1} Q_2 \quad Q_1^{n+1} = Q_0 \overline{Q_1} + \overline{Q_2} \cdot \overline{Q_0} Q_1$$

$$Q_0^{n+1} = \overline{Q_1 Q_2} \cdot \overline{Q_0}$$

#### (4) 各触发器的驱动方程和进位输出

从JK触发器的次态方程，得到各触发器的驱动方程及输出

$$J_2 = Q_1 Q_0, \quad K_2 = Q_1$$

$$J_1 = Q_0, \quad K_1 = Q_2 + Q_0$$

$$J_0 = \overline{Q_2 Q_1}, \quad K_0 = 1$$

输出方程：  $Y = Q_2 Q_1$

(5) 画逻辑图。请同学们在课后自己画出。

(6) 检查能否自启动。

当出现状态111时，系统下一个状态为000，故能自启动（从卡诺图中的无关项未被使用，即可以看出  $111 \rightarrow 000$ ）。

### 三. 一般同步时序逻辑电路设计举例

**【例4.12】** 试设计一个串行数据检测电路，它的功能是对输入信号进行检测。该检测器有一个输入端 $X$ ，当连续输入三个1（以及三个以上1）时，该电路输出 $Y=1$ ，否则输出 $Y=0$ 。

解：（1）根据设计要求，设定状态，画出状态转换图。

$S_0$ ——初始状态或没有收到1时的状态；

$S_1$ ——收到一个1后的状态；

$S_2$ ——连续收到两个1后的状态；

$S_3$ ——连续收到三个1（以及三个以上1）后的状态。

根据题意可画出如图4.58所示的原始状态图。

(2) 状态化简。状态化简就是合并等效状态。所谓等效状态就是那些在相同的输入条件下，输出相同、次态也相同的状态。观察图4.58可知， $S_2$ 和 $S_3$ 是等价状态，所以将 $S_2$ 和 $S_3$ 合并，并用 $S_2$ 表示，图4.59是经过化简之后的状态图。

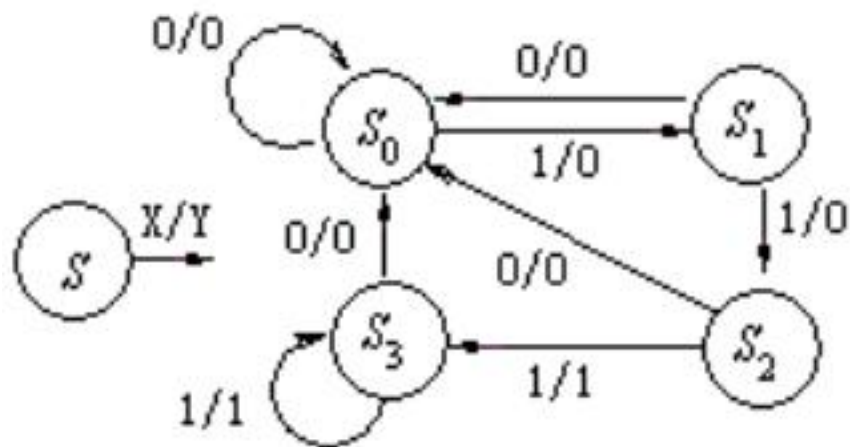


图 4.58 【例 4.12】的原始状态图

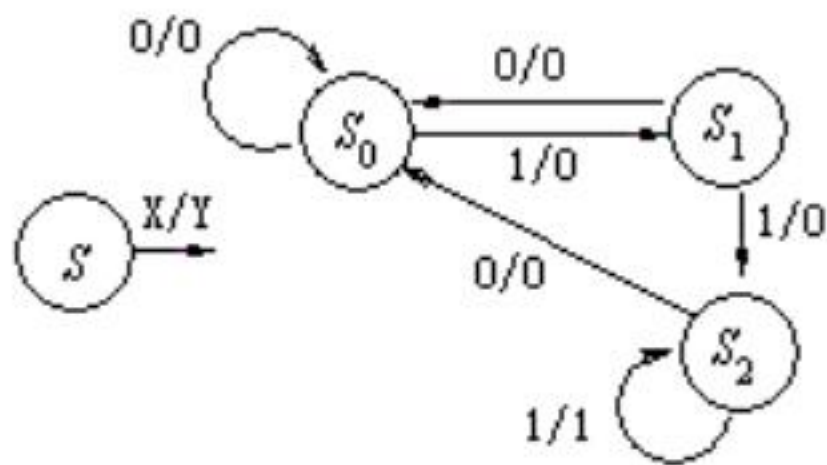


图 4.59 【例 4.12】化简后的状态图

(3) 状态分配，列写状态转换表。三个状态需要两位二进制数来表示（两个触发器来实现），而两位二进制数总共可以表示4种状态，一般而言按循环码进行编码实现的电路会比较简单，但在本例中却无法完全按循环码来进行编码。在实际设计过程中可以按不同方式编码，通过比较来取舍。本例取 $S_0=00$ 、 $S_1=01$ 、 $S_2=11$ 。图4.60是该例的编码形式的状态图。

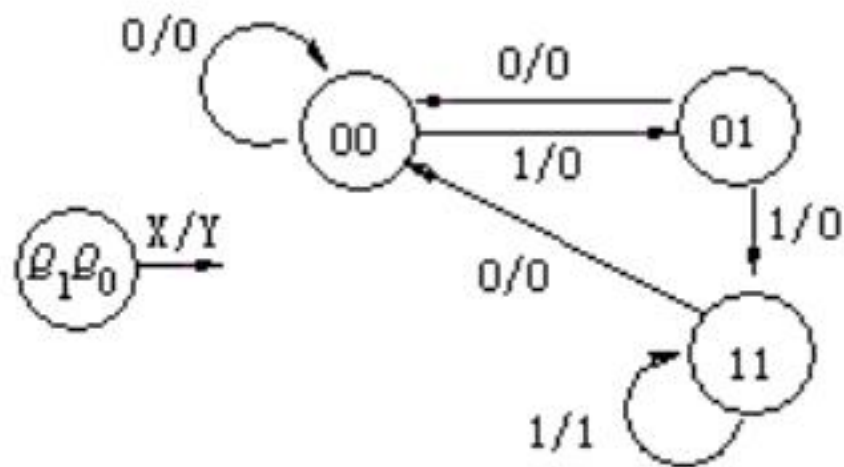


图 4.60 【例 4.12】编码



(4) 选择触发器，  
 求出状态方程、驱  
 动方程和输出方程。  
 本例选用2个D触发  
 器。根据表4.19可  
 得电路的次态和输  
 出方程卡诺图如图  
 4.61 (a) 。

表 4.19 【例 4.12】状态转换表

$S^{n+1} / Y$ $S^n$		$X$	
		0	1
0	0	00/0	01/0
0	1	00/0	11/0
1	1	00/0	11/1

并由此可得各D触发器的次态方程卡诺图4.61 (b) ，  
 (c) 及输出方程卡诺图4.61 (d) 所示。

X	$Q_1$	$Q_0$	$Q_1^{n+1}$	$Q_0^{n+1}$	Y
0	0	0	0	0	0
0	0	1	0	0	0
0	1	0	0	0	0
0	1	0	x	x	x
1	0	0	0	1	0
1	0	1	1	1	0
1	1	0	x	x	x
1	1	1	0	0	1

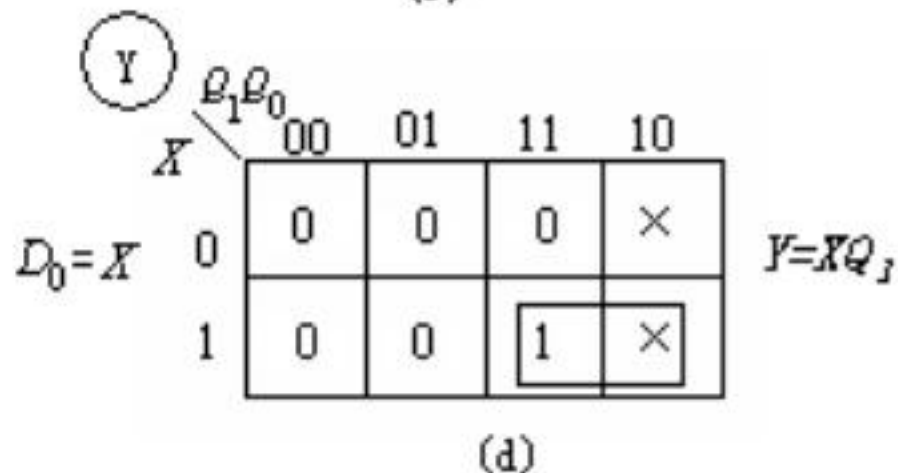
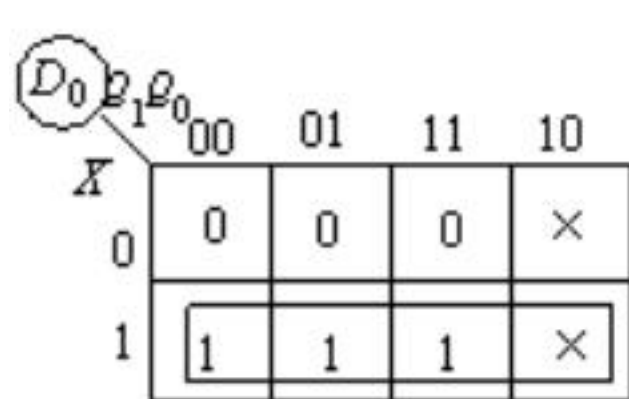
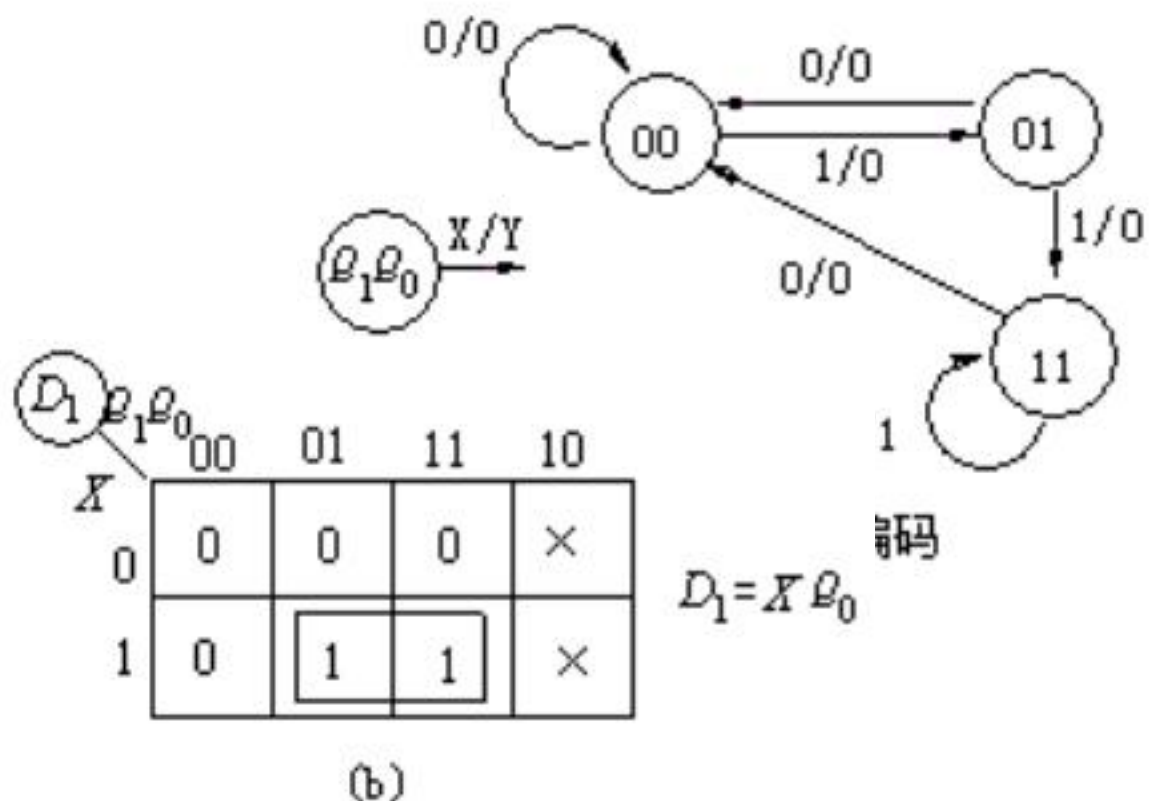


图 4.61 【例 4.12】 整体及分解卡诺图

因此，可得电路的驱动方程：

$$D_0 = Q_0^{n+1} = X$$

$$D_1 = Q_1^{n+1} = XQ_0$$

输出方程：  $Y = XQ_1$

（5）画逻辑图。根据驱动方程和输出方程，画出该串行数据检测器的逻辑图如图4.62（a）所示。

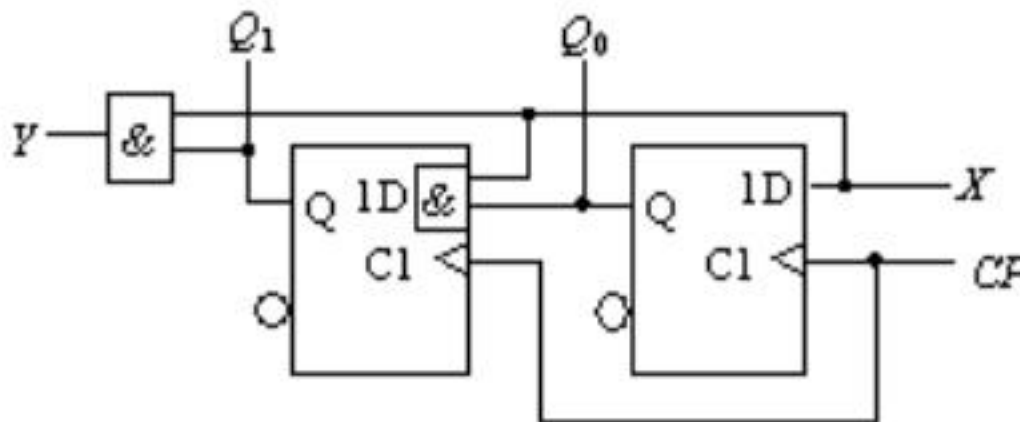


图 4.62 (a) 【例 4.12】逻辑图

(6) 检查能否自启动。图4.62 (b) 是图4.62 (a) 电路的完整状态图，可见，电路能够自启动。

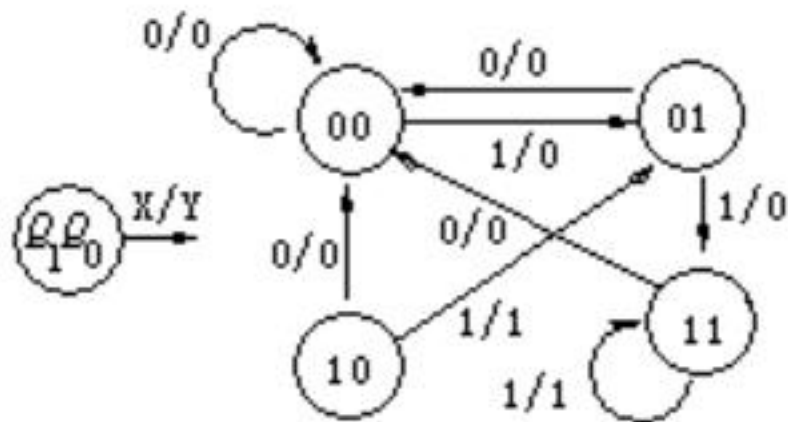
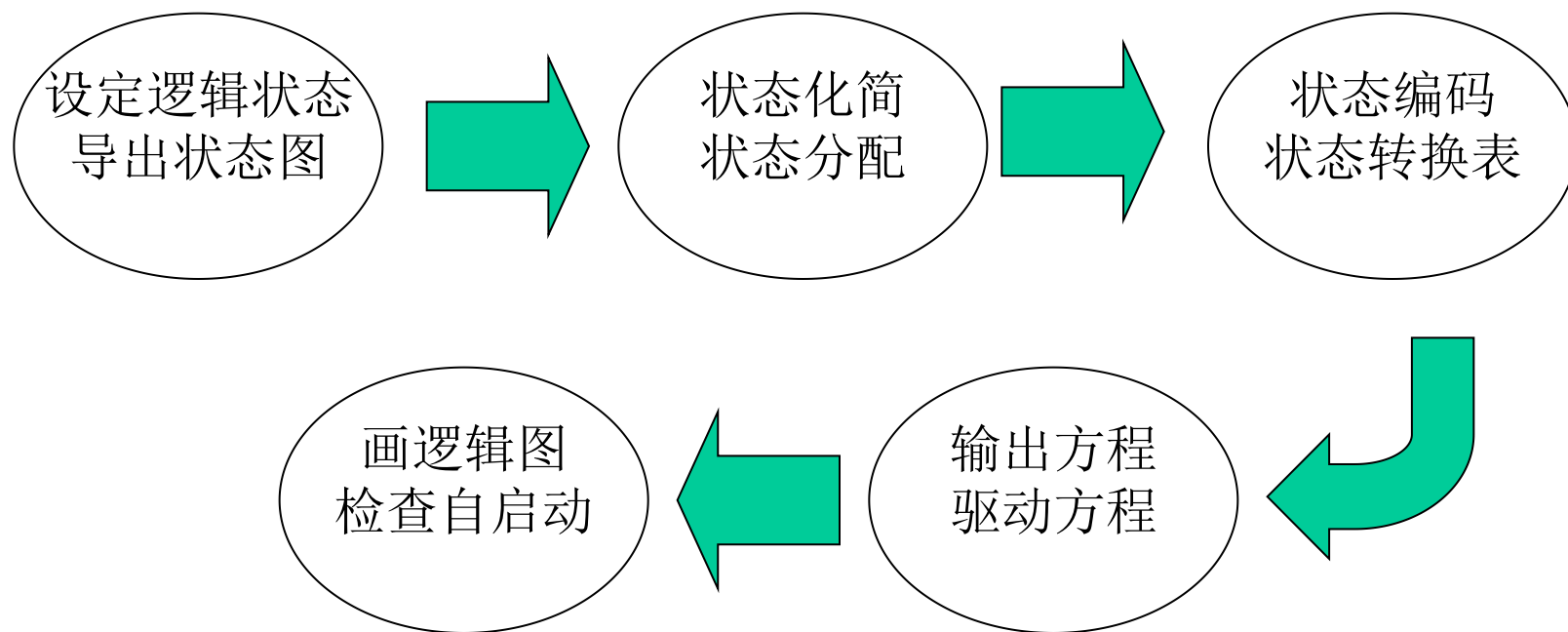


图 4.62 (b) 【例 4.12】完整状态转换图

## 4.5.2 异步时序逻辑电路的设计方法

### 1、同步逻辑电路设计小结



### 2、采用异步逻辑电路的主要原因：电路相对简单

### 3、异步时序电路设计特点

设计与方法与同步时序电路基本相同；但由于异步时序电路中各触发器的时钟脉冲不统一，因此设计异步时序逻辑电路的难点就在于：

（1）触发器的时钟方程：即为每个触发器选择一个合适的时钟信号。

（2）考虑时钟方程后的触发器次态方程。

**【例4.13】** 试设计一个用JK触发器实现的异步7进制加法计数器。

**解：**（1）根据设计要求，设定7个状态 $S_0 \sim S_6$ ，进行状态编码，列出状态转换表。

表 4.20 【例 4.13】状态转换表

状态转 换顺序	现 态			次态			进位输出
	$Q_2^n$	$Q_1^n$	$Q_0^n$	$Q_2^{n+1}$	$Q_1^{n+1}$	$Q_0^{n+1}$	Y
$S_0$	0	0	0	0	0	1	0
$S_1$	0	0	1	0	1	0	0
$S_2$	0	1	0	0	1	1	0
$S_3$	0	1	1	1	0	0	0
$S_4$	1	0	0	1	0	1	0
$S_5$	1	0	1	1	1	0	0
$S_6$	1	1	0	0	0	0	1

与同步电  
路相同

(2) 选择触发器。本例选用下降沿触发的JK触发器。

(3) 求各触发器的时钟方程，即为各触发器选择时钟信号。  
 为了选择方便，画出电路的时序如图。

现 态			次态			进位输出
$Q_2^n$	$Q_1^n$	$Q_0^n$	$Q_2^{n+1}$	$Q_1^{n+1}$	$Q_0^{n+1}$	$Y$
0	0	0	0	0	1	0
0	0	1	0	1	0	0
0	1	0	0	1	1	0
0	1	1	1	0	0	0
1	0	0	1	0	1	0
1	0	1	1	1	0	0
1	1	0	0	0	0	1

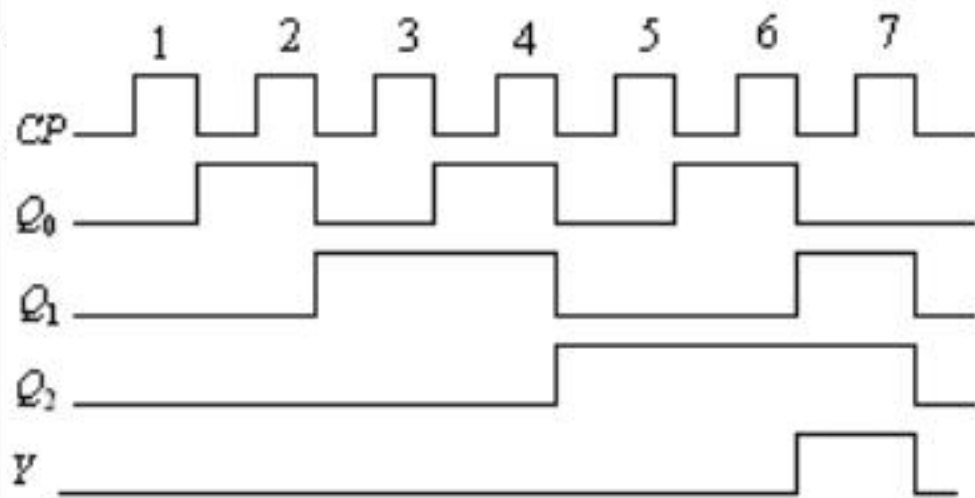


图 4.63 【例 4.13】电路时序图

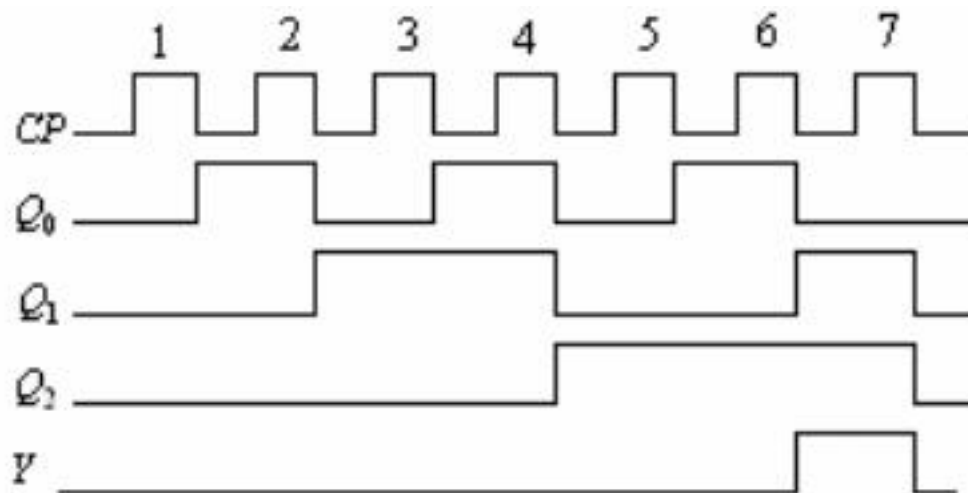
触发器选择时钟信号的原则是：

① 触发器状态需要翻转时，必须要有有效的时钟信号（本例为下降沿）。



②触发器状态不需翻转时，“多余的”时钟信号越少越好。

根据上述原则及时序图，选择：



$$CP_0 = CP;$$

$$CP_1 = CP;$$

$$CP_2 = Q_1。$$

同步电路：

$$CP_0 = CP_1 = CP_2 = CP$$

(4) 求进位输出方程及各触发器的驱动方程。

画出电路的进位输出方程卡诺图如图4.64所示，次态卡诺图及三个触发器各自的次态卡诺图如图4.65所示，无效状态111作无关项处理。

现 态			次态			进位输出
$Q_2^n$	$Q_1^n$	$Q_0^n$	$Q_2^{n+1}$	$Q_1^{n+1}$	$Q_0^{n+1}$	$Y$
0	0	0	0	0	1	0
0	0	1	0	1	0	0
0	1	0	0	1	1	0
0	1	1	1	0	0	0
1	0	0	1	0	1	0
1	0	1	1	1	0	0
1	1	0	0	0	0	1

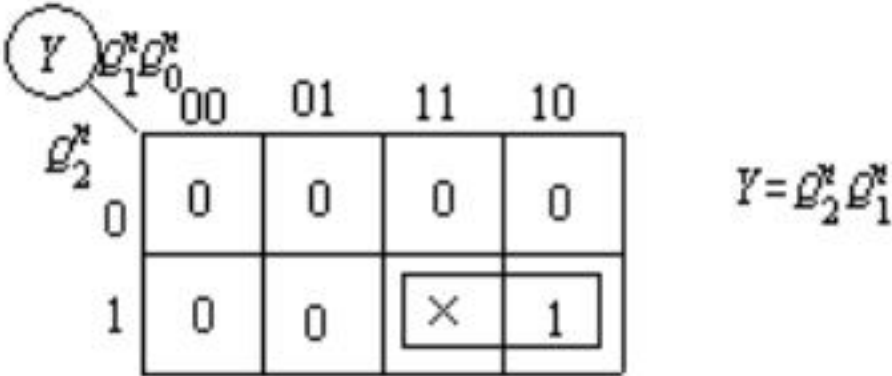
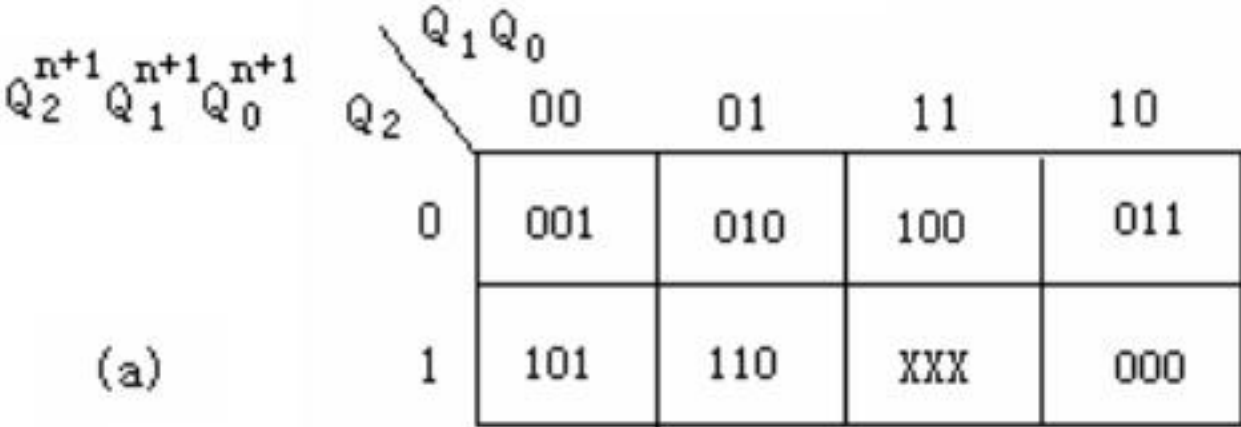


图 4.64 【例 4.13】输出卡诺图



(a)  $Q_2$ 的次态方程

在画卡诺图时，  
考虑时钟信号：

$$CP_2 = Q_1$$

只有当 $Q_1$ 从 $1 \rightarrow 0$   
时才需确定 $Q_2$ 的次  
态为0或1，其它均  
作为无关项处理。

(a)

		$Q_1 Q_0$			
		00	01	11	10
$Q_2$	0	001	010	100	011
	1	101	110	XXX	000

(b)

		$Q_1 Q_0$			
		00	01	11	10
$Q_2^{n+1}$	0	X	X	1	X
	1	X	X	X	0

同步电路：

		$Q_1 Q_0$			
		00	01	11	10
$Q_2^{n+1}$	0	0	0	1	0
	1	1	1	X	0

(b)  $Q_1$ 、 $Q_0$ 的次态方程

$$CP_1 = CP_2 = CP$$

		$Q_1 Q_0$			
		00	01	11	10
$Q_2$	0	001	010	100	011
	1	101	110	XXX	000

		$Q_1 Q_0$			
		00	01	11	10
$Q_2$	0	0	1	0	1
	1	0	1	X	0

(C)

		$Q_1 Q_0$			
		00	01	11	10
$Q_2$	0	1	0	0	1
	1	1	0	X	0

(d)

图 4.65 【例 4.13】次态卡诺图



根据卡诺图得：

$$Q_2^{n+1} = \overline{Q_2} ;$$

$$Q_1^{n+1} = Q_0 \overline{Q_1} + \overline{Q_2} \cdot \overline{Q_0} Q_1$$

$$Q_0^{n+1} = \overline{Q_1 Q_2} \cdot \overline{Q_0}$$

根据驱动卡诺图写出驱动方程：

$$J_0 = \overline{Q_2} + \overline{Q_1} \quad K_0 = 1$$

$$J_1 = Q_0 \quad K_1 = Q_0 + Q_2$$

$$J_2 = 1 \quad K_2 = 1$$

及电路的输出方程：  $Y = Q_2 Q_1$

JK触发器：

$$Q^{n+1} = J\overline{Q} + \overline{K}Q$$

(5) 画逻辑图。根据驱动方程和输出方程, 画出异步7进制计数器的逻辑图如图4.66所示。

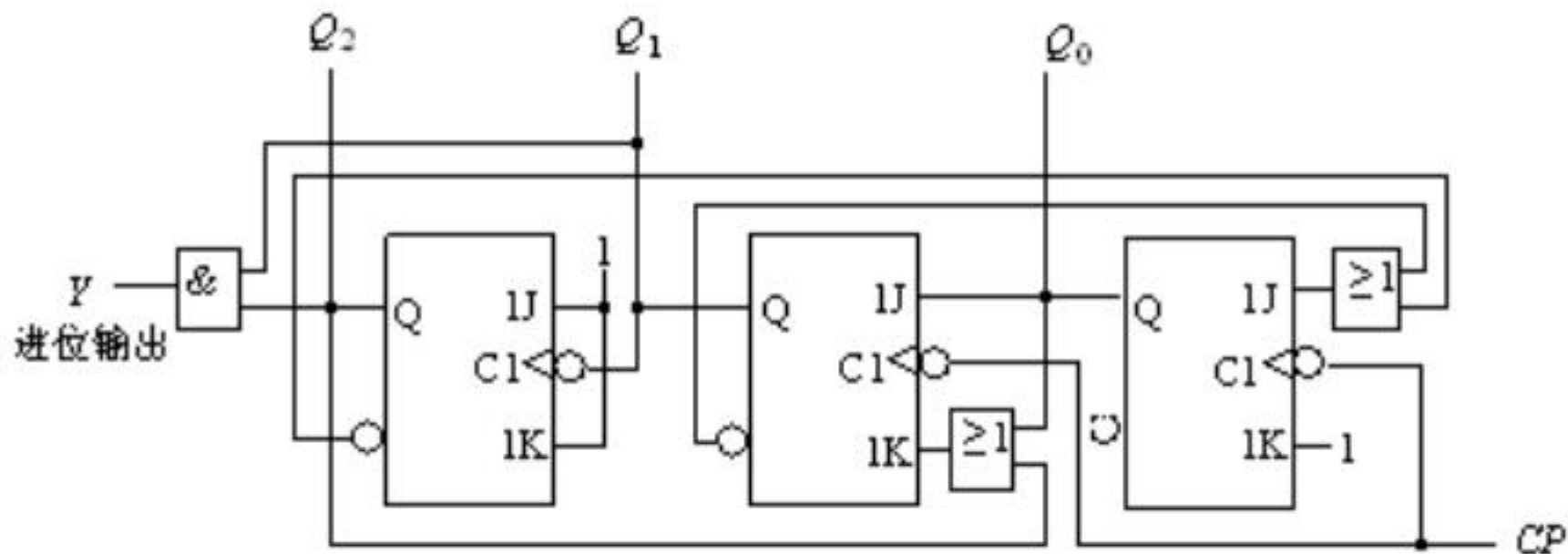


图4.66 【例4.13】逻辑图

(6) 检查能否自启动。电路完整的状态图如图所示。可见，如果电路进入无效状态111时，在 $CP$ 脉冲作用下可进入有效状态000。所以电路能够自启动。

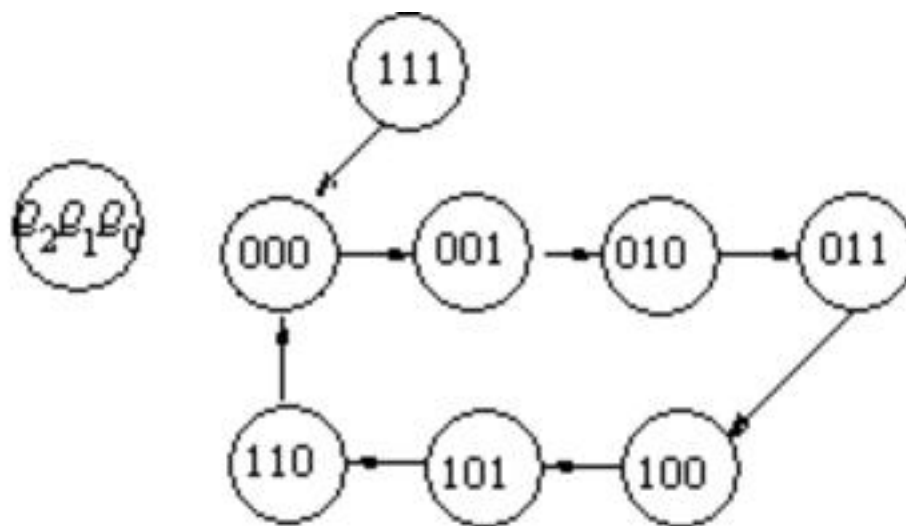


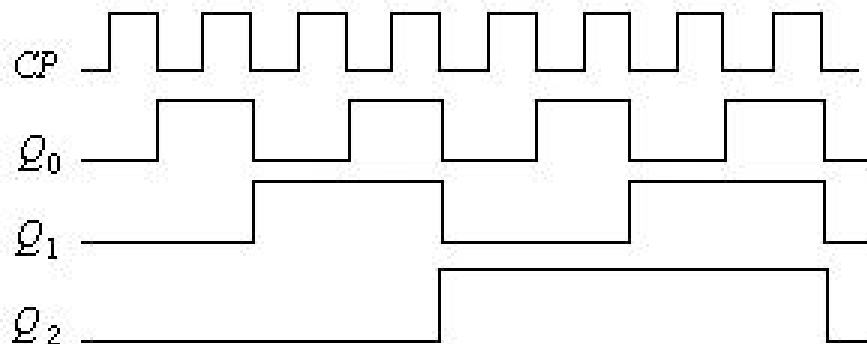
图 4.67 【例 4.12】完整状态转换图

**【补例】** 试设计一个用JK触发器实现的异步3位二进制加法计数器。

解：（1）状态转换表

（2）触发器的时钟方程。

（a）时序图



现 态			次 态		
$Q_2^n$	$Q_1^n$	$Q_0^n$	$Q_2^{n+1}$	$Q_1^{n+1}$	$Q_0^{n+1}$
0	0	0	0	0	1
0	0	1	0	1	0
0	1	0	0	1	1
0	1	1	1	0	0
1	0	0	1	0	1
1	0	1	1	1	0
1	1	0	1	1	1
1	1	1	0	0	0

（b）时钟方程：

$$CP_0 = CP; \quad CP_1 = Q_0; \quad CP_2 = Q_1。$$



(3) 输出方程及各触发器的驱动方程。

(a) 输出方程  $Y = Q_2 Q_1 Q_0$

(b)  $Q_2$  的次态方程

$$Q_2^{n+1} = \overline{Q_2}$$

		$Q_1 Q_0$			
		00	01	11	10
$Q_2$	0	001	010	100	011
	1	101	110	000	111

		$Q_1 Q_0$			
		00	01	11	10
$Q_2^{n+1}$	0	X	X	1	X
	1	X	X	0	X

(c)  $Q_1$ 的次态方程

$$Q_1^{n+1} = \overline{Q_1}$$

		$Q_1 Q_0$			
		00	01	11	10
$Q_2$	0	001	010	100	011
	1	101	110	000	111

		$Q_1 Q_0$			
		00	01	11	10
$Q_1^{n+1}$	0	X	1	0	X
	1	X	1	0	X

(d)  $Q_0$ 的次态方程

$$Q_0^{n+1} = \overline{Q_0}$$

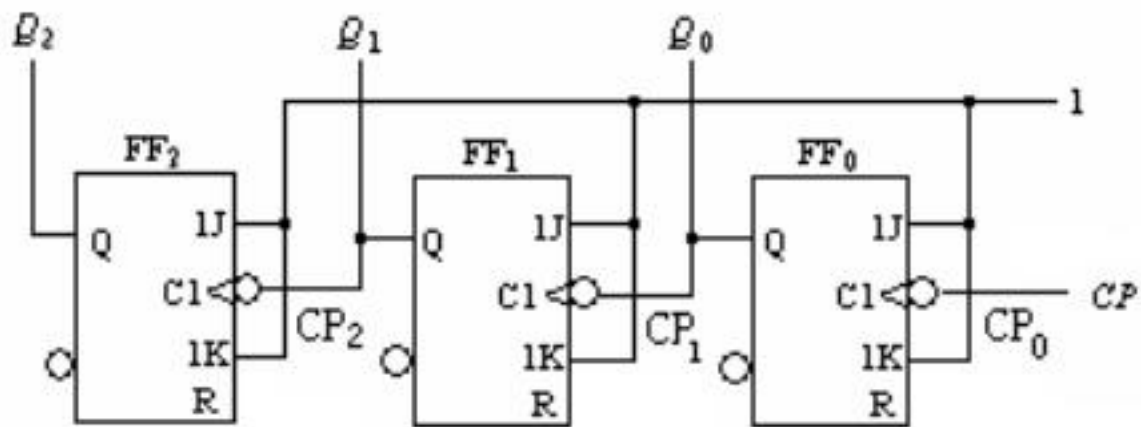
		$Q_1 Q_0$			
		00	01	11	10
$Q_2$	0	001	010	100	011
	1	101	110	000	111

		$Q_1 Q_0$			
		00	01	11	10
$Q_2$	0	1	0	0	1
	1	1	0	0	1

(e) 驱动方程:

$$J_0=K_0=J_1=K_1=J_2=K_2=1;$$

(4) 逻辑图。



(5) 自启动问题。

练习：试设计一个用JK触发器实现的异步3位二进制减法计数器。

习题：4-26