

# 北京邮电大学

## 《数字电路与逻辑设计》期中考试试题

2015.4.11

班级\_\_\_\_\_ 姓名\_\_\_\_\_ 班内序号\_\_\_\_\_

题号	一	二	三	四	五	六	七	八	总成绩
分数	20	12	10	10	10	20	10	8	
得分									

注意：所有答案（包括选择题和计算题）一律写在试卷纸上，如果卷面位置不够，请写在试卷的背后，否则不计成绩。

### 一、（每题1分，共20分）判断（填√或×）、单项选择题

（请先在本试卷上答题之后，将全部答案汇总到本题末尾的表格中。）

1. ECL 逻辑门与 TTL 门相比，主要优点是抗干扰能力强。（ × ）
2. CMOS 门电路在使用时允许输入端悬空，并且悬空的输入端相当于输入逻辑“1”。（ × ）
3. 若对 4 位二进制码 ( $B_3B_2B_1B_0$ ) 进行奇校验编码，则校验位  $C = B_3 \oplus B_2 \oplus B_1 \oplus B_0 \oplus 1$ 。（ √ ）
4. 根据表 1-1，用 CMOS4000 系列的逻辑门驱动 TTL74 系列的逻辑门，驱动门与负载门之间的电平匹配不存在问题（ √ ）
5. 根据表 1-1，用 CMOS4000 系列的逻辑门驱动 TTL74 系列的逻辑门，驱动门与负载门之间的电流驱动能力不存在问题（ × ）

表 1-1 常用的 TTL 和 CMOS 门的典型参数

	TTL 74系列	TTL 74LS系列	CMOS 4000系列	高速CMOS 74HC系列	高速CMOS 74HCT系列
$V_{OH(min)}/V$	2.4	2.7	4.6	4.4	4.4
$V_{OL(max)}/V$	0.4	0.5	0.05	0.1	0.1
$I_{OH(max)}/mA$	-0.4	-0.4	-0.51	-4	-4
$I_{OL(max)}/mA$	16	8	0.51	4	4
$V_{IH(min)}/V$	2	2	3.5	3.5	2
$V_{IL(max)}/V$	0.8	0.8	1.5	1	0.8
$I_{IH(max)}/\mu A$	40	20	0.1	0.1	0.1
$I_{IL(max)}/mA$	-1.6	-0.4	$-0.1 \times 10^{-3}$	$-0.1 \times 10^{-3}$	$-0.1 \times 10^{-3}$

6. 当  $i \neq j$  时, 必有两个最小项之和  $m_i + m_j = 0$ 。(X)
7. CMOS 门电路的静态功耗很低, 但在输入信号动态转换时会有较大的电流, 工作频率越高, 静态功耗越大。(X)
8. 逻辑函数的表达式是不唯一的, 但其标准的最小项之和的表达式是唯一的。(√)
9. 用数据分配器加上门电路可以实现任意的逻辑函数。(√)
10. 格雷 BCD 码具有单位距离特性 (任意两个相邻的编码之间仅有一位不同) 且是无权代码。(√)
11. 关于函数  $F = \overline{A}C + \overline{B}CD + A\overline{B}g\overline{C}$ , 下列说法中正确的有 B。
- A. 不存在冒险;
- B. 存在静态逻辑冒险, 需要加冗余项  $\overline{A}BD$  和  $A\overline{C}D$  进行消除;
- C. 存在静态功能冒险, 需要加冗余项  $\overline{A}BD$  和  $A\overline{C}D$  进行消除;
- D. 当输入 ABCD 从 0001  $\rightarrow$  0100 变化时存在静态逻辑冒险。
12. 逻辑函数  $F = A \oplus B$  和  $G = A \odot B$  满足关系 D。
- A.  $F = G$       B.  $F + G = 0$       C.  $FgG = 1$       D.  $F = G \oplus 0$
13. 若逻辑函数  $F(A, B, C) = \sum m(1, 2, 3, 6)$ ,  $G(A, B, C) = \sum m(0, 2, 3, 4, 5, 7)$ , 则  $F \bullet G =$  A。
- A.  $m_2 + m_3$       B. 1      C.  $\overline{A}B$       D.  $AB$
14. 若干个具有三态输出的电路输出端接到一点工作时, 必须保证 B。
- A. 任何时刻最多只能有一个电路处于高阻态, 其余应处于工作状态。
- B. 任何时刻最多只能有一个电路处于工作状态, 其余应处于高阻态。
- C. 任何时刻至少有一个电路处于高阻态, 其余应处于工作状态。
- D. 任何时刻至少有一个电路处于工作状态, 其余应处于高阻态。
15. 可以用来传输连续变化的模拟信号的电路是 D。
- A. 三态输出的门电路。;
- B. 漏极开路的 CMOS 门电路;
- C. ECL 门电路;
- D. CMOS 传输门
16. 逻辑表达式  $F = [(\overline{A}B + C)\overline{D} + E] \cdot B$  的对偶式为 B。

$$(\overline{A}B \cdot C + \overline{D}) \cdot E + B \quad A + \overline{A}B = A + B$$

- A.  $F = [(A + B \cdot C) + D \cdot E] + B$       B.  $F = (A + B \cdot C + D) \cdot E + B$
- C.  $F = (A + B)\overline{C} + D \cdot \overline{E} + \overline{B}$       D.  $F = [(AB + \overline{C})D + \overline{E}] \cdot \overline{B}$

17. 下列说法中正确的是 D。

- A. 三态门的输出端可以直接并联，实现线或逻辑功能。
- B. OC 门的输出端可以直接并联，实现线或逻辑功能。
- C. OD 门的输出端可以直接并联，实现线或逻辑功能。
- D. ECL 门的输出端可以直接并联，实现线或逻辑功能。

18. 某集成电路芯片，查手册知其最大输出低电平  $U_{OLmax}=0.5V$ ，最大输入低电平  $U_{ILmax}=0.8V$ ，最小输出高电平  $U_{OHmin}=2.7V$ ，最小输入高电平  $U_{IHmin}=2.0V$ ，则其低电平噪声容限  $U_{NL}$  和高电平噪声容限  $U_{NH}$  分别是 C。

- A. 1.5V、2.2V      B. 2.2V、1.2V      C. 0.3V、0.7V      D. 1.9V、1.5V

19. 下列说法中不属于组合电路的特点的是 C。

- A. 组合电路由逻辑门构成；
- B. 组合电路不含记忆存储单元；
- C. 组合电路的输出到输入有反馈回路；
- D. 任何时刻组合电路的输出只与当时的输入有关，而与电路过去的输入无关。

20. 在图 1-1 的 CMOS 门电路中，输出为高电平的有 D。

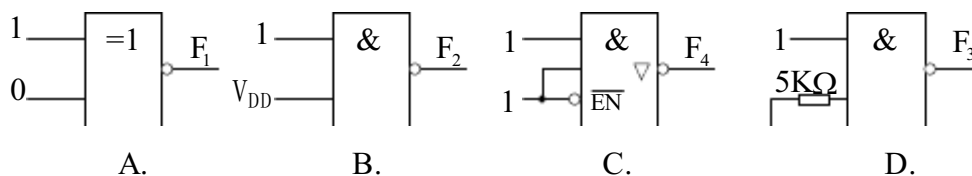


图 1-1

答案汇总：

1	2	3	4	5	6	7	8	9	10
×	×	✓	✓	×	×	×	✓	✓	✓
11	12	13	14	15	16	17	18	19	20
B	D	A	B	D	B	D	C	C	D

二、（共 12 分）器件的内部电路如图 2-1 所示，A、B 为输入，F 为输出。（1），写出 L、M、N、O、F 点与输入 A、B 间的相对逻辑关系表达式。（2），画出该器件的符号。

解：

(1)  $L=AB$                        $M=CD$

$N = \overline{AB + CD}$                        $O = AB + CD$

$F = N = \overline{O} = \overline{AB + CD}$

(10 分)

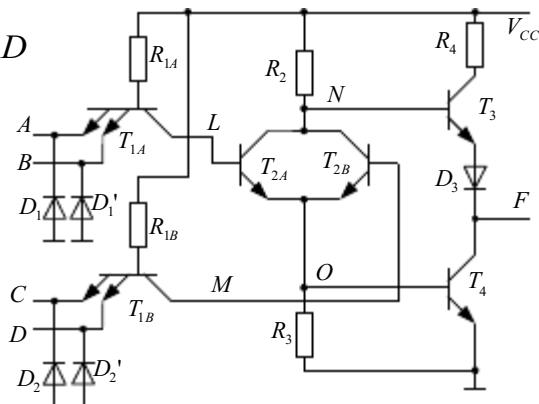
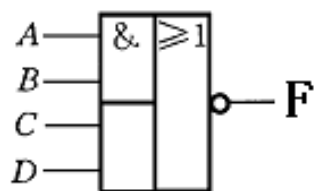


图 2-1

(2)



(2 分)

三、(10 分) 请用最少的或非门设计一个检出 8421BCD 码能被 4 整除的逻辑电路 (输入变量为 ABCD, 且提供反变量):

- (1) 根据功能需求完成表3-1 真值表的填写;
- (2) 并写出该函数的标准与或表达式 (使用;  $F = \sum + \sum$  形式);
- (3) 将真值表填入图 3-1 的卡诺图, 并用卡诺图法简化为最简或与式;
- (4) 用或非门实现该函数, 画出逻辑图。

表 3-1

输入	输出
A B C D	F


$\begin{matrix} AB \\ \diagdown \\ CD \end{matrix}$	00	01	11	10
00				
01				
11				
10				

图 3-1

解：真值表（2 分）

输入	输出
ABCD	F
0000	1
0001	0
0010	0
0011	0
0100	1

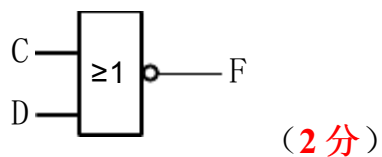
0101	0
0110	0
0111	0
1000	1
1001	0
1010	×
1011	×
1100	×
1101	×
1110	×
1111	×

$$F = \sum m(0,4,8) + \sum \phi(10,11,12,13,14,15) \quad (2 \text{ 分})$$

$\begin{array}{c} AB \\ \diagdown \end{array}$	$CD$			
	00	01	11	10
00	1	1	×	1
01	0	0	×	0
11	0	0	×	×
10	0	0	×	×

(2 分)

$$F = \overline{D} \cdot \overline{C} \quad (2 \text{ 分})$$

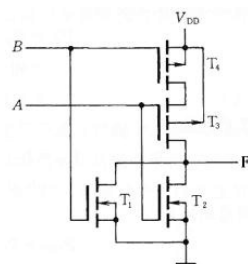


四、(10 分) 请用代数法化简函数  $F = \overline{AB + A \oplus B}(\overline{ABD} + C + D + E)$  为最简与或表达式，画出实现此逻辑函数的最简 CMOS 电路。

解：

$$\begin{aligned}
 F &= \overline{AB} + A \oplus B (\overline{ABD} + C + D + E \text{ e } F) \\
 &= \overline{AB} + \overline{AB} + \overline{AB} (\overline{A} + \overline{B} + \overline{D} + C + D + E \text{ e } F) \\
 &= \overline{B} + \overline{AB} \\
 &= \overline{A + B} = \overline{A} \cdot \overline{B}
 \end{aligned}$$

(化简 8 分，图 2 分)



五、(10 分) TTL 门构成的电路如图 5-1 所示，请给电阻  $R_L$  选择合适的阻值。已知 OC 门输出管截止时的漏电流为  $I_{OH}=200\mu A$ ，OC 门输出管导通时允许的最大负载电流为  $I_{OLmax}=16mA$ ；负载门的低电平输入电流为  $I_{IL}=1mA$ ，高电平输入电流为  $I_{IH}=40\mu A$ ， $V_{CC}'=5V$ ，要求 OC 门的输出高电平  $V_{OH} \geq 3.0V$ ，输出低电平  $V_{OL} \leq 0.4V$ 。

解：

$$R_L \leq \frac{V_{CC}' - V_{OHmin}}{nI_{OH} + mI_{IH}} \quad R_L \geq \frac{V_{CC}' - V_{OL}}{I_{OLmax} - m'I_{IL}}$$

$n=2 \quad m=7 \quad m'=4$

$$R_L \leq \frac{V_{CC}' - V_{OHmin}}{nI_{OH} + mI_{IH}} = \frac{5 - 3}{2 \times 0.2 + 7 \times 0.04} = 2.94K\Omega$$

$$R_L \geq \frac{V_{CC}' - V_{OL}}{I_{OLmax} - m'I_{IL}} = \frac{5 - 0.4}{16 - 4 \times 1} \approx 0.38K\Omega$$

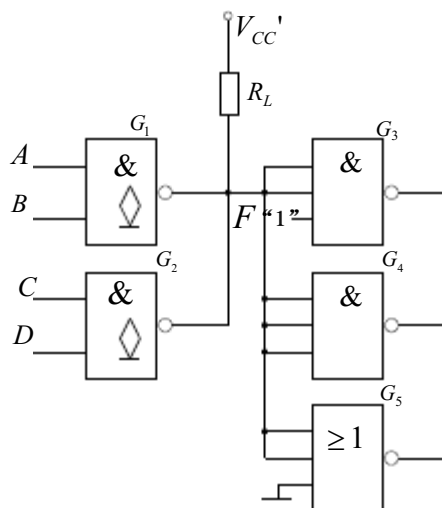


图 5-1

(5 分/个)

六、(20 分) 求函数  $F = (A+B)(B+C)(A+C)$  的标准与或表达式，并分别用译码器 74LS138 (输出低电平有效，功能表见 6-1)、数据选择器 75LS153 (功能表见 6-2)、数据分配器 74LS155 (功能表见 6-3) 和最少的门电路实现此函数 (输入不提供反变量，在图 6-1 所给的符号图上完成)。

$S_A \overline{S_B} + \overline{S_C}$	$A_2$	$A_1$	$A_0$	$\overline{Y_0}$	$\overline{Y_1}$	$\overline{Y_2}$	$\overline{Y_3}$	$\overline{Y_4}$	$\overline{Y_5}$	$\overline{Y_6}$	$\overline{Y_7}$
0	×	×	×	×	1	1	1	1	1	1	1
×	1	×	×	×	1	1	1	1	1	1	1
1	0	0	0	0	0	1	1	1	1	1	1
1	0	0	0	1	1	0	1	1	1	1	1
1	0	0	1	0	1	1	0	1	1	1	1
1	0	1	0	0	1	1	1	1	0	1	1
1	0	1	0	1	1	1	1	1	1	0	1
1	0	1	1	0	1	1	1	1	1	1	0
1	0	1	1	1	1	1	1	1	1	1	0

表 6-1

表 6-2

74LS153  
功能表

7

74LS138 功能表

$\overline{ST}$	$A_1$	$A_0$	$D_3-D_0$	Y
1	×	×	×	0
0	0	0	$D_3-D_0$	$D_0$
0	0	1	$D_3-D_0$	$D_1$
0	1	0	$D_3-D_0$	$D_2$
0	1	1	$D_3-D_0$	$D_3$