

本科生期末试卷（二）

一、选择题（每小题 1 分，共 15 分）

- 1 冯·诺依曼机工作的基本方式的特点是（ ）。
A 多指令流单数据流
B 按地址访问并顺序执行指令
C 堆栈操作
D 存贮器按内容选择地址
- 2 在机器数（ ）中，零的表示形式是唯一的。
A 原码 B 补码 C 移码 D 反码
- 3 在定点二进制运算器中，减法运算一般通过（ ）来实现。
A 原码运算的二进制减法器
B 补码运算的二进制减法器
C 原码运算的十进制加法器
D 补码运算的二进制加法器
- 4 某计算机字长 32 位，其存储容量为 256MB，若按单字编址，它的寻址范围是（ ）。
A 0—64MB B 0—32MB C 0—32M D 0—64M
- 5 主存贮器和 CPU 之间增加 cache 的目的是（ ）。
A 解决 CPU 和主存之间的速度匹配问题
B 扩大主存贮器容量
C 扩大 CPU 中通用寄存器的数量
D 既扩大主存贮器容量，又扩大 CPU 中通用寄存器的数量
- 6 单地址指令中为了完成两个数的算术运算，除地址码指明的一个操作数外，另一个常需采用（ ）。

- A 堆栈寻址方式 B 立即寻址方式
- C 隐含寻址方式 D 间接寻址方式

7 同步控制是（ ）。

- A 只适用于 CPU 控制的方式
- B 只适用于外围设备控制的方式
- C 由统一时序信号控制的方式
- D 所有指令执行时间都相同的方式

8 描述 PCI 总线中基本概念不正确的句子是（ ）。

- A PCI 总线是一个与处理器无关的高速外围设备
- B PCI 总线的基本传输机制是猝发式传送
- C PCI 设备一定是主设备
- D 系统中只允许有一条 PCI 总线

9 CRT 的分辨率为 1024×1024 像素，像素的颜色数为 256，则刷新存储器的容量为（ ）。

- A 512KB B 1MB C 256KB D 2MB

10 为了便于实现多级中断，保存现场信息最有效的办法是采用（ ）。

- A 通用寄存器 B 堆栈 C 存储器 D 外存

11 特权指令是由（ ）执行的机器指令。

- A 中断程序 B 用户程序
- C 操作系统核心程序 D I/O 程序

12 虚拟存储技术主要解决存储器的（ ）问题。

- A 速度 B 扩大存储容量 C 成本 D 前三者兼顾

13 引入多道程序的目的在于（ ）。

- A 充分利用 CPU，减少等待 CPU 时间

- B 提高实时响应速度
- C 有利于代码共享，减少主辅存信息交换量
- D 充分利用存储器

14 64 位双核安腾处理机采用了（ ）技术。

- A 流水 B 时间并行
- C 资源重复 D 流水+资源重复

15 在安腾处理机中，控制推测技术主要用于解决（ ）问题。

- A 中断服务
- B 与取数指令有关的控制相关
- C 与转移指令有关的控制相关
- D 与存数指令有关的控制相关

二、填空题（每小题 2 分，共 20 分）

- 1 在计算机术语中，将 ALU 控制器和（ ）存储器合在一起称为（ ）。
- 2 数的真值变成机器码可采用原码表示法，反码表示法，（ ）表示法，（ ）表示法。
- 3 广泛使用的（ ）和（ ）都是半导体随机读写存储器。前者的速度比后者快，但集成度不如后者高。
- 4 反映主存速度指标的三个术语是存取时间、（ ）和（ ）。
- 5 形成指令地址的方法称为指令寻址，通常是（ ）寻址，遇到转移指令时（ ）寻址。
- 6 CPU 从（ ）取出一条指令并执行这条指令的时间和称为（ ）。
- 7 RISC 指令系统的最大特点是：只有（ ）指令和（ ）指令访问存储器，其余指令的操作均在寄存器之间进行。
- 8 微型机的标准总线，从带宽 132MB/S 的 32 位（ ）总线发展到 64 位的（ ）总线。

9 IA-32 表示 () 公司的 () 位处理机体系结构。

10 安腾体系机构采用显示并行指令计算技术, 在指令中设计了 () 字段, 用以指明哪些指令可以 () 执行。

三、简答题 (每小题 8 分, 共 16 分)

1 简述 64 位安腾处理机的体系结构主要特点。

2 画出分布式仲裁器的逻辑示意图。

四、计算题 (10 分)

已知 $x = -0.01111$, $y = +0.11001$, 求:

① $[x]_{\text{补}}$, $[-x]_{\text{补}}$, $[y]_{\text{补}}$, $[-y]_{\text{补}}$;

② $x+y$, $x-y$, 判断加减运算是否溢出。

五、分析题 (12 分)

参见图 1, 这是一个二维中断系统, 请问:

① 在中断情况下, CPU 和设备的优先级如何考虑? 请按降序排列各设备的中断优先级。

② 若 CPU 现执行设备 C 的中断服务程序, IM_2 , IM_1 , IM_0 的状态是什么? 如果 CPU 执行设备 H 的中断服务程序, IM_2 , IM_1 , IM_0 的状态又是什么?

③ 每一级的 IM 能否对某个优先级的个别设备单独进行屏蔽? 如果不能, 采取什么方法可达到目的?

④ 若设备 C 一提出中断请求, CPU 立即进行响应, 如何调整才能满足此要求?

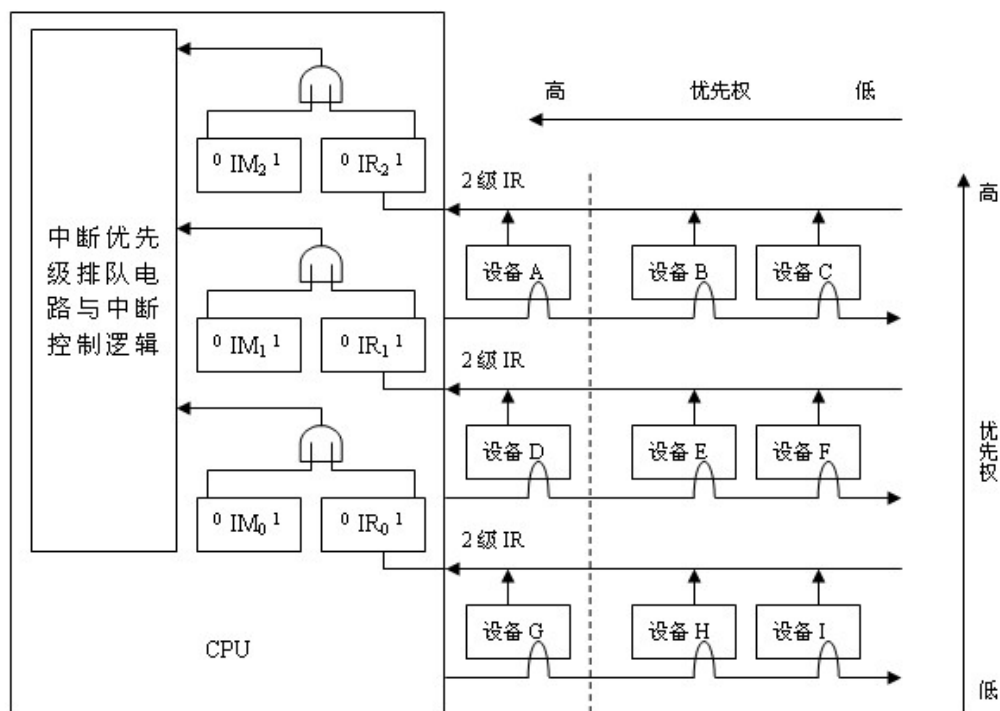


图 1

六、设计题（15 分）

图 2 所示为双总线结构机器的数据通路，IR 为指令寄存器，PC 为程序计数器（具有自增功能），M 为主存（受 R/W#信号控制），AR 为地址寄存器，DR 为数据缓冲寄存器，ALU 由加、减控制信号决定完成何种操作，控制信号 G 控制的是一个门电路。另外，线上标注有小圈表示有控制信号，例中 y_i 表示 y 寄存器的输入控制信号， R_{i0} 为寄存器 R_i 的输出控制信号，未标字符的线为直通线，不受控制。

① “ADD R2, R0” 指令完成 $(R_0) + (R_2) \rightarrow R_0$ 的功能操作，画出其指令周期流程图，假设该指令的地址已放入 PC 中。并在流程图每一个 CPU 周期右边列出相应的微操作控制信号序列。

② 若将（取指周期）缩短为一个 CPU 周期，请先画出修改数据通路，然后画出指令周期流程图。

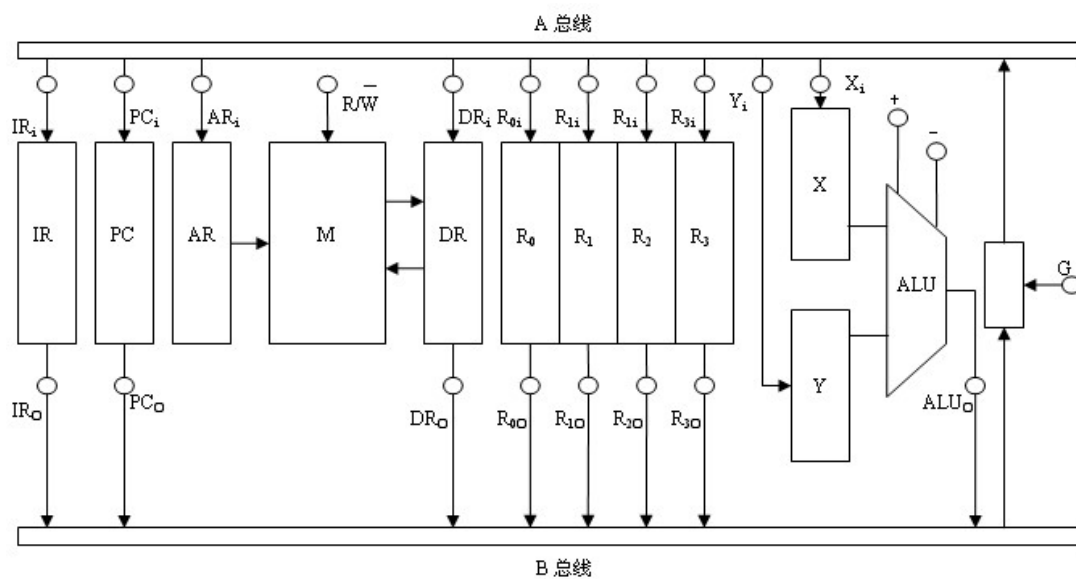


图 2

七、分析题（12 分）

设有 $k=4$ 段指令流水线，它们是取指令、译码、执行、存结果，各流水段持续时间均为 Δt 。

①连续输入 $n=8$ 条指令，请画出指令流水线时空图。

②推导流水线实际吞吐率的公式 P ，它定义为单位时间中输出的指令数。

③推导流水线的加速比公式 S ，它定义为顺序执行几条指令所用的时间与流水执行几条指令所用的时间之比。