

本科试题（六）

一、选择题（每小题 2 分，共 20 分）

1、函数 $F(ABCD) = \sum m(0,2,8,10,13,15)$ ，它的最简与或表达式 $F =$ _____。

- A. $F = \overline{A}\overline{B}\overline{D} + ABD + \overline{A}\overline{B}D$
 B. $F = \overline{A}\overline{B}C + \overline{A}\overline{D} + \overline{A}\overline{B}D$
 C. $F = \overline{A}\overline{B}\overline{C} + \overline{A}\overline{B}D + \overline{A}\overline{B}$
 D. $F = ABD + \overline{B}\overline{D}$

2、在下列电路中，不是组合逻辑电路的是 _____。

- A. 编码器 B. 锁存器 C. 全加器 D. 门电路

3、八路数据分配器，其数据输入端有 _____ 个。

- A. 1 B. 2 C. 3 D. 8

4、电路如图 1 所示，其中完成 $Q^{n+1} = \overline{Q}^n + A$ 电路是 _____。

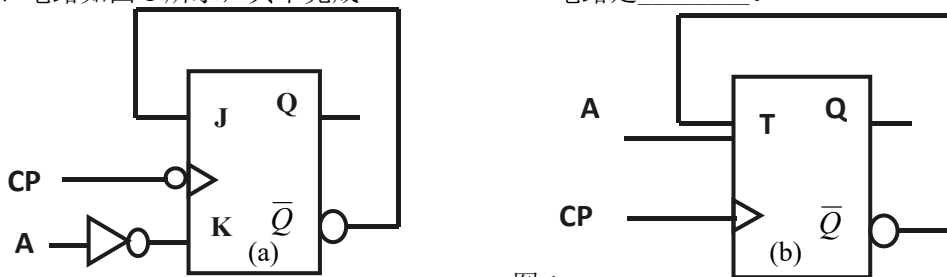


图 1

5、采用四位比较器（74LS85）对两个四位数进行比较时，先比较 _____ 位。

- A. 最低 B. 最高 C. 次低 D. 次高

6、用 n 个触发器构成计数器，可得到的最大计数模为 _____。

- A. n B. $2n$ C. 2^n D. 2^{n-1}

7、FPLA 器件的与门阵列 _____，或门阵列 _____。

- A. 不可编程，不可编程 B. 不可编程，可编程
 C. 可编程，不可编程 D. 可编程，可编程

8、使用 $2K \times 8$ 的 EEPROM 芯片，构成 4096×32 的存储器，共需要 _____ 片 EEPROM 芯片。

- A. 4 B. 8 C. 16 D. 2048

9、ispLSI 器件中的缩写 GLB 是指 _____。

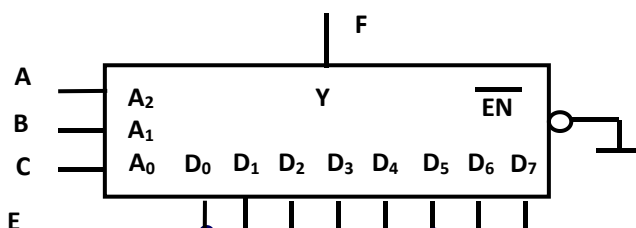
- A. 巨块 B. 通用逻辑块
 C. 全局布线区 D. 输出布线区

10、构成数字系统必不可少的逻辑执行部件为 _____。

- A. 控制器 B. 计数器
 C. 基本子系统 D. 逻辑门

二、简答题（每小题 5 分，共 20 分）

1、八路数据选择器电路如图 2 所示，该电路实现的逻辑函数最小项表达式是什么？



$$F = \bar{A}_2 \bar{A}_1 A_0 + \bar{A}_2 A_1 \bar{A}_0 E + A_2 \bar{A}_1 E + \bar{E} \dots + E$$

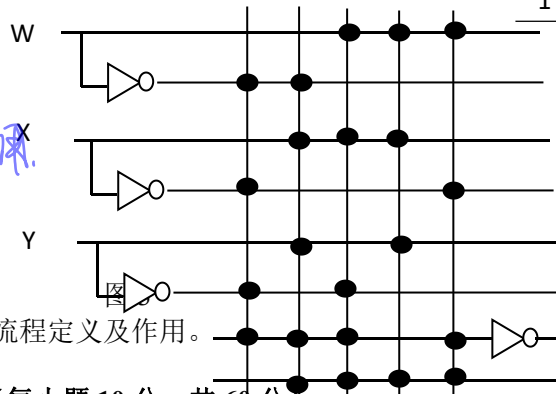
图 2

2、某时序电路的状态转移真值表如右表，该电路是模几计数器？电路是否能够自启动？

PS			NS			Z
Q ₃	Q ₂	Q ₁	Q ₃	Q ₂	Q ₁	
0	0	0	0	0	1	0
0	0	1	0	1	0	0
0	1	0	0	1	1	0
0	1	1	1	0	0	0
1	0	0	0	0	0	1
1	0	1	1	1	0	0
1	1	0	0	1	0	1
1	1	1	1	0	1	0

无解

3、分析由 FPLA 组成的电路如图 3，写出 F₁ 和 F₂ 的表达式



与阵列

$$F_1 = \bar{W} \bar{X} \bar{Y} + \bar{W} X \bar{Y} + W X \bar{Y} + W \bar{X} \bar{Y}$$

$$F_2 = \bar{W} X \bar{Y} + W X \bar{Y} + W X Y + W \bar{X} \bar{Y}$$

或阵列

4、简述算法流程定义及作用。

三、应用题（每小题 10 分，共 60 分）

1、设计一个将 8421BCD 码转换成余 3 码的电路，用与非门实现。

- (1) 列出真值表；
- (2) 卡诺图化简；
- (3) 写出表达式；
- (4) 画出由与非门实现的逻辑图。

8421 + 0011 ✓

2、分析图 4 所示同步计数电路。

- (1) 写出激励方程和状态方程；
- (2) 做出状态转移表和状态转移图；
- (3) 计数器是几进制计数器？能否自启动？
- (4) 画出在时钟作用下各触发器输出波形。

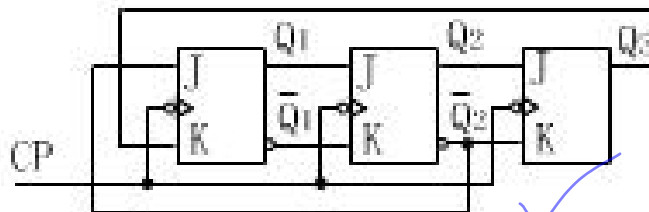
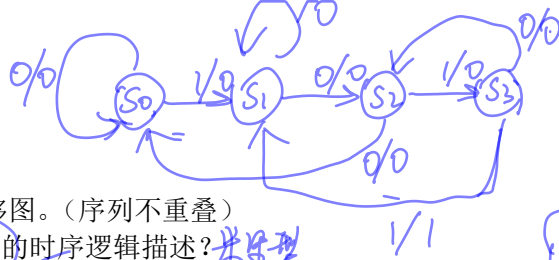


图 4

easy



3、画出 1011 序列检测器的状态转移图。(序列不重叠)

- (1) 确定该状态转移图是什么型的时序逻辑描述? 米型
- (2) 列出状态转移真值表;
- (3) 若采用“计数器法”需要几个 D 触发器; 2 个

米型与输入有关
摩尔型无关

4、用 JK 触发器设计同步五进制递减计数器。状态转换图 5 如下。

- (1) 写出状态转移表
- (2) 写出激励方程、状态方程
- (3) 画出逻辑图

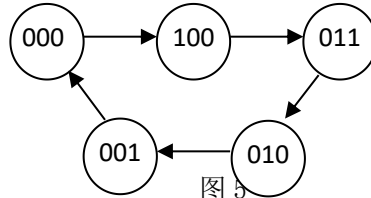


图 5

5、用 VHDL 设计一个七进制计数器。设时钟输入为 CLK, 复位输入为 CR, 进位输出为 CAO。写出完整设计源程序。

6、将图 6 所示的状态图:

- ① 转换为 ASM 图;
- ② 并根据 ASM 图设计多路选择器型控制器。

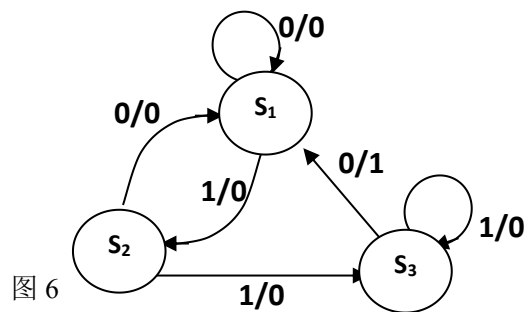


图 6

七进制计数器, CLK, CR, CAO

```
LIBRARY IEEE;
USE IEEE.STD_LOGIC-1164.ALL;
```

```
ENTITY count IS
```

```
CLK CR: IN STD_LOGIC;
```

```
CAO: OUT STD_LOGIC;
```

```
END count;
```

```
ARCHITECTURE func OF count IS
```

```
SIGNAL q-temp STD_LOGIC_VECTOR(3 DOWNTO 0)
```

```
BEGIN
```

```
PROCESS (CLK, CR)
```

```
IF (CR='0') THEN
```

```
q-temp <= "0000";
```

q <=

```
ELSE IF (CLK'EVENT AND CLK='1') THEN
```

```
IF (q-temp = "0111") THEN q-temp <= "0000" CAO='1'
```

```
ELSE q-temp = q-temp + 1 END IF END IF END PROCESS;
```