



设计文档

8 错误日志

1. 不能用'#'号给命名:全部改成了'J'.顺便也把变量名中的'+1'改成了'pp'.
2. 虽然有优先级,但还是不能省去些许扩弧:于是把原来省去的扩弧都补回来了,通过DEVCCP的高亮显示扩号功能,让修改更轻松.顺便检查了一下各表达式的卡诺图是否正确,并修正各表达式.
3. 此外有一些粗心方面的错误,更正容易:漏写and;忘了定义CLRJ;在定义时名为RAM_BUSJ,之后变成了RAM-BUSJ...总之,这些问题不大.
4. 在编译之后,突然发现CLRJ没有管脚,貌似被编译器'和谐'掉了,思之良久而不得,乃求诸师.师之好我,示我其以,锡我良方:

其由也,众IF不得兼行,必有主次之序. IF众而所生赋值之令也,必自众模块,若模块各行其令,其不乱乎?故需明主次,定尊卑,而上下齐心,终但生一定令,模块治矣.

其方也,但令众IF明主次,定尊卑,合一主IF以ELSE IF之令.由是,模块治也,令行畅矣.

5. 继续说说IF的问题:

话说,在4号问题解决的时候,出现了很多很严重的问题.我想把三个IF完全定尊卑,结果被告知永远不可入con='1000'.又尝令consw下于CLRJ,而con01并于CLRJ,结果亦被告知如此;乃令consw并于CLRJ,而con01下于CLRJ,正如初师所锡.而烤制并搭线,以但明con者之变即可,乃但搭此关者线,而发现,con(0)无法至1, CLRJ完全无效,不论何态con(1),con(2),con(3)之值立随SWC,SWB,SWA.不知何故,乃复求教于师.师之好我,耐心以行,左删右增,终然得胜.总结其由,其文见下:

初弃consw,见得CLRJ有效,乃又令consw下于CLRJ而并于con01,尽善.盖初CLRJ与consw并而生乱,俾con<=sw之操作恒立.定其尊卑之后,则可得矣,尽皆有常.或问:consw与con01胡然可并耶.盖consw所改者con(1~3)也,con01所改者con(0)也,二者不干,是以可并.噫嘻,善治者必令众主次尊卑有序,必令八音克谐,必令所行有常有若天,而构造和谐的平台,则休矣美矣,万事济矣.

6. 关于'#'信号的表达式的大错误:各个not之间用or连结,改成用一个大not,或者用and代not间的or.
7. 改完以上,再次烤制,得.控制台诸项逐一行之,皆得.乃又逐一试RP之令,皆善.而编一小汇编程序,令行之,众善,但R2之值生误.以既无时,而它皆善,乃求师验收.幸,师容此咎而允过.
8. 验收之后,复查原小汇编程序,乃发现,04:ADD R2,R3 的机器代码,人工翻译错了,写成了00111110,这个是AND R2,R3的机器代码,当时R2=41H,R3=40H,R2 AND R3=40H,恰同最末得的错误值.而令改04之00011110,得正.
9. 又突然发现一个新BUG.刚到W3,而con(0)=0,此态改SWC~A,至下步,con(1~3)仍会随SWC~A变,之后con(0)稳为1后则不现此病.覃思之,原来初以con(0)='0'时,con(1~3)在W1时祇可能达'1X1',乃令其它状态为无关项,而卡诺图化简,得consw=0XXX & W1,殊不知con(0)之变不同

时于W1,因逻辑硬件也是有一定延迟的,W1变后,con(0)要过10几个ns才能稳于1,此态则现 consw之毛刺,在极短的时间中,consw曾经跳到了1,从而会重读SWC~A.于是,令对consw于W1,只有con='X110'或'11X1'为无关,乃新造卡诺,化简得consw=X1X1 & W1,再次烤入,得正确.

(此页内容陆陆续续地作于2009-7-1下午到2009-7-3上午的调试、验收以及验收后的一段时间)

[上一页](#)

[下一页](#)

[返回](#)