

大专生期末试卷（九）

一、选择题（每小题 2 分，共 30 分）

1 某机字长 64 位，1 位符号位，63 位表示尾数，若用定点整数表示，则最大正整数位（ ）。

- A $+(2^{63}-1)$ B $+(2^{64}-1)$ C $-(2^{63}-1)$ D $-(2^{64}-1)$

2 请从下面浮点运算器中的描述中选出两个描述正确的句子（ ）。

A 浮点运算器可用两个松散连接的定点运算部件—阶码和尾数部件来实现。

B 阶码部件可实现加，减，乘，除四种运算。

C 阶码部件只进行阶码相加，相减和比较操作。

D 尾数部件只进行乘法和除法运算。

3 存储单元是指（ ）。

A 存放 1 个二进制信息位的存储元

B 存放 1 个机器字的所有存储元集合

C 存放 1 个字节的所有存储元集合

D 存放 2 个字节的所有存储元集合

4 某机字长 32 位，存储容量 1MB，若按字编址，它的寻址范围是（ ）。

- A 0—1M B 0—512KB C 0—56K D 0—256KB

5 用于对某个寄存器中操作数的寻址方式为（ ）。

- A 直接 B 间接 C 寄存器直接 D 寄存器间接

6 程序控制类的指令功能是（ ）。

A 进行算术运算和逻辑运算

B 进行主存与 CPU 之间的数据传送

C 进行 CPU 和 I/O 设备之间的数据传送

D 改变程序执行的顺序

7 指令周期是指（ ）。

A CPU 从主存取出一条指令的时间

B CPU 执行一条指令的时间

C CPU 从主存取出一条指令加上执行一条指令的时间

D 时钟周期时间

8 描述当代流行总线结构中基本概念不正确的句子是（ ）。

A 当代流行的总线不是标准总线

B 当代总线结构中，CPU 和它私有的 cache 一起作为一个模块与总线相连

C 系统中允许有一个这样的 CPU 模块

9 CRT 的颜色为 256 色，则刷新存储器每个单元的字长是（ ）。

A 256 位

B 16 位

C 8 位

D 7 位

10 发生中断请求的条件是（ ）。

A 一条指令执行结束

B 一次 I/O 操作结束

C 机器内部发生故障

D 一次 DMA 操作结束

11 IEEE1394 所以能实现数据传送的实时性，是因为（ ）。

A 除异步传送外，还提供同步传送方式

B 提高了时钟频率

C 除优先权仲裁外，还提供均等仲裁, 紧急仲裁两种总线仲裁方式

D 能够进行热插拔

12 中断向量地址是（ ）。

A 子程序入口地址

B 中断服务程序入口地址

- C 中断服务程序入口地址指示器
- D 例行程序入口地址
- 13 直接映射 cache 的主要优点是实现简单。这种方式的主要缺点是()。
- A 它比其他 cache 映射方式价格更贵
- B 如果使用中的 2 个或多个块映射到 cache 同一行, 命中率则下降
- C 它的存取时间大于其它 cache 映射方式
- D cache 中的块数随着主存容量增大而线性增加
- 14 虚拟存储器中段页式存储管理方案的特性为()。
- A 空间浪费大, 存储共享不易, 存储保护容易, 不能动态连接
- B 空间浪费小, 存储共享容易, 存储保护不易, 不能动态连接
- C 空间浪费大, 存储共享不易, 存储保护容易, 能动态连接
- D 空间浪费小, 存储共享容易, 存储保护容易, 能动态连接
- 15 安腾处理机的指令格式中, 操作数寻址采用()。
- A R-R-S 型 B R-R-R 型
- C R-S-S 型 D S-S-S 型

二、填空题(每小题 2 分, 共 12 分)

- 1 IEEE6754 标准规定的 64 位浮点数格式中, 符号位为 1 位, 阶码为 11 位, 尾数为 52 位。则它所能表示的最大规格化正数为()。
- 2 直接使用西文键盘输入汉字, 进行处理, 并显示打印汉字, 要解决汉字的()、()和()三种不同用途的编码。
- 3 数的真值变成机器码时有四种表示方法, 即()表示法, ()表示法, ()表示法, ()表示法。
- 4 主存储器的技术指标有(), (), (), ()。
- 5 cache 和主存构成了(), 全由()来实现。

6 安腾处理机采用 VLIW 技术, 编译器经过优化, 将多条能并行执行的指令合并成一个具有 () 的超长指令字, 控制多个独立的 () 同时工作。

三、简答题 (每小题 8 分, 共 16 分)

1 总线的集中式仲裁有哪几种方式? 各有什么优缺点?

2 画出 SRAM 和 DRAM 的存储元结构图, 它们的存储机理有什么不同? 后者的创新意义何在?

四、计算题 (10 分)

若浮点数 x 的 IEEE754 标准存储格式为 $(41260000)_{16}$, 求其浮点数的十进制数值。

五、计算题 (10 分)

CPU 执行一段程序时, cache 完成存取的次数为 2000 次, 主存完成存取的次数为 100 次, 已知 cache 存取周期为 50ns, 主存存取周期 200ns, 求 cache/主存系统的效率和平均访问时间。

六、设计题 (12 分)

图 1 表示运算器数据通路图, 单线表示控制信号, x 和 y 是三选一多路开关, 按互斥方式工作。假定微指令字长判别测试字段占 2 位, 下址字段占 6 位, 请设计微指令格式, 用直接控制微命令控制此数据通路。画出微指令结构。

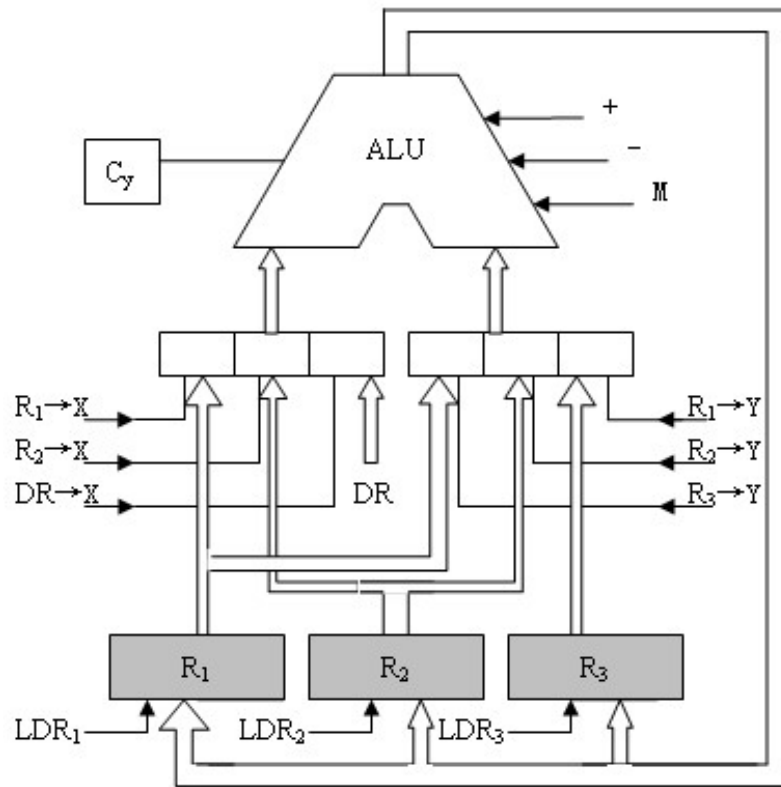


图 1

七、设计题（10 分）

假设有磁盘、磁带、打印机三个设备同时工作，磁盘以 $30\ \mu\text{s}$ 的间隔向多路型 DMA 控制器发出 DMA 请求。磁带以 $45\ \mu\text{s}$ 的间隔发出 DMA 请求，打印机以 $150\ \mu\text{s}$ 的间隔发 DMA 请求。根据传输速率，优先级次序安排为磁盘、磁带、打印机。假设多路 DMA 控制器每完成一次 DMA 传送所需时间是 $5\ \mu\text{s}$ 。请画出 DMA 控制器服务三个设备的工作时空图。