

研究生入学试卷（十）

一、填空题

- 1 若 $[x_1]_{\text{补}} = 11001100$ ， $[x_2]_{\text{原}} = 1.0110$ ，则数 x_1 和 x_2 的十进制数真值分别是（ ）和（ ）。
- 2 将十进制数 85.625 表示成符合 IEEE 754 标准的 32 位浮点数，其阶码为（ ），尾数为（ ）。
- 3 在计算机系统中，多个系统部件之间信息传送的公共通路称为（ ）。通常，在公共通路上所传送的信息类型可分为（ ）、（ ）、（ ）。
- 4 CPU 从主存取出一条指令并执行该指令的时间叫（ ），它通常包含若干个（ ），而后者又包含若干个（ ）。
- 5 连接在总线上的设备可分为（ ）设备和（ ）设备。前者是总线事务的发起者，而后者是（ ）。

二、选择题

- 1 在微程序控制中，机器指令和微指令的关系是（ ）。
A 每一条机器指令由一条微指令解释执行
B 每一条机器指令由一段微程序解释执行
C 每一条微指令由一条机器指令解释执行
D 每一段微程序由若干条机器指令解释执行
- 2 动态 RAM 的特点是（ ）。
A 工作中存储内容会发生变化 B 工作中需动态改变访存地址
C 每次读出后，需重写一次 D 每隔一定时间，需按行执行一次假读操作
- 3 CPU 在每个（ ）周期后响应 DMA 请求。
A 时钟 B 指令 C 存储 D 总线
- 4 向量中断的向量地址（ ）。
A 由中断服务程序统一产生 B 由中断源硬件提供
C 由被中断的主程序查表获得 D 由存储管理部件产生
- 5 下列关于微操作的描述正确的是（ ）。
A 同一 CPU 周期中，可以并行执行的微操作叫相容性微操作
B 同一 CPU 周期中，可以并行执行的微操作叫相斥性微操作
C 在不同的 CPU 周期，可以并行执行的微操作叫相斥性微操作
D 同一 CPU 周期中，不可以并行执行的微操作叫相容性微操作
- 6 下述 I/O 控制方式中，主要由程序实现的是（ ）。
A DMA 方式 B PPU 方式

C 中断方式 D 通道方式

7 在指令的地址字段中直接给出操作数本身的寻址方式，称为（ ）。

- A 直接寻址 B 寄存器寻址
C 立即寻址 D 隐含寻址

8 下列陈述中正确的是（ ）。

- A 中断服务程序的最后一条指令是无条件转移指令
B 每条指令的执行过程中，每个总线周期要检查一次有无中断请求
C 中断响应过程是由硬件和中断服务程序共同完成的
D 检测有无 DMA 请求，一般安排在一条指令执行过程的末尾

9 直接映射 Cache 的主要优点是实现简单。这种方式的主要缺点是（ ）。

- A 它比其他几种 Cache 映射方式价格更贵
B Cache 中的块数随着主存的容量线性增加
C 如果使用中的 2 个或多个块映射到 Cache 的同一行，命中率将下降
D 它的存取时间大于其他几种映射方式

10 磁盘的转速提高一倍，则（ ）。

- A 平均存取时间减半 B 平均等待时间减半
C 平均寻道时间减半 D 存储密度可提高一倍

三、简答题

1 某计算机存储器按字节寻址，设主存容量为 512KB，Cache 容量为 16KB，每块有 16 个字，每字 32 位。

- (1)若 Cache 采用直接映射方式，请给出主存地址字段中各段的位数。
(2)若 Cache 采用四路组相联映射，请给出主存地址字段中各段的位数。

2 在定点小数机器中，请说明如何判断运算结果是否溢出？

3 某计算机的存储器系统采用 L1、L2 Cache 和主存 3 级分层结构，访问第一级命中率 95%，访问第二级时命中率 50%，其余 50%访问主存，假定访问 L1 Cache 需要 1 个时钟周期，访问 L2 Cache 和主存分别需要 10 个和 100 个时钟周期。问：平均需要多少个时钟周期？

四、分析题

设某处理器具有四段指令流水线：IF（取指令）、ID（指令译码及取操作数）、EXE（ALU 执行）和 WB（结果写回）。现处理器执行如下指令序列：

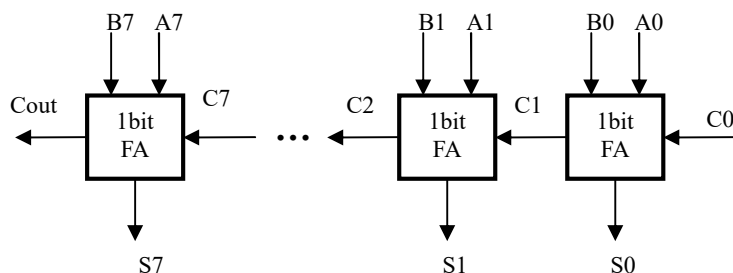
ADD R3, R1, R2 ; $R3 \leftarrow R1 + R2$
SUB R3, R3, 2 ; $R3 \leftarrow R3 - 2$
ADD R2, R2, 1 ; $R2 \leftarrow R2 + 1$

- (1)如果流水线采用推迟相关指令执行的方法，处理器执行这 3 条指令需要占用多少时钟周期？
(2)能否在(1)的基础上做改进，进一步提高执行速度？

五、分析题

8 位行波加法器如下图所示，A (A_0, \dots, A_7) 和 B (B_0, \dots, B_7) 是两个无符号数，其中 A_0 、 B_0 是最低位。如果将该加法器的进位方式改成先行进位方式，请写出

C1 和 C2 进位的布尔表达式。即：C1=f(A, B, C0)，C2=g(A, B, C0), 写出 f 和 g 的表达式。



六、设计题

某模型机的数据通路如图所示。R1 和 R2 为通用寄存器，MDR 为内存数据寄存器，PC 为程序计数器，IR 为指令寄存器。所有的细单线箭头为控制微命令。

- (1)请说明图中部件 X 的名称和功能。
- (2)T1 和 T2 两个暂寄存器有何作用？
- (3)若二地址 RS 型指令采用如下格式：

操作码	寄存器号	地址 D
-----	------	------

“ADD R, Var”指令的操作为： $R \leftarrow R + (Var)$ ，其中 R 表示 R1 或 R2 寄存器，(Var) 为内存地址 Var 所存储的内容。请画出 ADD 指令的指令周期流程图，并给出每个微操作对应的微命令。

- (4)若内存操作数的寻址方式改为基址方式，即：ADD Rx, [Ry+Var], Rx 和 Ry 为 R1 或 R2 寄存器，Var 为偏移量。请设计指令格式，并画出 ADD 指令的指令周期流程图，并给出每个微操作对应的微命令。

