

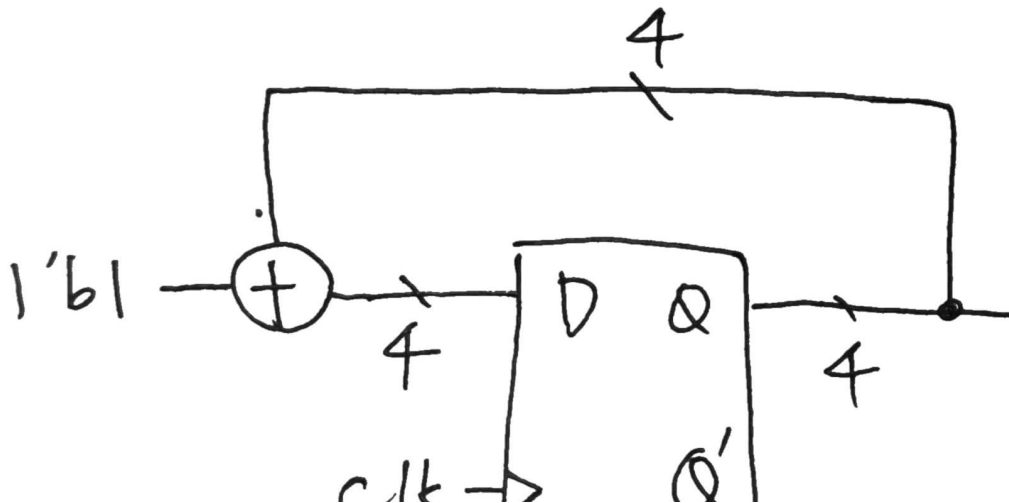
Pre-lab3(109061256 陳立萍)

Pre-lab3_1

Input: clk, rst

Output: [3:0]q

1.1 logic diagram



1.2 wave diagram



說明：

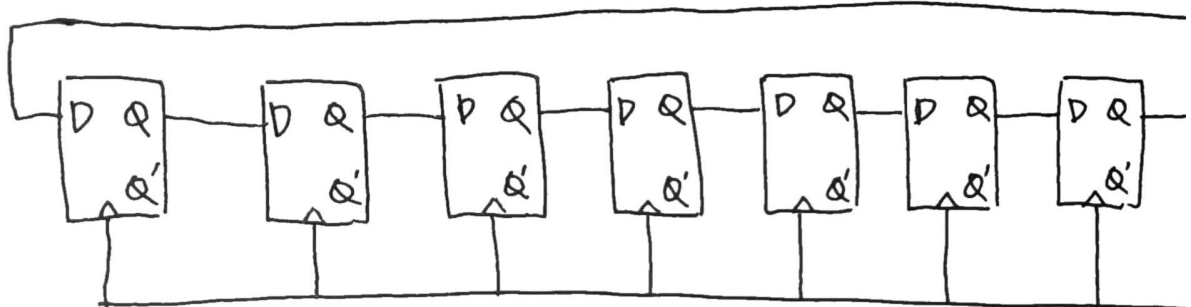
此題的 input 為 clock 與 reset，output 為 q3q2q1q。此題要求為 synchronous counter，因此在 rst 訊號後會接一個 not 閘，因此 rst 在 0 時才會有作用，因此在第一個 clock 正緣處，rst 等於 0，讓此時的 q 為 0000，從波形圖可以看出，在每一個 clock 正緣來臨時，q 都會加 1，直到 1111 時會歸 0 再繼續加 1 下去，形成 up counter。

Pre-lab3_2

Input: clk, rst

Output: [7:0]q

logic diagram



wave diagram



說明：

此題的 input 為 clock 與 reset，output 為 q0 到 q7。波形圖中的 q 值 aa 即為 10101010，圖中的 q 值 55 則為 01010101，在一開始 reset 起來一次，因此此時 q 為 aa(10101010)，之後在每一次 clock 起來時，都會往右 shift 一次，變成 55(01010101)，接著 clock 又來一次，再往右 shift 變成 aa(10101010)……不斷下去。