

Lab05 (109061256 陳立萍)

Lab5_1: Construct a 30-second down counter with pause function.

When the counter goes to 0, all the LEDs will be lighted up.

Design Specification

input : pb_rst(reset), pb_start(開始暫停), clk_cr(100Mhz),

output : [7:0]seg(七段顯示器圖形), [3:0]dis(四個七段顯示器),

reg [15:0]led(16 個 LED)

wire : clk_100hz(100hz), clk_1hz(1hz), rst_p(reset),

start_debounced(開始暫停 debounce 處理完訊號),

rst_debounced(rst debounce 處理完訊號),

start_pulse(開始暫停 one_pulse 處理完訊號),

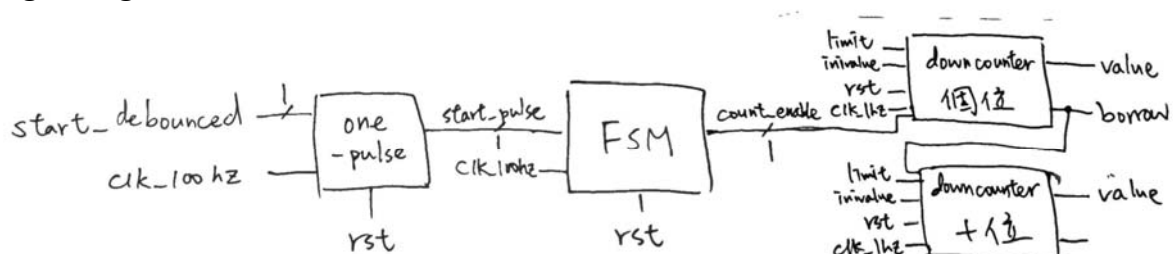
rst_pulse(rst one_pulse 處理完訊號)

wire : count_enable_next (暫存 count_enable),

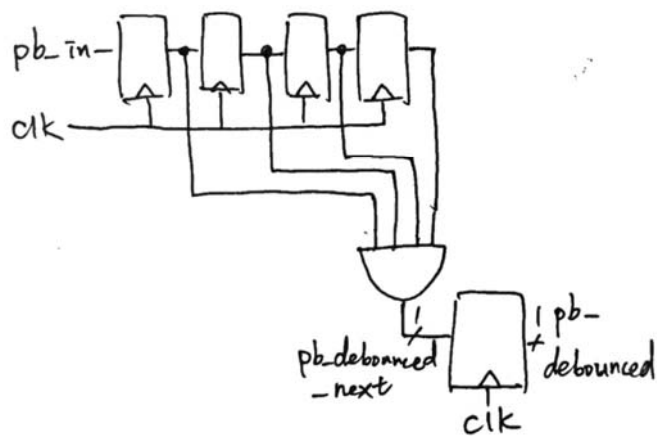
[3:0]digit[1:0](七段顯示器值), [3:0]bin(四個七段顯示器),br(借位)

reg : count_enable;

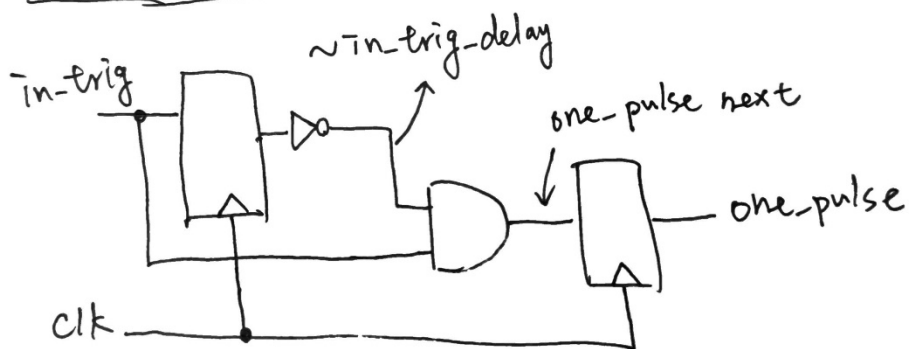
logic diagram



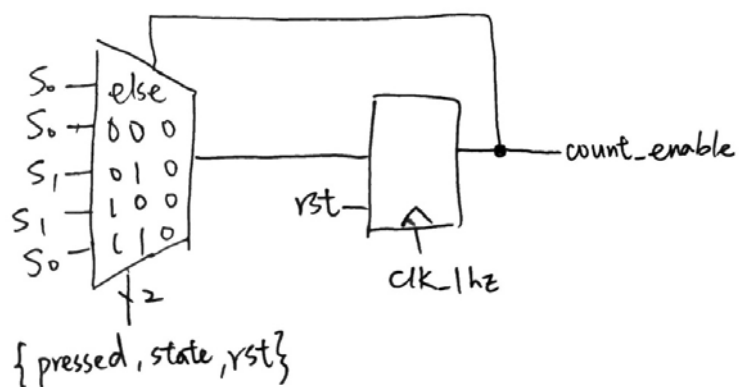
Debounce

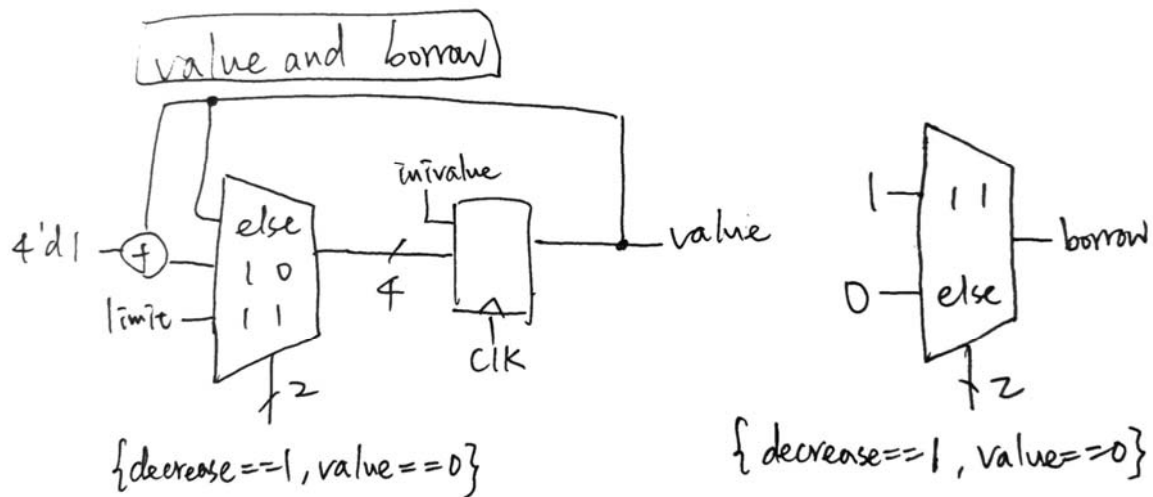


one-pulse



FSM





I/O pin assignment:

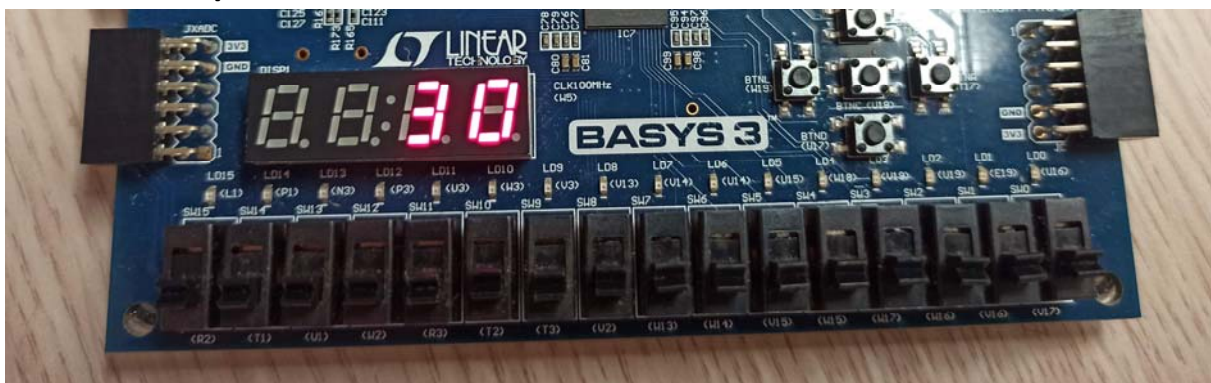
dis[3]	dis[2]	dis[1]	dis[0]	clk_cr	pb_rst	pb_start
W4	V4	U4	U2	W5	W19	T17

led[15]	led[14]	led[13]	led[12]	led[11]	led[10]	led[9]	led[8]
L1	P1	N3	P3	U3	W3	V3	V13
led[7]	led[6]	led[5]	led[4]	led[3]	led[2]	led[1]	led[0]
V14	U14	U15	W18	V19	U19	E19	U16

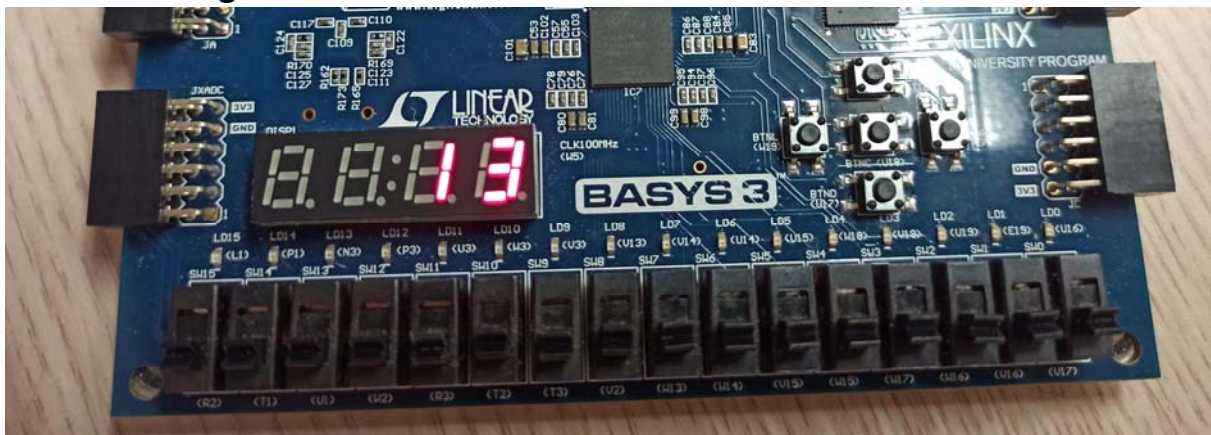
seg[7]	seg [6]	seg [5]	seg[4]	seg [3]	seg [2]	seg [1]	seg [0]
W7	W6	U8	V8	U5	V5	U7	V7

Design Implementation

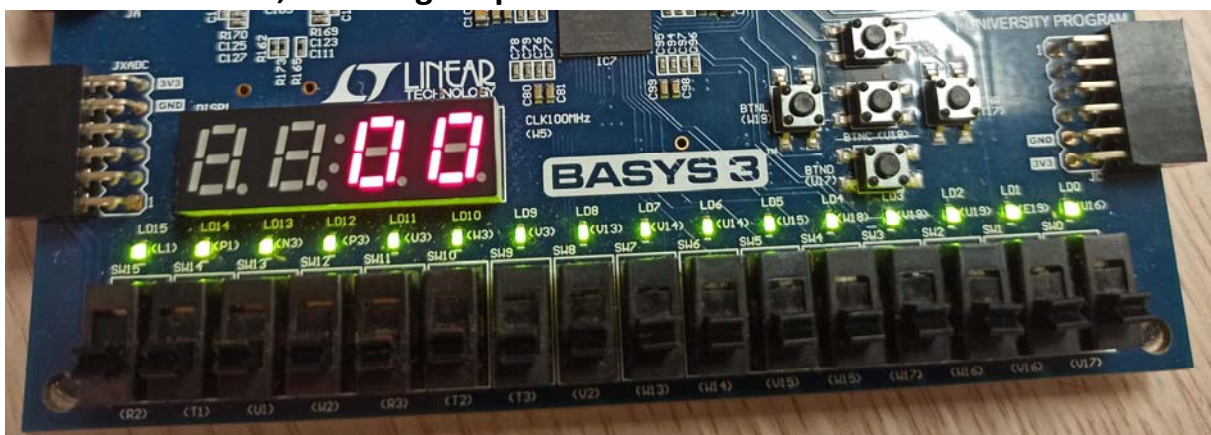
start from 30 / reset



down counting...



count down to 00, all led light up



設計方法：

fre_div_1.v：除頻功能，用來製造 1hz 頻率給 downcounter.v 作減一功能的 clock。

fre_div_100.v：除頻功能，用來製造 100hz 頻率給 one_pulse.v 和 debounce.v 作為它們的 clock。

debounce.v：用來消除按下按鈕後的 0101 震盪，用 4 個 flipflop 接在一起，然後將四個 flipflop 的暫存值 and 在一起，如果四個都是 1，則輸出為 1，也就是按鈕確定按下，若 and 完的值為 0，則輸出為 0

one_pulse.v：用來製造一個 clock 長度的 pulse，以確保輸入的訊號只經過一個 clock，也就是我們製造的 one_pulse 訊號。首先將輸入的 one_pulse 訊號 in_trig 存入一個 flipflop 得到 in_trig_delay 訊號，然後將 in_trig_delay 反向，再和 in_trig 做 and 接著再將這個值存入另一個 flipflop，flipflop 的輸出即為我們的 one_pulse。

FSM.v：用來判斷現在的狀況與之後馬上要變的狀況，一開始先分成停止的狀態與在計數的狀態。1.在停止的狀況下，如果按鈕被 pressed，就要馬上開始倒數也就是 count_enable 為 1，然後此時狀態會跳到計數的狀態，而當按鈕都沒有被按下時，會維持在停止的狀態，且 count_enable 為 0。 2.在計數的狀態下，如果按鈕被 pressed，就

要馬上停止，也就是 `count_enable` 為 0，而此時狀態變成停止狀態，而當按鈕都沒有被按下時，會一直不停的倒數，且 `count_enable` 為 1。

`downcounter.v` : 定義了遞減以及借位。十位數的運作如下：個位的 `borrow (br)` 會接到十位的 `decrease(br)`，當個位的 `borrow (br)` 為 1 時代表要向十位借 1，十位的 `decrease(br)` 變成 1，此時十位數減一；個位數的運作如下：由 `decrease` 來作為是否繼續減一的判斷，`decrease` 在十位數為 0 且個位數為 0 且沒有 `rst` 的狀況下為 0，代表個位數不能再遞減，而 `decrease` 為 1 時代表還沒有數到 00，會繼續不停的數。

`display.v` : 定義了七段顯示器的輸出圖形。

`lab5_1.v` : `top module` 裡面除了連結 `.v` 檔外，還設定了在倒數到 00 時要將所有 LED 亮起，在倒數時則都不亮。

Lab5_2: The same function as Exp. 1. Instead of using two push buttons for reset/pause/start, try to use just one push button to finish the design.

Design Specification

input : `pb_start`(開始暫停), `clk_cr`(100Mhz),

output : `[7:0]seg`(七段顯示器圖形), `[3:0]dis`(四個七段顯示器),

reg `[15:0]led`(16 個 LED)

wire : `clk_100hz`(100hz), `clk_1hz`(1hz), `rst_p`(reset),

`start_debounced`(開始暫停 debounce 處理完訊號),

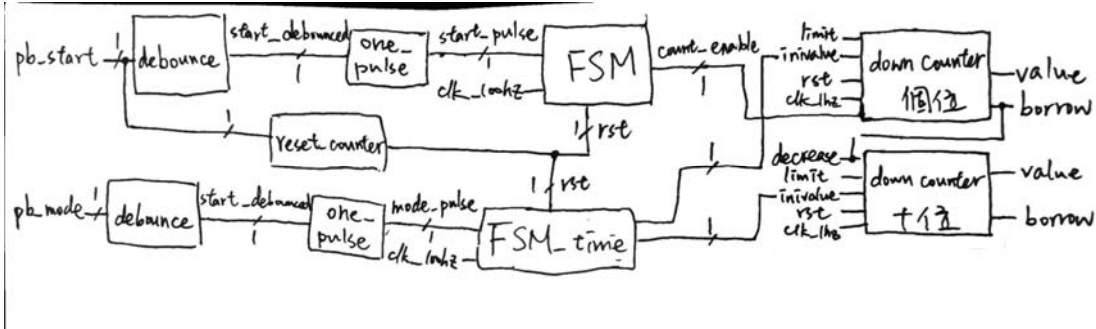
`start_pulse`(開始暫停 one_pulse 處理完訊號),

wire : `count_enable_next` (暫存 `count_enable`),

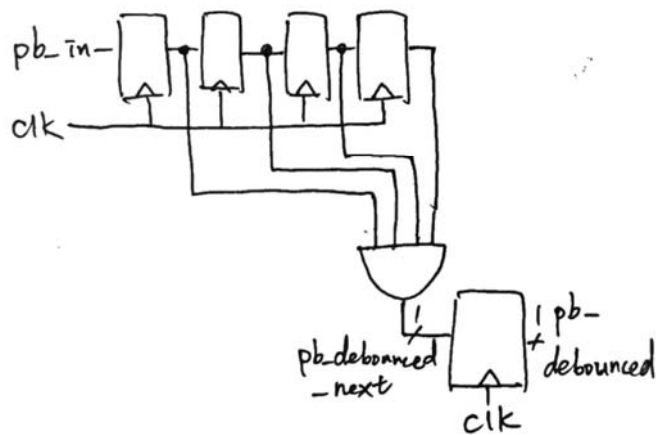
`[3:0]digit[1:0]`(七段顯示器值), `[3:0]bin`(四個七段顯示器), `br`(借位)

reg : `count_enable`;

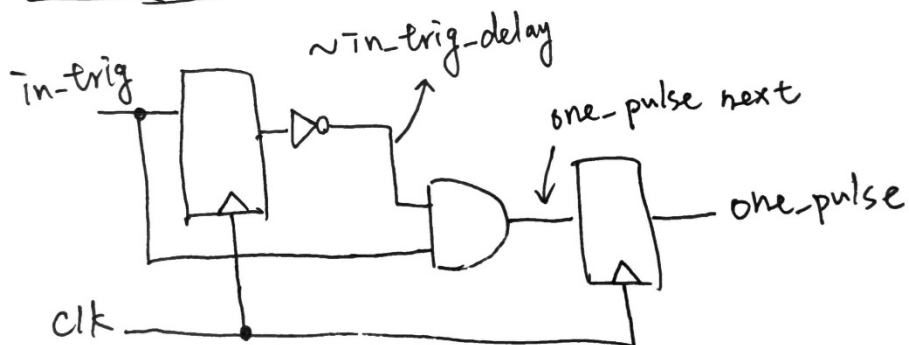
logic diagram



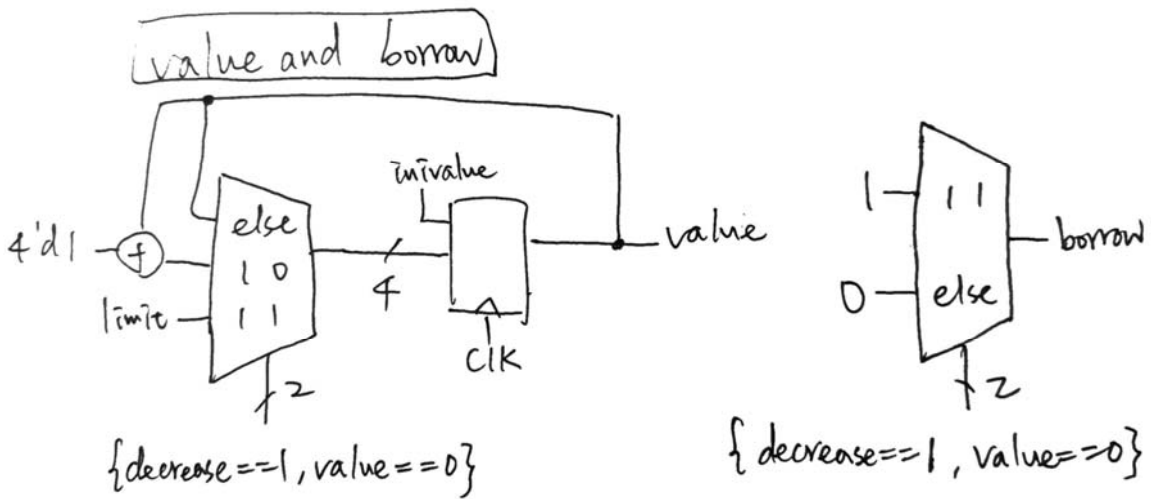
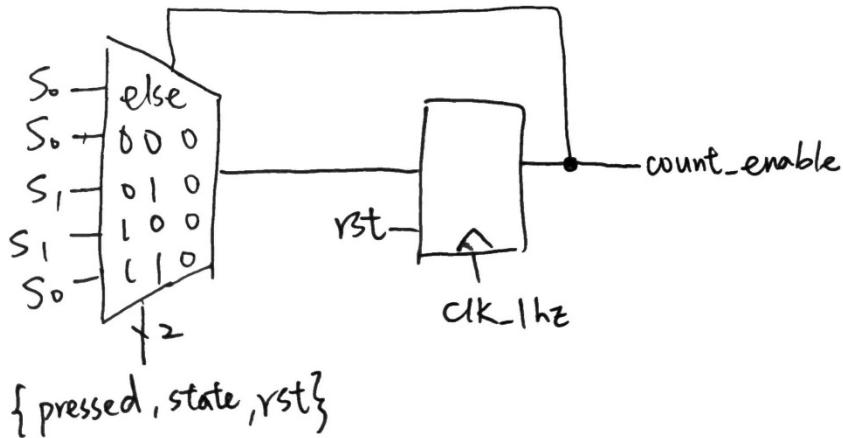
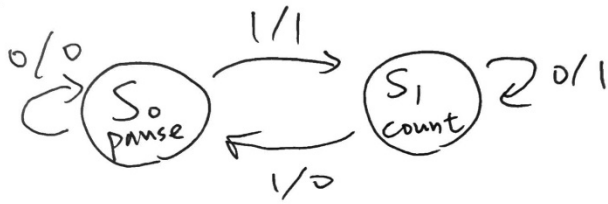
Debounce



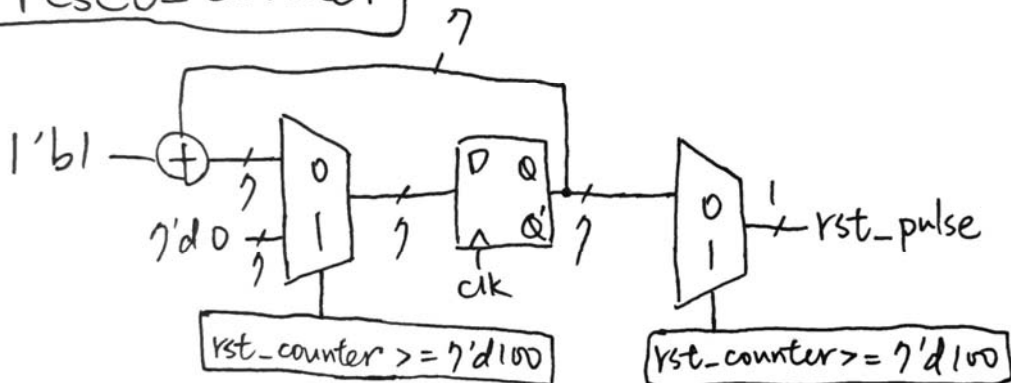
one-pulse



FSM



reset-counter



I/O pin assignment:

dis[3]	dis[2]	dis[1]	dis[0]	clk_cr	pb_start/(reset)
W4	V4	U4	U2	W5	T17

led[15]	led[14]	led[13]	led[12]	led[11]	led[10]	led[9]	led[8]
L1	P1	N3	P3	U3	W3	V3	V13
led[7]	led[6]	led[5]	led[4]	led[3]	led[2]	led[1]	led[0]
V14	U14	U15	W18	V19	U19	E19	U16

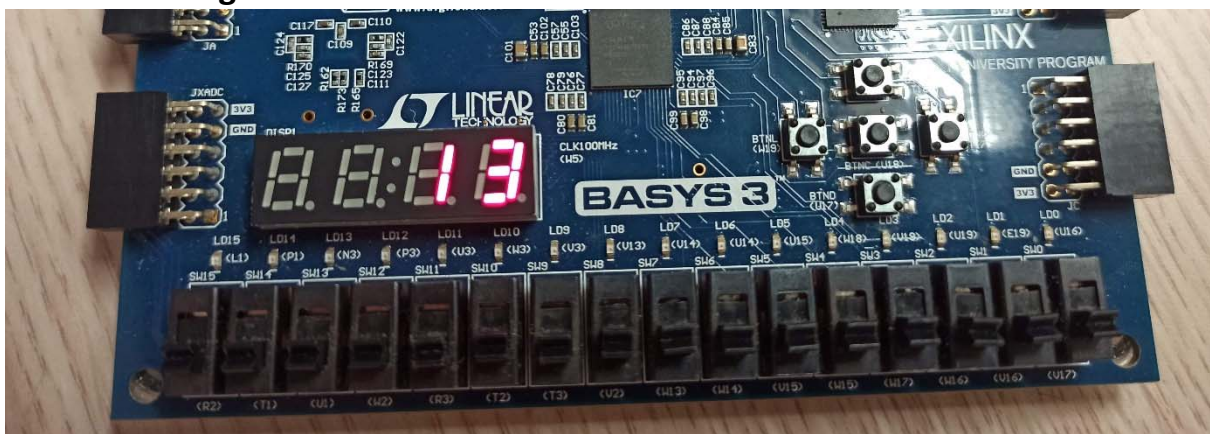
seg[7]	seg [6]	seg [5]	seg [4]	seg [3]	seg [2]	seg [1]	seg [0]
W7	W6	U8	V8	U5	V5	U7	V7

Design Implementation

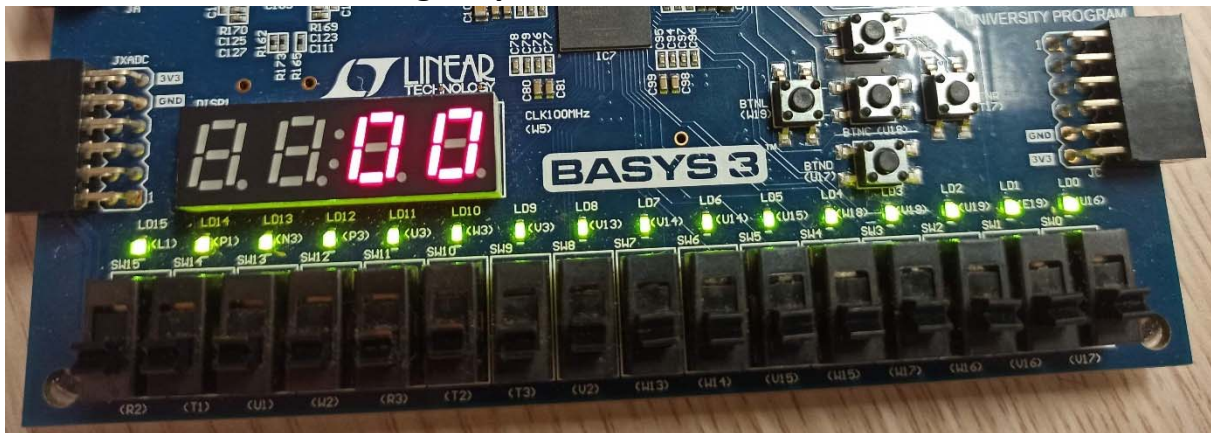
start from 30 / push reset over 1s



down counting...



count down to 00, all led light up



設計方法：

將上面做好的 lab5_1 加上 reset.v。

reset.v：按下之按鈕即為開始暫停鍵，也就是把開始暫停 debounce 完之訊號接線到 input，接著判斷按下按鈕是否超過 1 秒以上，若超過，則會 reset。先設計一個 counter 用來計算按下按鍵為 1 的時間，每次 clock 來的時候都會不斷將 7 個串在一起的 flipflop 加一，若加到超過 100，則會讓 reset 訊號變成 1，接著讓暫存器歸零。若發現按下按鍵的時間不夠長，也就是還沒加到 100 就停止加一，那麼輸出 reset 為 0，且將暫存器歸零。

lab5_2.v：top module 裡面除了連結.v 檔外，還設定了在倒數到 00 時要將所有 LED 亮起，在倒數時則都不亮。

3.Lab5_3_bonus : Use two push buttons to control a multi-function stop timer (mode selection, reset, start, stop). The stop timer has two modes: 30-second/1-minute countdown. When being reset, the seven-segment display shows the digits 30/1:00. When the timer counts to 0, it will stop.

Design Specification

input : pb_start(開始暫停), clk_cr(100Mhz), pb_mode(模式切換)

output : [7:0]seg(七段顯示器圖形), [3:0]dis(四個七段顯示器),

reg [15:0]led(16 個 LED)

wire : clk_100hz(100hz), clk_1hz(1hz), rst_p(reset),

start_debounced(開始暫停 debounce 處理完訊號),

mode_debounced(模式切換 debounce 處理完訊號),

start_pulse(開始暫停 one_pulse 處理完訊號),

mode_pulse(模式切換 one_pulse 處理完訊號),

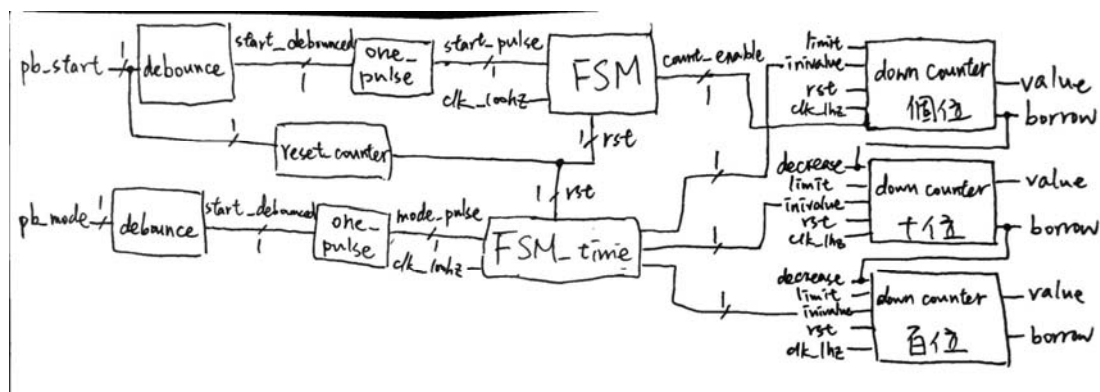
wire : count_enable_next (暫存 count_enable),

[3:0]mode_value[2:0](模式初始值),

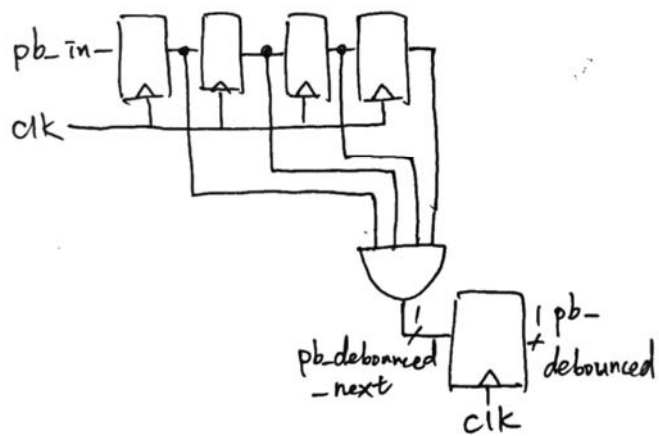
[3:0]digit[2:0](七段顯示器值), [3:0]bin(四個七段顯示器),br(借位)

reg : count_en(enable for count);

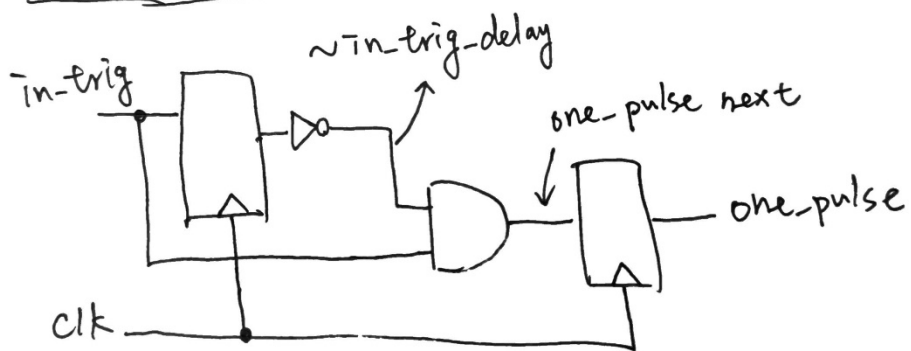
logic diagram



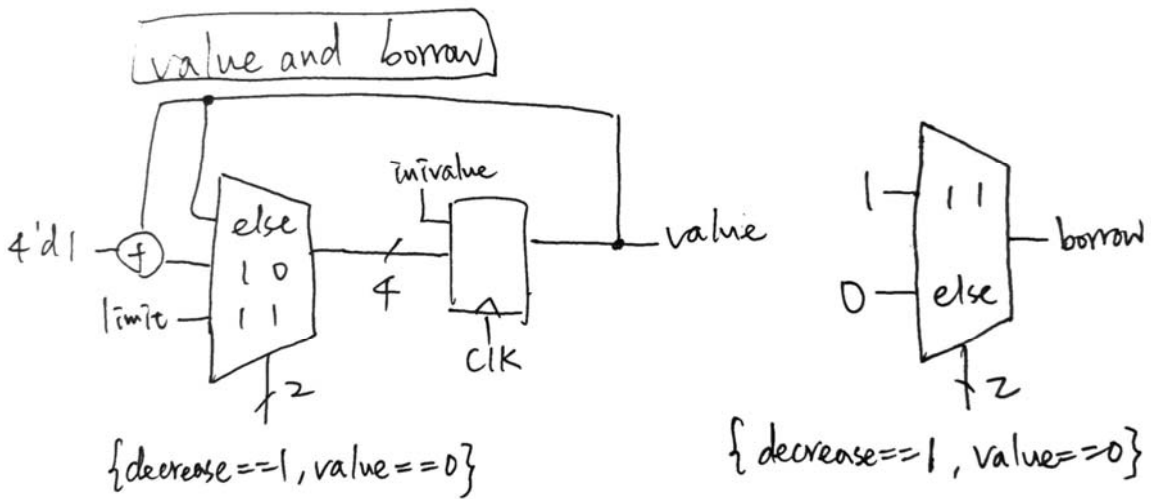
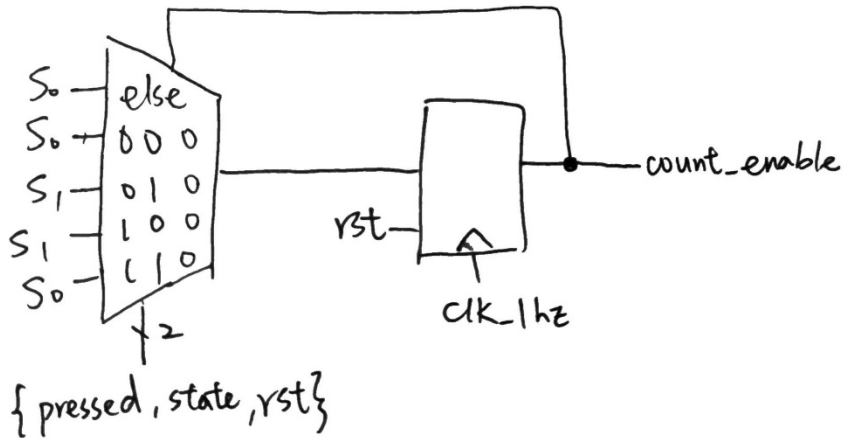
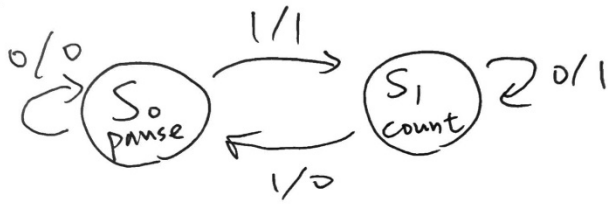
Debounce



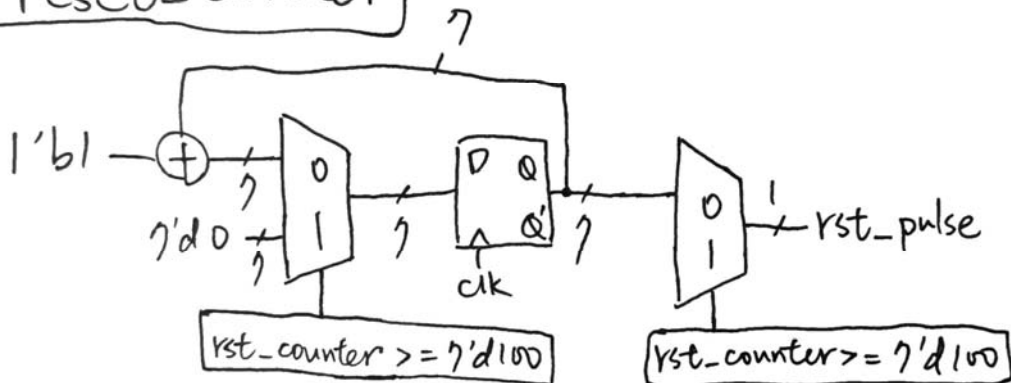
one-pulse



FSM



reset-counter



I/O pin assignment:

dis[3]	dis[2]	dis[1]	dis[0]	clk_cr	pb_mode	pb_start/(reset)
W4	V4	U4	U2	W5	W19	T17

led[15]	led[14]	led[13]	led[12]	led[11]	led[10]	led[9]	led[8]
L1	P1	N3	P3	U3	W3	V3	V13
led[7]	led[6]	led[5]	led[4]	led[3]	led[2]	led[1]	led[0]
V14	U14	U15	W18	V19	U19	E19	U16

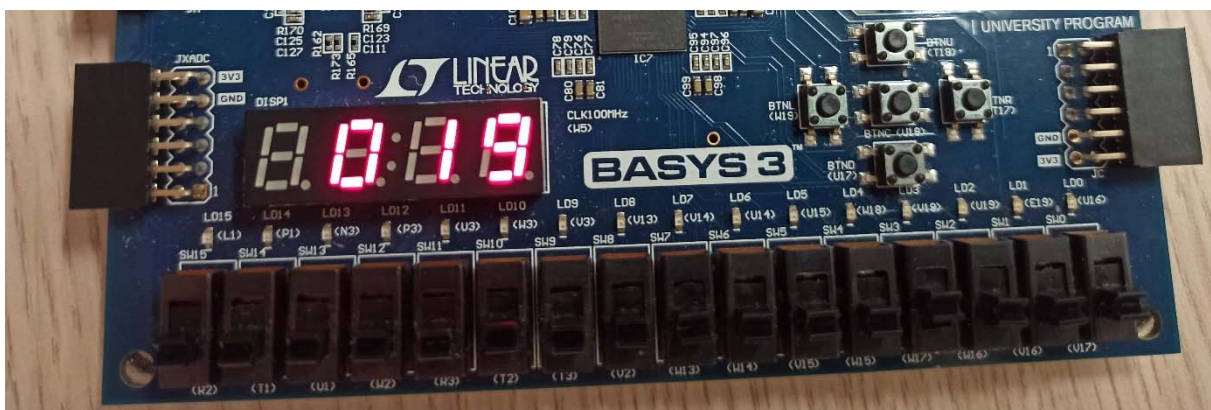
seg[7]	seg [6]	seg [5]	seg [4]	seg [3]	seg [2]	seg [1]	seg [0]
W7	W6	U8	V8	U5	V5	U7	V7

Design Implementation

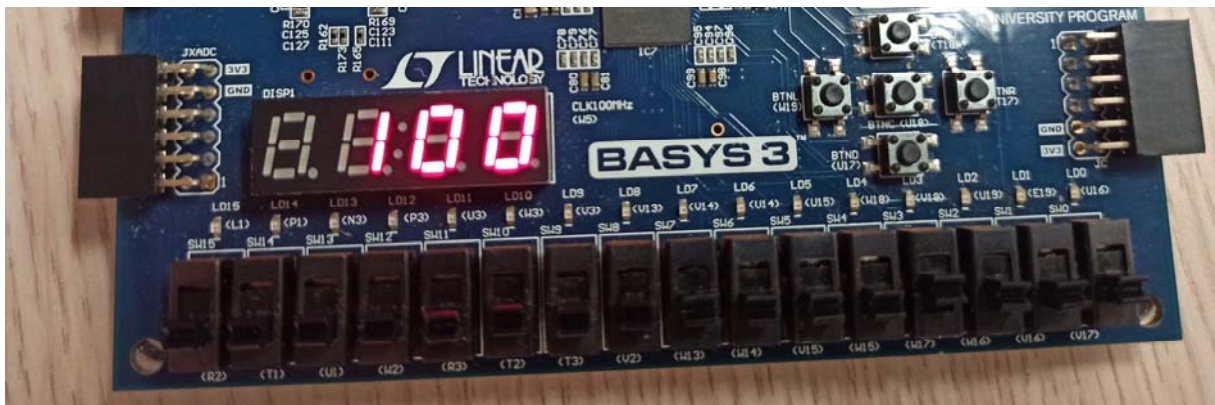
start from 30 / push reset over 1s



down counting...



start from 100 / push reset over 1s



down counting...



count down to 00, all led light up



設計方法：

將上面做好的 lab5_2 加上 FSM_time 用來做 30 秒/1 分鐘選擇的 FSM。

FSM_time.v：用來判斷現在的狀況與之後馬上要變的狀況，一開始先分成 30 秒的狀態，與 1 分鐘的狀態。1.在 30 秒的狀況下，如果按鈕被 pressed，就要把將要輸入的值灌入 0100 也就是 1 分鐘模式，接著按下 reset 後會變成 1 分鐘模式，若再按下一次 mode 切

換，再 reset 後就會回到 30 秒模式…以此類推，而當按鈕都沒有被按下時，會維持在此狀態。2.在 1 分鐘的狀況下，如果按鈕被 pressed，就要把將要輸入的值灌入 0030 也就是 30 秒模式，接著按下 reset 後會變成 30 秒模式，若再按下一次 mode 切換，再 reset 後就會回到 1 分鐘模式…以此類推，而當按鈕都沒有被按下時，會維持在此狀態。

lab5_3.v : top module 裡面除了連結.v 檔外，還設定了在倒數到 00 時要將所有 LED 亮起，在倒數時則都不亮，而且比 lab5_2 的 top module 多了一個 down counter 用來給第 2 個七段顯示器，另外還多設定了 1 分鐘模式的初始值（0100）。

Discussion

Lab5_1

這題和 pre_lab5 一樣，只是把結果用板子呈現，在做這題的時候要小心接線，有時候接線接錯會讓每一個 module 的輸入輸出錯誤。結果和預期一樣。

Lab5_2

這題只是多了一個要數 start 鍵被按多久的 counter，來觸發 reset 功能，基本上和第一題相同，結果也與預期的相符。

Lab5_3_bonus

這題非常的困難，因為我原本想要作的功能是一按下 mode 切換就要跳到另一個模式，可是因為這個切換會關係到 reset 的觸發與否與是否正在倒數。因此後來我把功能改成，按一下 mode 鍵會跳到另一個模式，但是要等到 reset 後才會在七段顯示器上顯示數字，當然在接線的時候也有接錯，導致結果錯誤，因此要很小心。

Conclusion

這次的 lab 超級複雜的，一個題目就要 10 幾個 module 下去做結合，我時常接錯線，導致結果一直不對，浪費非常多的時間。雖然這個 lab 花了很多時間，但是做完的時候真的很有成就感，又學了好多東西。第三個題目是我覺得最為感動的一個題目，因為可以自由選擇切換模式非常的難做，但是這個功能非常的酷。希望下一個 lab 可以記取這個 lab 的失敗，不要再接錯線，浪費太多時間在 de 沒有 bug 的 debug。

References

教授授課頭影片：語法運用，符號運用，設計觀念，波形圖解讀。