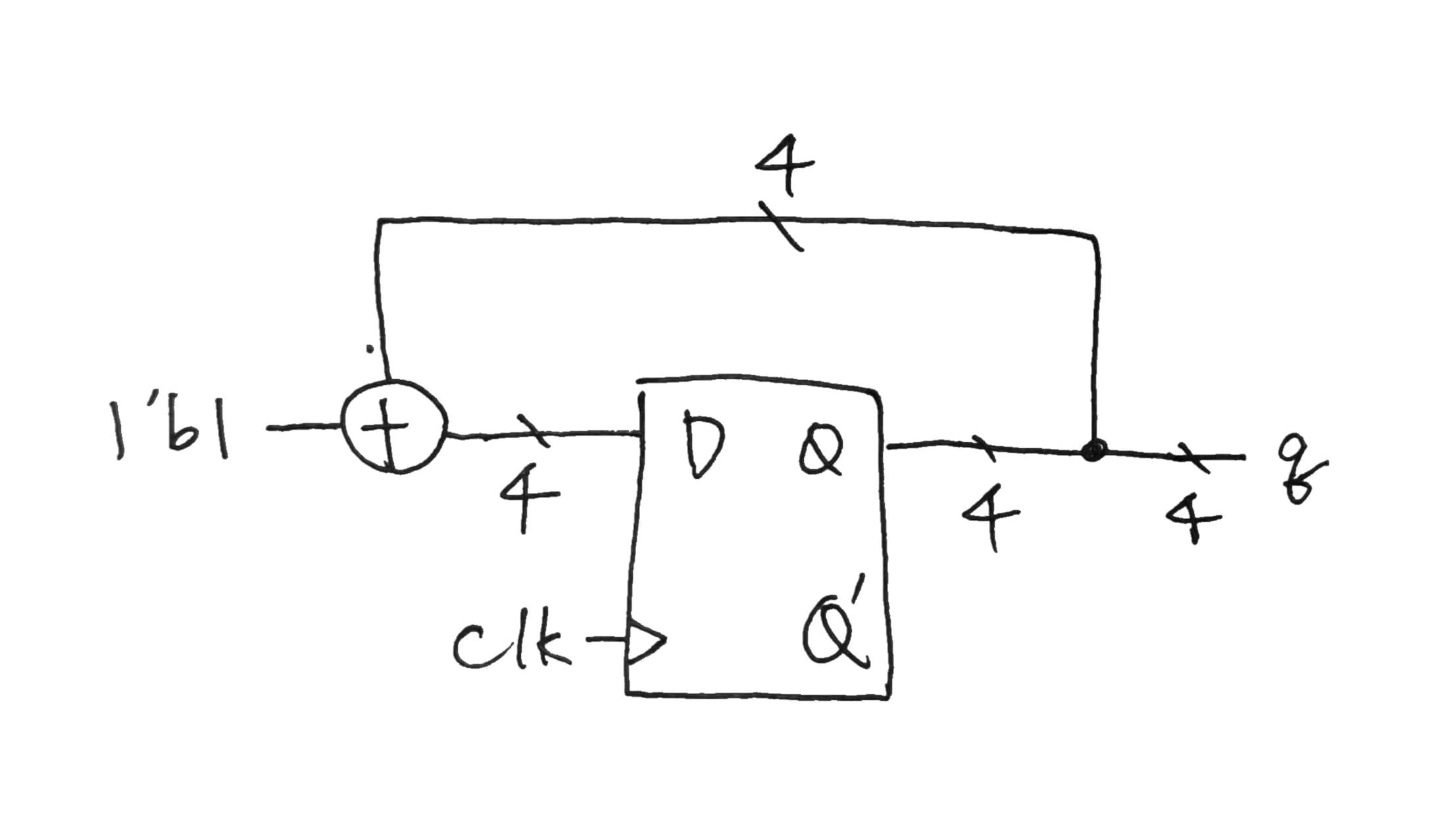
**Pre-lab3(109061256陳立萍)**

**Pre-lab3\_1**

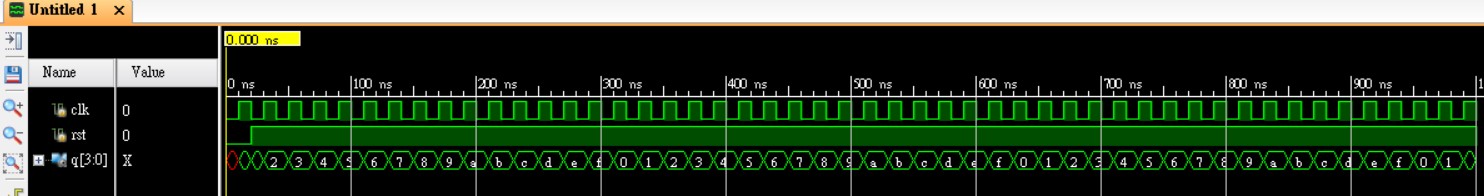
Input: clk, rst

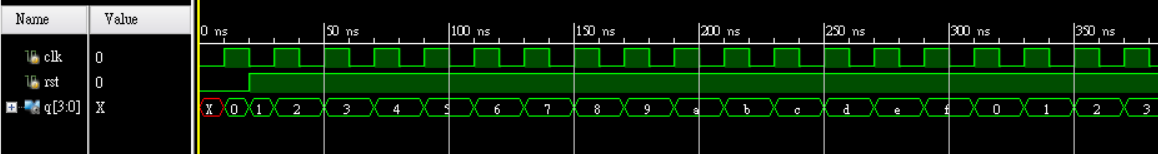
Output: [3:0]q

1.1 logic diagram



1.2 wave diagram





說明：

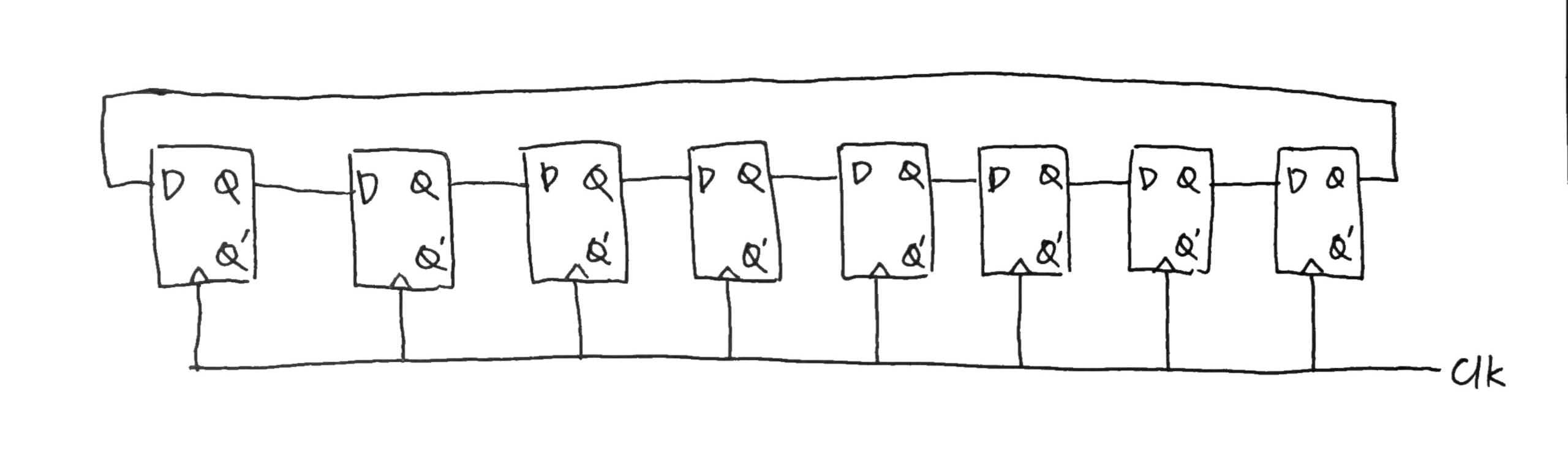
此題的input為clock與reset，output為q3q2q1q。此題要求為synchronous counter，因此在rst訊號後會接一個not閘，因此rst在0時才會有作用，因此在第一個clock正緣處，rst等於0，讓此時的q為0000，從波形圖可以看出，在每一個clock正緣來臨時，q都會加1，直到1111時會歸0再繼續加1下去，形成up counter。

**Pre-lab3\_2**

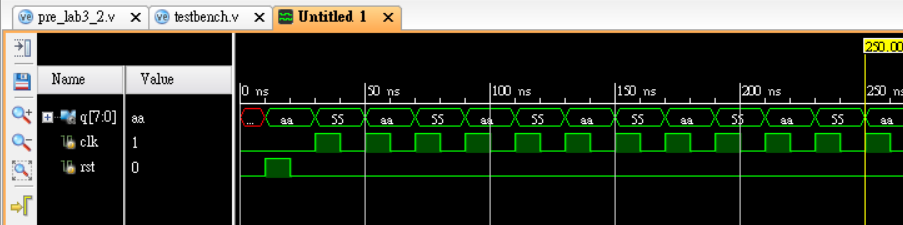
Input: clk, rst

Output: [7:0]q

logic diagram



wave diagram



說明：

此題的input為clock與reset，output為q0到q7。波形圖中的q值aa即為10101010, 圖中的q值55則為01010101，在一開始reset起來一次，因此此時q為aa(10101010)，之後在每一次clock起來時，都會往右shift一次，變成55(01010101)，接著clock又來一次，再往右shift變成aa(10101010)……不斷下去。