微处理器设计第一次作业

微硕 21 方佳豪 2021211066

设计目标：32 位有/无符号数加/减法器设计，要求延迟 delay 尽可能断，给出延迟，功耗，面积报告

设计语言：verilog

工艺库：umc18 “tt_1v8_25c.db”等

设计思路：

加法器设计的关键是解决进位关键路径的延迟，课上我们学到了一些特殊的加法器结构，来减小进位路径的延迟。对数超前进位加法器在逻辑结构上具有优越性，因此本设计主要采用该结构进行电路设计。超前进位加法器每组采用 4 比特运算。

1. 定义运算

进位产生：$G = AB$

进位传播：$P = A\hat{}B$

进位$C_O(G,P) = G + PC_i$

和$S(G,P) = P\hat{}C_i$

点乘运算 $(G,P)\cdot(G',P') = (G + PG', PP')$

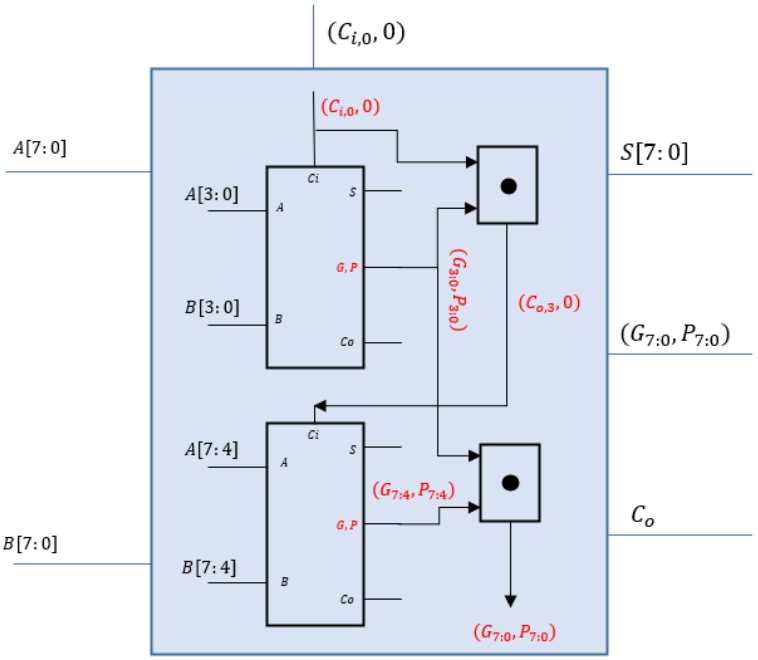
进位的表示：$(C_{O,31}) = (G_{31:0},P_{31:0})\cdot(C_{i,0},0) = (G_{31:16},P_{31:16})\cdot(G_{15:0},P_{15:0})\cdot(C_{i,0},0)$

$= \big((G_{31:24},P_{31:24})\cdot(G_{23:16},P_{23:16})\big)\cdot\big((G_{15:8},P_{15:8})\cdot(G_{7:0},P_{7:0})\big)\cdot(C_{i,0},0)$

考虑到要实现溢出的判断，需要引出第 31 比特和 32 比特的进位信号。因而结构并非完全规整。

2. 整体结构

采用递归式设计，如右图所示结构：包含 4 比特一组的超前进位加法器和点乘运算模块。并且这种模块以比特拓展的方式进行递归，直到 32 比特。具体实现逻辑参见代码。



值得注意的是超前进位加法器中的C_o代表的并非模块最高位的进位输出，而是输入。这是为做溢出判断专门引出的 pin。每个加法器模块的进位只影响到 S 的输出，不影响 G 和 P 的生成。

整个 32 比特加法器共需迭代 3 次，存在 3 层点乘运算，即 3 层点乘即为关键路径。最后一级 S 也是与 3 层点乘运算有关。

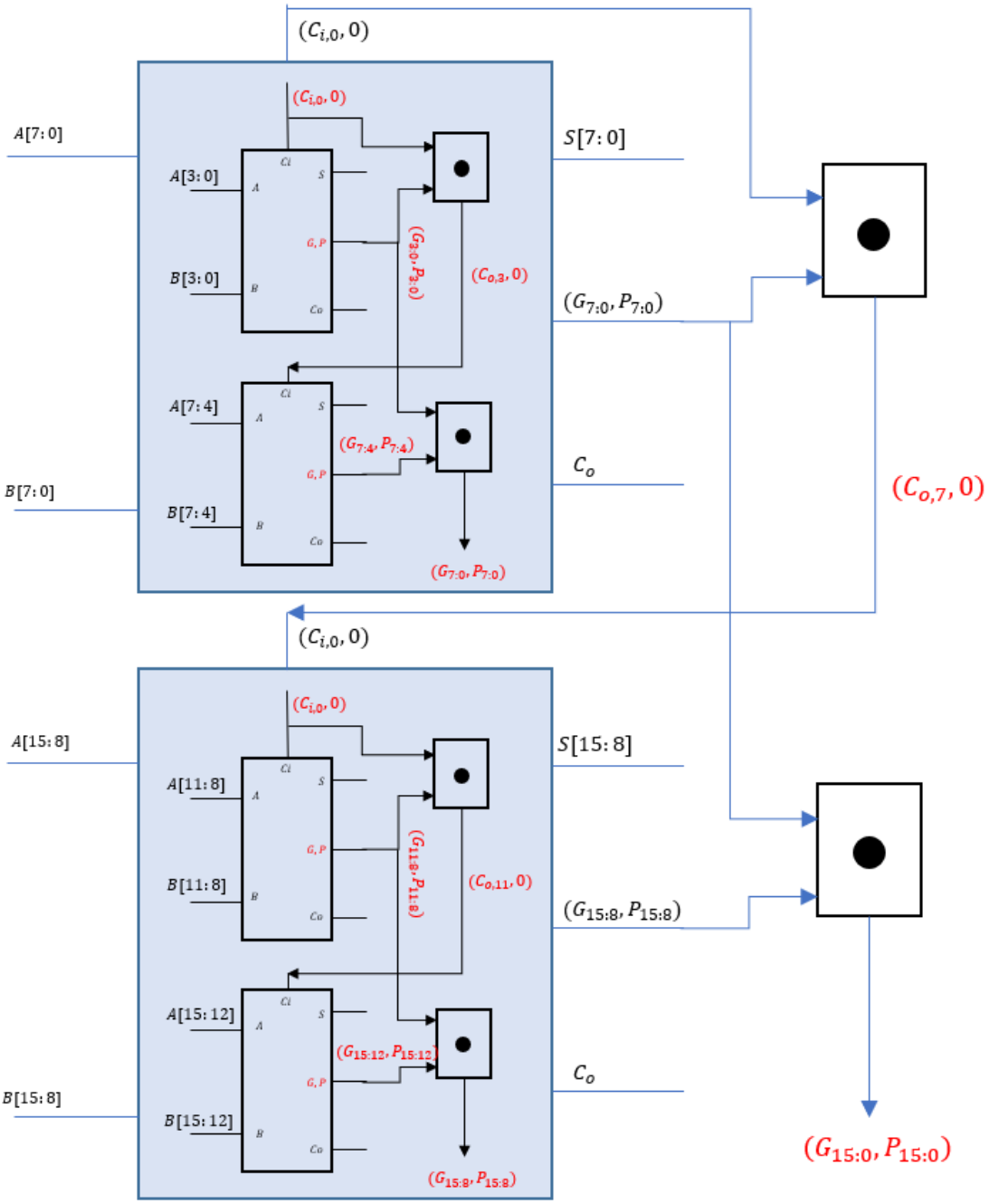
本质 4 比特加法器已经迭代了 2 次，实际运算时间为 logN 量级，此处 N=32。

溢出标志

Overflow=isSign?(C31_out^C31_in):(C31_out^isSub);

其中第 31 比特的进位 C31_in 由上述所提到的 pin 直接得到，第 32 比特的进位输出由以下点乘运算决定：$(C_{O,31},0) = (G_{31:0},P_{31:0})\cdot(C_{i,0},0)$。

下图相邻两次迭代的功能拓扑图。



3. 功能验证

通过编写 verilog 的 tb 文件验证功能，分别对无符号运算和有符号运算进行验证：
将功能运算结果与理想结果进行对比。部分示例如下：

```
A:      -100 B:      -100 fact:      -200  cal:      -200   overflow:0   err:        0
A:  303379748 B:-1064739199 fact: -761359451  cal: -761359451   overflow:0   err:        0
A:-2071669239 B:-1309649309 fact:  913648748  cal:  913648748   overflow:1   err:        0
A:  112818957 B: 1189058957 fact: 1301877914  cal: 1301877914   overflow:0   err:        0
A:-1295874971 B:-1992863214 fact: 1006229111  cal: 1006229111   overflow:1   err:        0
```

4. 综合结果

速度：**0.77 ns**

```
------------------------------------------------------------
data required time                                  0.77
data arrival time                                  -0.77
------------------------------------------------------------
slack (MET)                                        0.00
```

面积：Total cell area: **9703.108837**

功耗：

Internal	Switching	Leakage	Total
2.3204 mW	1.2329 mW	4.0701e+04 pW	**3.5533 mW**

总结：

本次设计 32 位加法器，延迟为 0.77ns。自己同样编写了 assign c=a+b，在相同工艺库下进行综合，其延迟为 0.66 ns, 表明自己的设计还是与软件自动综合生成的结果存在一定的差距。有趣的是，后者也能生成 map 文件。