

一、设计目标

实现一条 CLZ 指令，要求得到 32 比特输入数的前导零的个数，比如 00010001 的前导零个数为 3。

二、设计思路

分而治之，先设计 8 比特功能，然后 16, 32 比特在此基础上完成。8 比特输入，输出为 4 比特，代表值为 0000-1000。用 $A_7A_6 \dots A_0$ 表示输入，用 $VZ_2Z_1Z_0$ 表示输出。

逻辑表达式如下：

$$\begin{aligned}\bar{V} &= A_7 + A_6 + A_5 + A_4 + A_3 + A_2 + A_1 + A_0 \\ \bar{Z}_2 &= A_7 + A_6 + A_5 + A_4 \\ \bar{Z}_1 &= A_7 + A_6 + \bar{A}_5 \cdot \bar{A}_4 (A_3 + A_2) \\ \bar{Z}_0 &= A_7 + \bar{A}_6 \cdot A_5 + \bar{A}_6 \cdot \bar{A}_4 \cdot A_3 + \bar{A}_6 \cdot \bar{A}_4 \cdot \bar{A}_2 \cdot A_1\end{aligned}$$

由上述位逻辑可直接映射到门电路。32 比特 CLZ 电路框图如下所示：

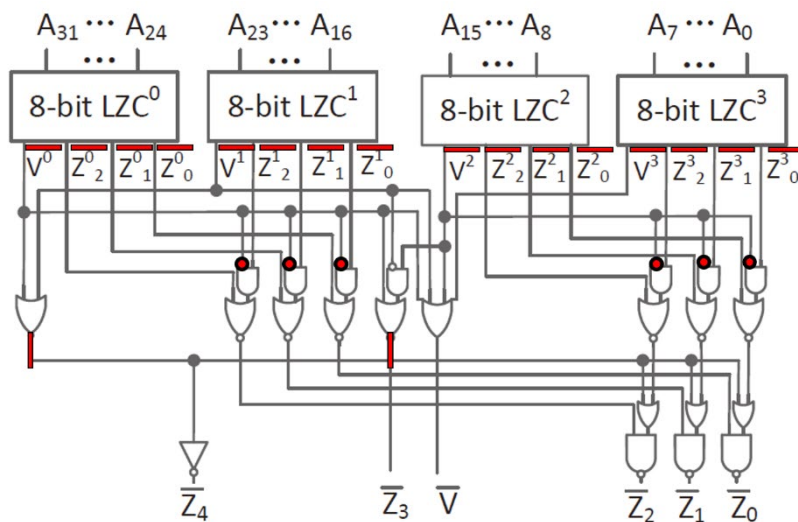


图 1 32bit CLZ 结构图

大体思路为，只有当高位 31-24 比特输入对应的 V^0 有效时，表明高 8 比特全 0，后面的 0 才能参与结果的运算，否则直接输出高 8 比特的输出值。依次类推。

红色部分是在论文[1]的基础上进行的修改。原工作已经基于 65nm 工艺进行过流片设计，其延迟为 0.23ns。而本次作业工艺库为 .18 工艺，性能下降两倍以上。

三、仿真与综合

经过自己 testbench 测试，证明功能的正确性，图 2 所示。并进行 dc 综合得到结果如表 1 所示。详细报告见附件。

测试	数值
timing/ns	0.41
power/mw	0.1881
area	1583.366424

```

vec:10010010000101010011010100100100 fact:000000 result:000000 err:000000
vec:01001001000010101001101010010010 fact:000001 result:000001 err:000000
vec:00100100100001010100110101001001 fact:000010 result:000010 err:000000
vec:00010010010000101010011010100100 fact:000011 result:000011 err:000000
vec:00001001001000010101001101010010 fact:000100 result:000100 err:000000
vec:00000100100100001010100110101001 fact:000101 result:000101 err:000000
vec:00000010010010000101010011010100 fact:000110 result:000110 err:000000
vec:00000001001001000010101001101010 fact:000111 result:000111 err:000000
vec:00000000100100100001010100110101 fact:001000 result:001000 err:000000
vec:00000000010010010000101010011010 fact:001001 result:001001 err:000000
vec:00000000001001001000010101001101 fact:001010 result:001010 err:000000
vec:00000000000100100100001010100110 fact:001011 result:001011 err:000000
vec:00000000000010010010000101010011 fact:001100 result:001100 err:000000
vec:00000000000001001001000010101001 fact:001101 result:001101 err:000000
vec:00000000000000100100100001010100 fact:001110 result:001110 err:000000
vec:00000000000000010010010000101010 fact:001111 result:001111 err:000000
vec:00000000000000001001001000010101 fact:010000 result:010000 err:000000
vec:00000000000000000100100100001010 fact:010001 result:010001 err:000000
vec:00000000000000000010010010000101 fact:010010 result:010010 err:000000
vec:00000000000000000001001001000010 fact:010011 result:010011 err:000000
vec:00000000000000000000100100100001 fact:010100 result:010100 err:000000
vec:00000000000000000000010010010000 fact:010101 result:010101 err:000000

```

图 2 32bit CLZ 指令向量测试

[1] Miao, J. , and S. Li . "A design for high speed leading-zero counter." 2017:22-23.