计算机组织与结构 II：CPU 设计文档

李勃璘
吴健雄学院

版本：1.1
日期：2025 年 4 月 25 日

摘　要

目录

表格目录

1 概述

中央处理单元（CPU）是计算机系统的核心组件，负责执行程序中的指令并处理数据。它由多个核心部件组成，包括算术逻辑单元（ALU）、控制单元（CU）、寄存器、缓存、总线以及与外部存储和外设的接口。CPU 的设计和实现是计算机体系结构的基础，决定了计算机的性能、效率以及可扩展性。随着现代计算机技术的不断发展，CPU 的设计已经经历了从单核到多核、从简单指令集到复杂指令集的转变，涉及到流水线、缓存管理、指令调度等多个高级设计问题。

在现代 CPU 中，指令集架构（ISA）定义了 CPU 能够识别并执行的指令类型，而 ALU 则负责执行这些指令中的算术和逻辑运算。控制单元（CU）则根据指令的操作码生成控制信号，协调 CPU 内部和外部的各个组件进行协作。此外，寄存器和缓存等存储单元在数据处理和存储中起着至关重要的作用。通过高效的设计和优化，CPU 能够实现高速的计算和响应能力，从而支持各种计算任务的执行。

本文通过设计一个基于 FPGA 的简化 CPU 架构，探索了 CPU 的基本组成与工作原理。整个项目的设计过程中，从指令集的定义到硬件实现，涵盖了计算机体系结构中的核心概念与技术，旨在帮助深入理解 CPU 设计的各个方面。

本文接下来的章节安排如下：

第二章将介绍 CPU 内部架构，即指令集、内部寄存器、ALU、内外总线以及控制单元设计，第三章将主要介绍用户面的设计，包括前端输入指令、指令传入内存、结果显示，第四章是二、三章提出的设计方案的 Verilog 实现和分模块仿真结果，第五章是该设计的整体仿真结果和在 NEXYS 4 DDR FPGA 开发板上的测试结果。第六章对该设计进行了总结，并提出一些可改进的方向。另外，附录中还提供了设计的全部 Verilog 代码和项目地址。

2 CPU 结构设计

2.1 总体架构

CPU 的总架构（包括内存、外设等）示意图可见图 1。

CPU 由控制单元（CU），逻辑运算单元（ALU），内存（Memory）和寄存器组（Registers）组成，除内存以外，其余单元由被 CU 生成的控制信号控制的数据通路（Data Path）连接。另外，MAR 和 MBR 分别还和地址总线、数据总线相连接，用于与内存交互。控制单元和内存都和控制总线相连接，用于与外部控制信号交互。为简单起见，CPU 的计算全部为 **16 位定点有符号数计算**。

2.2 指令集架构

指令集是指 CPU 能够对数据进行的所有操作的集合。每一条指令都可以被解释为寄存器与寄存器、内存、I/O 端口之间的交互。交互方式由 CU 中的微指令（Micro-operation）给出，且每一条微指令都需要一个时钟执行（如不进行优化）。

2.2.1 位宽设计

地址段长为 **8** 位，指令码（Opcode）宽度为 **8** 位。因此，每一条指令的位宽为 **16** 位。

2.2.2 寻址方式

寻址方式指对地址段数据的解释方式。寻址方式由对应指令指定，支持表 1 中的全部寻址方式。由于给定的指令集高四位均空闲，使用最高位存储支持的寻址方式。目前设计中指令码的最高位为 1 时，寻址方式为立即数寻址；指令码的最高位为 0 时，寻址方式为直接寻址。

图 1: CPU 总体架构

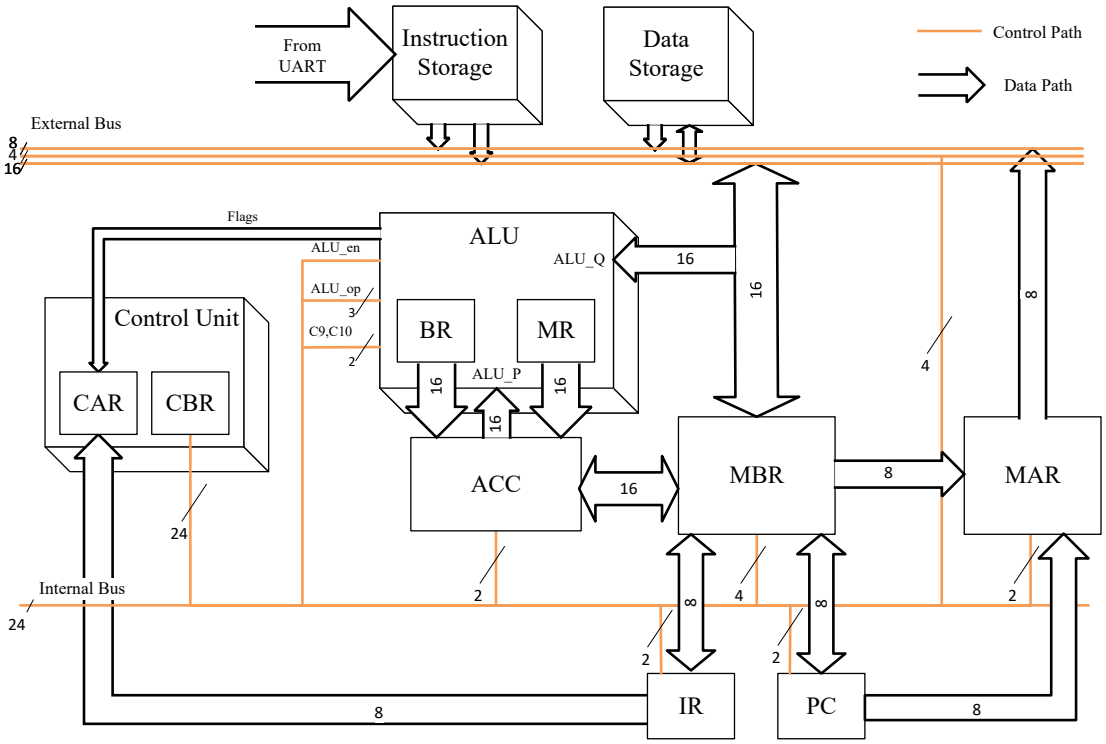


表 1: 指令集支持的寻址方式

寻址方式	描述	最高位
立即数寻址	地址字段是操作数本身，数据为补码格式	1
直接寻址	地址字段为存放操作数的地址	0

2.2.3 指令集支持的指令

指令集共支持 13 条不同的指令，列于表 2。每一条指令包含一个指令码，使用二进制格式存储。[1]

表 2: 指令集包含指令及功能

助记符	指令码（低四位）	描述
*STORE X	0001	结果存入**数据地址** X
*LOAD X	0010	加载**数据地址** X
ADD X	0011	定点数加法
SUB X	0100	定点数减法
®JGZ X	0101	结果 > 0 时跳转至**指令地址** X
®JMP X	0110	无条件跳转至**指令地址** X
HALT	0111	暂停程序

续下页

[1]指令中含 * 的仅支持直接寻址，因为立即数寻址对这些指令无意义。含 ® 的仅支持立即数寻址。

表 2:（续表）指令集包含指令及功能

助记符	指令码（低四位）	描述
MPY X	1000	定点数乘法
AND X	1001	按位与
OR X	1010	按位或
NOT X	1011	按位非
⊛ SHIFTR X	1100	算术右移 X 位
⊛ SHIFTL X	1101	算术左移 X 位

2.3 CPU 内部寄存器

该部分描述 CPU 内部寄存器的含义、存储格式和数据被解释为的格式。这些寄存器通过 CPU 的内部数据通路相连接。寄存器操作是 CPU 快速操作的核心。

表 3: CPU 内部寄存器的含义、总存储条数、单位位宽和数据解释格式

寄存器	含义	条数	位宽	数据解释格式	归属模块
PC	程序计数器，存储当前指令地址	1	8	指令码（Opcode）	/
MAR	内存地址寄存器，存储要访问的内存地址	1	8	地址码（Address）	/
MBR	内存缓冲寄存器，存储从内存读取或写入的数据	1	16	二进制补码	/
IR	指令寄存器，存储当前正在执行的指令	1	8	指令码（Opcode）	/
BR	ALU 内部寄存器，存储 ALU 计算结果	1	16	二进制补码	ALU
ACC	累加寄存器，存储 ALU 运算结果	1	16	二进制补码	/
MR	ALU 内部寄存器，存储 ALU 乘法高 16 位	1	16	二进制补码	ALU
CM	控制存储器，存储微指令控制信号	37	24	控制信号	CU
CAR	控制地址寄存器，指向当前执行的微指令	1	7	CM 中的条数下标	CU
CBR	控制缓冲寄存器，存储当前微指令的控制信号	1	24	控制信号	CU

除上述寄存器以外，ALU 进行运算时还会更改**状态寄存器**（Flags），用于 CU 进行条件判断。例如，JGZ 命令需要判断上一步的运算结果是否大于 0，CU 便可以直接通过状态寄存器中的 ZF（Zero Flag）和 NF（Negative Flag）寄存器进行判断。本设计中使用的所有状态寄存器见表 4，它们都直接连向 CU，通路不受控制信号的控制。Flags 对用户公开，配置详见用户交互部分（第 3.4 节）。

表 4: 状态寄存器列表

寄存器	全称	行为
ZF	Zero Flag	ALU 运算结果（通常为 ACC）为 0 时置 1
CF	Carry Flag	存储算术移位移出的比特（由于有符号数不存储进位）
OF	Overflow Flag	非乘法运算下 BR 溢出时置 1，乘法运算下 MR 溢出置 1
NF	Negative Flag	ALU 运算结果为负数时置 1

MF	Multiply Flag	ALU 此轮运算为乘法并溢出时置 1

2.4 算术逻辑单元 ALU

算术逻辑单元 ALU 负责进行大部分 CPU 内的计算[2]。

ALU 与外围寄存器的控制通路见第 2.5.3 节。ALU 受到来自控制单元的 ALU_{en} 和 ALU_{op} 控制，前者决定 ALU 能否进行运算，后者决定 ALU 执行什么运算。在 ALU_{en} 为 1 时，它通过 ACC 和 MBR 获取运算的两个数据 ALU_P 和 ALU_Q，并将计算结果存入 16 位 BR 寄存器（若有乘法则可能存入 MR 寄存器），同时更新 Flags 寄存器，等待 WB 阶段写回 ACC 寄存器中。

表 5 描述了 ALU_{op} 与执行运算的对应关系。

表 5: ALU_{op} 与执行运算的对应关系

ALU_{op}	运算类型	ALU_{op}	运算类型
000	加法（ADD）	100	或（OR）
001	减法（SUB）	101	非（NOT）
010	乘法（MPY）	110	算术左移（SHIFTL）
011	与（AND）	111	算术右移（SHIFTR）

2.5 控制单元 CU

控制单元（Control Unit, CU）负责协调和控制寄存器、ALU、内存等各个模块以实现指令的执行。它采用**微操作指令模式**设计，根据当前指令的操作码和状态寄存器的标志位生成相应的控制信号，指引数据通路中的各个寄存器、ALU、内存和外设进行正确的操作。2.5.1 节将介绍该控制单元的结构；2.5.2 节将具体描述本设计使用的微操作指令，并提供指令集的微操作指令表以供参考；2.5.3 节将介绍各个控制信号位的作用以及微操作指令表与控制信号的对应。

2.5.1 控制单元结构

控制单元由控制地址寄存器（Control Address Register, CAR）、控制数据寄存器（Control Buffer Register, CBR）和控制单元内存（Control Memory, CM）组成，并受到寻址逻辑（Sequencing Logic）的控制。在一个微操作指令周期，控制单元通过完成以下操作执行一个微操作：

1. 根据 CAR 的地址，寻找 CM 对应地址存储的控制信号，并传输给 CBR；
2. CBR 将控制信号译码，传输到相应的接收单元，并将下一跳信息传输给 CAR；
3. 寻址逻辑通过下一跳信息、Flags 和 Opcode 确定下一跳地址，并写入 CAR。

控制单元示意图（图 2）体现了 CU 内部的关键单元，以及上述操作的数据流向。

2.5.2 微操作指令（Micro-Operations）

指令集中所有指令都需要多个时钟周期完成，因此需要将指令集的指令分解为多步**微操作指令**。每步微操作指令通常为寄存器操作。按照寄存器操作的类型，可以将每条指令的执行整合为以下六个步骤，并按步骤顺序执行。

- **IF(Instruction Fetch):** 从指令存储器中取出指令，同时确定下一条指令地址（指针指向下一条指令）；

[2] 自增与 PC 赋值在设计中不引入 ALU。

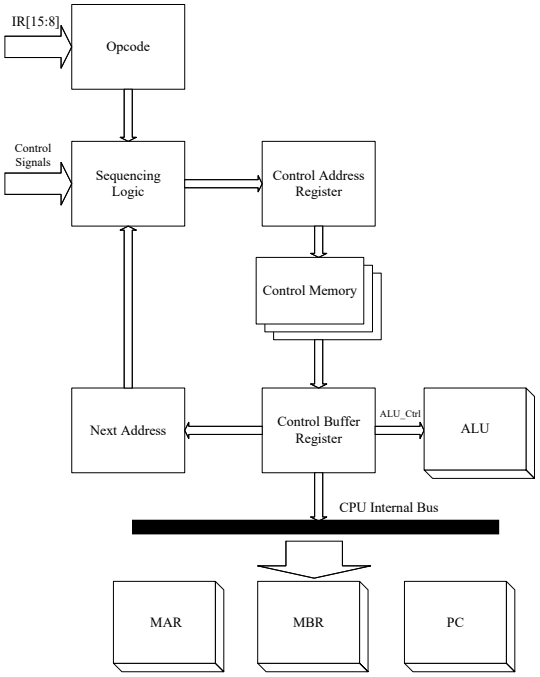


图 2: 控制单元结构示意图

- **ID(Instruction Decode):** 翻译指令，同时让计算机得出要使用的运算，并得出寻址方式。
- **FO(Fetch Operands):** 取立即操作数到 MBR，即指令的低 8 位。
- **IND(Indirect):** 间接寻址周期，每插入一个 IND 周期则间接寻址深度 +1。不插入 IND 周期则为立即数寻址。在本设计中由于不考虑间接寻址，因此最多只有 1 个 IND 周期。**立即数寻址的指令将跳过这一阶段。**
- **EX(Execution):** 按照微操作指令指示打开数据通路。
- **WB(Write Back):** 将运算结果保存到目标寄存器。

注意到：对于所有的指令，前四个阶段的微操作指令是通用的，因此对每一条指令而言，只需要设计 EX 阶段和 WB 阶段的微操作指令即可，这大大缩小了 CM 所需空间。经设计，所有的微操作指令列举于表 6。

表 6: CPU 微操作指令表

指令	机器码	EX	WB
IF	阶段	t_1:MAR ← PC; t_2: MBR ← Mem[MAR], PC ← PC+1	
ID	阶段	t_1:IR ← MBR; t_2: CU ← IR	
FO	阶段	MBR ← IR[7:0]	
IND	阶段	t_1:MAR ← MBR; t_2:MBR ← Mem[MAR]	
STORE X	0001	MAR ← MBR;	Mem[MAR] ← ACC
LOAD X	0010	无操作	ACC ← MBR
ADD X	0011	BR ← ACC + MBR	ACC ← BR
SUB X	0100	BR ← ACC - MBR	ACC ← BR
MPY X	1000	MR, BR ← ACC × MBR	ACC ← BR

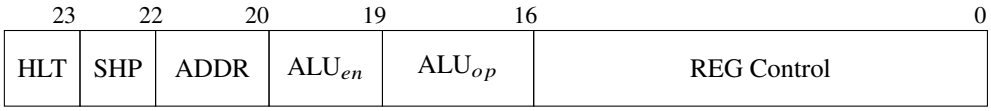
表 6:（续表）CPU 微操作指令表

指令	机器码	EX	WB
JGZ X	0101	判断：ZF=0 且 NF=0？	若满足，PC ← MBR，否则 NOP）
JMP X	0110	无操作	PC ← MBR
HALT	0111	无操作	暂停程序
AND X	1001	BR ← ACC AND MBR	ACC ← BR
OR X	1010	BR ← ACC OR MBR	ACC ← BR
NOT X	1011	BR ← NOT MBR	ACC ← BR
SHIFTR X	1100	BR ← ACC ⋙ X	ACC ← BR
SHIFTL X	1101	BR ← ACC ⋘ X	ACC ← BR

2.5.3 CU 控制信号（Control Signals）

采用水平微指令（Horizontal Micro-operation）设计。水平微指令支持并行操作，执行效率高。每一个水平微指令携带**所有控制信号位**和**下一个微操作指令地址的寻址方式**。该 CPU 共有 **24** 位控制信号。其中低 16 位为寄存器控制信号，高 8 位为控制字。（图 3）

图 3: 控制信号示意图



C_2（复用）：指令寄存器读、PC 自增

各控制字的意义如下：

- HLT(HALT)：全局暂停控制字，所有 CPU 内部单元停止工作。
- SHP(Store High Part)：存储乘法寄存器高位结果到指定数据内存地址 +1。
- ADDR(Address)：CU 内部控制字，共 2 位，指示下一步的地址为取指（11）/执行（01）/当前地址 +1（10）。
- ALU$_{en}$：ALU 使能控制字，允许 ALU 进行运算操作。
- ALU$_{op}$：ALU 运算控制字（3 位），指示 ALU 执行的 8 种运算类型。运算类型编码可见 ALU 部分。
- REG_Control：寄存器控制信号（16 位），每一位代表两个寄存器/总线之间的开关，对应关系见表 7。
- C_2：复用控制字。除寄存器控制信号的功能外，还指示指令寄存器读、PC 自增。

关键存储单元之间通过数据通路进行连接。每条数据通路都由一位控制信号控制。控制信号为 1 时表示通路打开，数据沿指定流向进行传输。

表 7: 寄存器控制信号一览

控制信号位	源寄存器/单元	目的寄存器/单元
内部总线控制		
C_0	MAR	地址总线
		续下页

表 7:（续表）数据通路与控制信号一览

控制信号位	源寄存器/单元	目的寄存器/单元
C_1	PC	MBR
C_2	PC	MAR
C_3	MBR	PC
C_4	MBR	IR
C_5	数据总线	MBR
C_6	MBR	ALU_Q
C_7	ACC	ALU_P
C_8	MBR	MAR
C_9	BR	ACC
C_{10}	MR	ACC
C_{11}	MBR	ACC
C_{12}	ACC	MBR
C_{13}	MBR	数据总线
C_{14}	IR	CU
C_{15}	IR[7:0]	MBR

由上述的控制信号位设计，便可以将微操作指令一一对应，画出控制信号表（表 8）。控制信号表经过整合后写入 CM，结合 CU 的整体结构和合理的寻址设计，便能完成控制单元的设计。整合逻辑和寻址设计由于涉及到具体电路安排，详见模块设计部分，此处从略。

表 8: CPU 控制信号表

指令	机器码	EX	WB
IF	阶段	$t_1:C_2, t_2:C_0$,C_5	
ID	阶段	$t_1:C_4, t_2:C_{14}$	
FO	阶段	C_{15}	
IND	阶段	$t_1:C_8, t_2:C_0, C_5$	
STORE X	0001	C_8	C_0,C_{12},C_{13}
LOAD X	0010	无操作	C_{11}
ADD X	0011	C_6,C_7,ALU$_{en}$,ALU$_{op}$	C_9
SUB X	0100	C_6,C_7,ALU$_{en}$,ALU$_{op}$	C_9
MPY X	1000	C_6,C_7,ALU$_{en}$,ALU$_{op}$	C_9
JGZ X	0101	判断：ZF=0 且 NF=0?	若满足，C_3 否则 NOP
JMP X	0110	无操作	C_3
HALT	0111	无操作	HLT
AND X	1001	C_6,C_7,ALU$_{en}$,ALU$_{op}$	C_9
OR X	1010	C_6,C_7,ALU$_{en}$,ALU$_{op}$	C_9
NOT X	1011	C_6,ALU$_{en}$,ALU$_{op}$	C_9

表 8: （续表）CPU 控制信号表			
指令	机器码	EX	WB
SHIFTR X	1100	C_6,C_7,ALU$_{en}$,ALU$_{op}$	C_9
SHIFTL X	1101	C_6,C_7,ALU$_{en}$,ALU$_{op}$	C_9

2.6 CPU 内部总线和外部总线

为了实现 CU 对 CPU 内部寄存器的控制，所有内部寄存器均连接到 CPU 内部总线。CU 可对 CPU 内部总线写控制信号，而所有内部寄存器通过读取内部总线中的某一位或几位控制信号，决定打开自身与某寄存器的数据通路。在本设计中，所有的控制信号作用于**源寄存器**，使得在控制信号关时，数据通路上没有来自源寄存器的数据，避免了可能的误读。例如：对于 PC 寄存器，其向 MAR、MBR 输出自身数据，并从 MBR 获取数据，三个行为分别由 C_1,C_2 和 C_3 控制，那么 PC 只需要读取 C_1,C_2，并在它们打开时输出自身寄存器的值。

MAR 和 MBR 寄存器是 CPU 与内存或外设的交互接口。由表 7 可知：他们连向了地址总线和数据总线，这两根总线合称外部总线。地址总线为 **8** 位单向总线，提供 CPU（即 MAR）到内存的地址传送通路。数据总线为 **16** 位双向总线，提供 CPU（即 MBR）与内存的双向数据通路。

外部总线还负责管理内存的读写以及选择读写内存设备，受到控制信号 C_0、C_2、C_5、C_{13} 的控制，他们被称为“控制总线”。由于指令和数据的物理存储空间不同，外部总线首先需要确定写入/读取的设备。在整个指令执行的流程中，仅 IF 阶段需要访问指令内存进行寻址，故该判决逻辑可通过复用控制信号的 C_2 完成。CPU 读内存时，C_0、C_5 开，故当且仅当两者同开时，总线可向选中的内存发出读信号，内存读地址总线，向数据总线输出相应地址的数据。CPU 写内存时，C_0、C_{13} 开，故当且仅当两者同开时，总线可向选中的内存发出写信号，内存读地址总线，读数据总线并存入对应地址。

3 外围设备

3.1 用户端代码解释

目前采用**用户编写汇编代码 → 转换为 16 位机器码**的方式输入指令。用户可在文本编辑器中编写类汇编代码，而解释器负责将其解释为机器码。

以从 1 加到 100 的程序举例：

```
  LOAD IMMEDIATE 0 ; 初始化累加器为0 → ACC=0
  STORE 1          ; 存储到地址1（SUM变量）
  LOAD IMMEDIATE 1 ; 初始化计数器为1 → ACC=1
  STORE 2          ; 存储到地址2（i计数器）
LOOP: LOAD 0         ; 读取当前累加值 → ACC=SUM
  ADD 1            ; 加上当前计数器值 → ACC=SUM+i
  STORE 1          ; 更新累加值 → SUM=SUM+i
  LOAD 2           ; 读取计数器 → ACC=i
  ADD IMMEDIATE 1  ; 计数器自增 → ACC=i+1
  STORE 2          ; 更新计数器 → i=i+1
  SUB IMMEDIATE 100 ; 比较是否达到100 → ACC=i-100
  JGZ LOOP         ; 如果i<=100（即ACC<=0），继续循环
  HALT
```

代码最终将被解释为一串二进制比特流，解释服从：

- 地址占 1byte，Opcode 占 1byte；
- 含 IMMEDIATE 关键字的行，Opcode 的 MSB 为 1；
- 在代码解释的过程中，`LOOP` 应映射到相同行指令的地址。

3.2 UART 接收与指令内存写入设计

本设计基于 NEXYS 4 DDR 开发板，通过其板载的 UART 接口完成主机与 FPGA 之间的数据传输。该方案无需额外的数据线或 I/O 资源，即可实现对 FPGA 内部 RAM 的程序写入与指令输入，提升了系统的硬件集成度与使用便捷性。

3.2.1 UART 接收逻辑

开发板主系统时钟频率为 100 MHz，串口通信波特率设定为 115 200 bps。根据 UART 通信协议，每接收 1 位数据所需的时钟周期数为：

$$\text{CLK\_BAUD} = \frac{\text{CLK\_FREQ}}{\text{BAUD\_RATE}} = \frac{100\,000\,000}{115200} \approx 868 \tag{1}$$

采用常见的 **8N1** 格式传输，即每帧包括：

- 1 位起始位（Start Bit）；
- 8 位数据位（Data Bits）；
- 1 位停止位（Stop Bit）。

因此，每帧共 10 位，总计需要约：

$$\text{CLK\_FRAME} = 10 \times \text{CLK\_BAUD} = 10 \times 868 = 8680 \text{ cycles} \tag{2}$$

接收端采用中点采样策略，即在每位传输中间时刻（约第 434 个时钟周期）对数据位进行采样，以提升抗干扰能力。认为超过 300μsRX 端仍无新数据填入时，指令传输完成。

3.2.2 数据缓冲与存储结构

为保证串口数据完整接收，接收模块首先将每帧数据写入异步 FIFO 缓冲区。随后由控制逻辑从 FIFO 中读取数据，并写入开发板内部的块 RAM。

数据写入格式：

- RAM 的每个地址对应两个字节（16 位）数据；
- 高字节为操作码（Opcode），低字节为立即数或地址（Operand）；
- 若当前行含有 `IMMEDIATE` 关键字，则 Opcode 的最高位（MSB）为 1。

写入控制规则：

- 每一条指令都为 2byte 指令，对于没有操作数的情况，将操作数位置补零。
- RAM 地址从地址 0 开始顺序写入。
- 程序中如含有 `LOOP` 标签，将在 RAM 地址分配完毕后由软件在解析阶段回填其地址位置。

另外，传入 FPGA 的所有指令将存于单独的指令内存中，与 CPU 数据内存隔离开来。CPU 内存仅存数据，这符合用户编写的直观感受。每条存入内存的数据位宽为 16，即每个地址按顺序存放一条指令。地址从 1 开始依次递增，防止复位时地址位初始化为 0 导致出错。指令写入在 CPU 开机之前，写入成功后开发板亮蓝灯。若在 CPU 运行时没有指令，则开发板亮红灯。

本模块通过串口实现了简洁的二进制指令数据装载方式，降低了外设复杂性，为后续的控制单元译码与执行单元操作提供了明确的数据支持。

3.3 数据内存

数据内存（RAM）存储 CPU 保存的数据。内存的大小为 512 Byte，每条存入内存的数据位宽为 16，共能存入 256 条数据。数据内存初始为空，起始写入地址为 0，采用 Little Endian 写入方式[3]。

CPU 与内存（RAM）通过三条总线交互，分别为**控制总线**、**地址总线**和**数据总线**。控制总线中的控制信号决定在这个周期中内存的读/写状态，是否向数据总线写入，同步时序等功能。内存通过读取地址总线决定写入内存中的地址，通过读取数据总线决定写入指定地址中的数据。关于总线的具体配置见 2.6。数据内存中不存放待执行指令，防止数据通路和指令通路发生冲突。

3.4 用户交互设计

该部分描述用户与 FPGA 的交互接口（按钮、按键等）以及看到的运行状态信息与结果显示设计。

4 核心模块设计

4.1 时钟、复位与停止信号

CPU 由**全局同步时钟**控制，时钟主频为 50MHz。除复位信号外，所有控制逻辑与计算逻辑全部在时钟上升沿进行。UART 传输部分使用 100MHz 的时钟主频。

CPU 设有**全局异步复位**信号，低电平有效。当异步复位时，内存中除指令集数据以外所有数据清空，所有寄存器清空，控制信号全部归为断开（0）。

当 CPU 执行 07 号指令 HALT 时，CPU 处于**暂停**状态。与复位不同的是，此时所有寄存器不清空，但所有通路断开。在模块中使用 `enable` 信号标识（低电平有效）。恢复程序运行的方法是全局复位或继续运行信号（绑定 FPGA 的按键）。当该按键被按下时，`enable` 信号恢复为 1。

4.2 UART 传输与指令内存

指令写入通过 Python 脚本（附录 A.1 ）完成，其可以根据用户输出一串 UART 格式的比特流。用户可通过 PC 上的串口调试设备连接 UART 端口进行传输。

功能块基本信息：

- 模块名：`INSTR_ROM`
- 最新更新日期：`4.14`
- 是否经过测试：是

功能块外部接口：

表 9: 指令内存模块外部接口

信号名	方向	位宽	描述
`i_clk_uart`	输入	1	时钟信号（100MHz）

[3]即高位存储于高地址，低位存储于低地址。

（续表）指令内存模块外部接口

信号名	方向	位宽	描述
i_rst_n	输入	1	全局复位信号
i_rx	输入	1	绑定至 UART 接收引脚
i_addr_read	输入	8	读 RAM 地址
o_instr_read	输出	16	指令输出信号
o_instr_transmit_done	输出	1	（安全的）指令完成传入标志
o_max_addr	输出	8	最大地址输出

4.2.1 UART 模块

模块基本信息：

- 模块名：UART
- 最新更新日期：4.13
- 是否经过测试：是

模块功能： 将用户输入代码比特流（8N1 格式）译码为 1 字节数据。

模块外部接口：

表 10: UART 模块外部接口

信号名	方向	位宽	描述
i_clk	输入	1	系统时钟信号
i_rst_n	输入	1	全局复位信号
i_rx	输入	1	UART 接收引脚
o_data	输出	8	接收到的一帧数据
o_valid	输出	1	数据有效标志，高电平表示 o_data 已生成
o_clear_sign	输出	1	表示 UART 输入结束（第一次输入结束后 0.5 秒内无新的输入）

4.2.2 FIFO 模块

模块基本信息：

- 模块名：FIFO
- 最新更新日期：4.13
- 是否经过测试：是

模块功能： 异步 FIFO，缓存 UART 数据。将每两个读出的 UART 数据拼成 2 字节的指令输出给 BRAM。

模块外部接口：

表 11: FIFO 模块外部接口

信号名	方向	位宽	描述
i_rst_n	输入	1	异步复位信号，低有效

（续表）**FIFO 模块外部接口**

信号名	方向	位宽	描述
i_clk_wr	输入	1	写时钟信号，UART 使用的 100MHz 时钟
i_valid_uart	输入	1	表示当前 UART 输入数据有效
i_data_uart	输入	8	UART 接收到的 8 位数据字节
i_clk_rd	输入	1	读时钟信号，主系统使用的 50MHz 时钟
o_data_bram	输出	16	两个 UART 字节拼接后的数据，写入 BRAM
o_addr_bram	输出	8	BRAM 写入地址，从 0 开始自增
o_wr_en_bram	输出	1	BRAM 写使能，高电平表示写入有效
o_fifo_empty	输出	1	表示 FIFO 空（作为输入完成的判据）

备注： 设计思路参照文献[1]。

4.2.3 指令 BRAM 模块

模块基本信息：

- 模块名：BRAM_INSTR
- 最新更新日期：4.13
- 是否经过测试：是

模块功能： 描述一指令块 RAM，可存放 256 条 2byte 指令。读写双口，拥有写使能（FIFO 传入）。外部设备可通过地址读取对应地址的 2byte 指令。**该模块使用 50MHz 时钟**，以避免时钟差距太大导致的传输错误。

模块外部接口：

表 12: 指令 BRAM 模块外部接口

信号名	方向	位宽	描述
i_clk	输入	1	系统时钟信号，驱动读写操作
en_write	输入	1	写使能信号，高电平时允许将指令写入 BRAM
i_addr_write	输入	8	要写入的指令地址
i_instr_write	输入	16	要写入的指令内容
i_addr_read	输入	8	要读取的指令地址
o_instr_read	输出	16	从 BRAM 中读取的指令内容

4.2.4 仿真测试

4.3 控制单元

控制单元由 CAR、CBR 寄存器和 CM（Control Memory）只读模块组成。控制单元通过将存储于 CM 的微操作指令和控制信号输出至 CBR 后，再通过内部控制总线输出到各个单元（寄存器、ALU、外部总线）控制整个系统。控制单元每个时钟周期执行一条微操作指令，由表 6 可知平均每条指令需要执行 8 条微操作指令，故每条指令约需要 8 个周期执行完成。

图 4: 指令内存部分仿真

4.3.1 Control Memory

模块基本信息：

- 模块名：CONTROL_MEMORY
- 最新更新日期：4.23
- 是否经过测试：否

模块功能： 存储 CPU 的水平微操作指令，并根据输入的微操作指令地址写出控制信号到 CBR。微操作指令表参考表 8 。另外，为了更好地支持乘法后存储高位、跳转补全周期等操作，CM 还存储了两条非指令集中的指令：NOP 和 STOREH。它们的作用分别是：

- NOP：无操作指令，CPU 在执行该指令时不进行任何操作。该指令的作用是占位，保证 JGZ 指令可以和其余指令执行时间相同。
- STOREH：存储高位指令，在上一条指令为乘法时，若本次指令为 STORE，则在存放 ACC 寄存器后，继续将 MR 寄存器的高位通过 ACC 寄存器存入地址 +1 位置的内存。该指令的作用是将乘法运算的高位低位结果都存储到内存中。

模块外部接口：

表 13: Control Memory 模块外部接口

信号名	方向	位宽	描述
car	输入	7	要读取的微操作指令地址
control_word	输出	24	从 CM 中读取的控制信号

4.3.2 CAR

模块基本信息：

- 模块名：CAR
- 最新更新日期：4.23
- 是否经过测试：否

模块功能： 根据 CBR 反馈的“下一条地址”逻辑、IR Opcode 和 ALU 输出 Flags，综合判断出下一条指令所在地址。

模块外部接口：

表 14: CAR 模块外部接口

信号名	方向	位宽	描述
`i_clk`	输入	1	系统时钟信号，驱动读写操作
`i_rst_n`	输入	1	全局复位
`i_ctrl_CBR`	输入	8	来自 CBR 的下一跳地址
`o_signal_read`	输出	16	从 BRAM 中读取的指令内容

4.4 内部寄存器和 ALU 设计

4.4.1 ALU

ALU 运算结果存放于 MR 寄存器和 ACC 寄存器中。其中 MR 寄存器存放乘法运算的高位结果，ACC 寄存器存放乘法运算的低位结果。

4.4.2 MAR

4.4.3 MBR

4.4.4 PC

4.4.5 IR

4.4.6 ACC

4.5 内存设计

4.5.1 数据 RAM

4.6 外部总线设计

参考表 7，确定指令集中的每一条指令对应的控制信号，并存储到 CU 的内部寄存器中，即可完成 CU 的主要功能设计。

5 仿真验证

5.1 时延分析

5.2 激励设置

6 FPGA 实现

6.1 用户输入端

采用第一个测试样例进行测试。

$$1 + 2 + \cdots + 99 + 100 = 5050$$

编写源程序如下：

```
     LOAD IMMEDIATE 0
     STORE 1
     LOAD IMMEDIATE 1
     STORE 2
     LOAD IMMEDIATE 100
     STORE 3
LOOP: LOAD 1
     ADD 2
     STORE 1
     LOAD 2
     ADD IMMEDIATE 1
     STORE 2
     LOAD 2
     SUB 3
     JGZ LOOP

     HALT
```

参考文献

[1] 菜鸟教程. Verilog FIFO 设计[EB/OL]. 2020. https://www.runoob.com/w3cnote/verilog2-fifo.html.

[2] 赖兆磬. 基于 FPGA 流水线 CPU 的设计与实现[D]. 桂林电子科技大学, 2008.

A 完整设计代码

该部分以数据流向和 CPU 从内向外的顺序，给出设计的完整代码。顶层模块放在每节的最后，展示了各个模块的连接方式。另外，该项目代码已开源于Github，欢迎提交项目相关的 issues 或 PR。

A.1 汇编程序处理 Python 脚本

```python
import re
import serial
import os
# memonics
MEMONICS = {
    "STORE": 0x01,
    "LOAD": 0x02,
    "ADD":  0x03,
    "SUB":  0x04,
    "JGZ":  0x05,
    "JMP": 0x06,
    "HALT": 0x07,
    "MPY": 0x08,
    "AND": 0x09,
    "OR":  0x10,
    "NOT": 0x11,
    "SHIFTR": 0x12,
    "SHIFTL": 0x13
}

def parse_assembly(lines):
    machine_code = []
    labels = {}
    pending = []

    # First pass: find labels
    addr = 0
    for line in lines:
        line = line.split(';')[0].strip() # clear comments
        if not line:
            continue
        if ':' in line:
            label, rest = map(str.strip, line.split(':', 1))
            labels[label] = addr
            if rest:
                addr += 1
        else:
            addr += 1

    # Second pass: generate code
```

```
    addr = 0
    for line in lines:
        line = line.split(';')[0].strip()
        if not line:
            continue
        if ':' in line:
            parts = line.split(':', 1)
            line = parts[1].strip()
            if not line:
                continue

        tokens = line.split()
        if not tokens:
            continue

        instr = tokens[0]
        immediate = False

        if instr in ["HALT","SHIFTR","SHIFTL"] : # No operand, fill with 0
            opcode = MEMONICS[instr]
            operand = 0x00
        else:
            if len(tokens) < 2:
                raise ValueError(f"Missing operand in line: {line}")

            if tokens[1] == "IMMEDIATE":
                immediate = True
                operand_str = tokens[2]
                opcode = MEMONICS[instr] | 0x80 # MSB = 1
            else:
                operand_str = tokens[1]
                opcode = MEMONICS[instr] # MSB = 0

            if operand_str.isdigit():
                operand = int(operand_str)
            elif operand_str in labels:
                operand = labels[operand_str]
            else:
                try:
                    operand = int(operand_str, 0) # Support 0x form operand
                except:
                    raise ValueError(f"Unknown operand: {operand_str}")

        if operand < 0 or operand > 255:
            raise ValueError(f"Operand out of 8-bit range: {operand}")

        machine_code.append((opcode << 8) | operand)
```

```
        addr += 1

    return machine_code


def assemble_to_bytes(code: list[int]) -> bytearray:
    result = bytearray()
    for word in code:
        result.append((word >> 8) & 0xFF) # opcode
        result.append(word & 0xFF)    # operand
    return result

def send_to_serial(bitstream:str) -> None:
    # must run on Linux system
    # FPGA Config: Baud rate = 115200, 8N1 Transmission
    write_port = '/dev/ttyUSB1'
    ser = serial.Serial(
    port= write_port,
    baudrate= 115200,
    timeout=1,
    bytesize=8,
    parity= "N",
    stopbits=1
    )

    # 向 FPGA 发送数据
    for item in bitstream:
        ser.write(item.encode()) # 将字符串转换为字节并发送
        print(f"Write bit {item} to serial port {write_port}\n")
    print("Write successfully")
    # # 读取来自 FPGA 的数据
    # response = ser.readline() # 读取一行数据（假设 FPGA 发送数据是以换行符结尾）
    # print(f"Received from FPGA: {response.decode().strip()}")

    # 关闭串口
    ser.close()

def main():
    os.chdir("./designs/input_src")
    with open('add_one_to_hundred.txt', 'r') as file:
        lines = file.readlines()

    machine_words = parse_assembly(lines)
    binary = assemble_to_bytes(machine_words)

    # 打印每条机器码（16位）和最终二进制流
    print("Machine Code:")
```

```
    for i, word in enumerate(machine_words):
        print(f"{i:02}: {word:04X}")

    print("\nGenerated Binary Bitstream:")
    print(" ".join(f"{b:08b}" for b in binary))
    bitstream = [f"{b:08b}" for b in binary]

    send_to_serial(bitstream)

main()
```

Listing 1: write_bistream.py

A.2 UART 接收与指令 RAM 模块

该部分包含了 UART 接收模块、FIFO 模块和指令 RAM 模块的设计代码以及测试 Testbench。

```
`timescale 1ns / 1ps

module UART (
    i_clk_uart,
    i_rst_n,
    i_rx,
    o_data,
    o_valid,
    o_clear_sign
);

  input i_clk_uart;
  input i_rst_n;
  input i_rx; // RX input from the serial port
  output reg [7:0] o_data; // Output data
  output reg o_valid; // Valid signal
  output o_clear_sign;
  // Baud Rate Settings
  parameter BAUD_RATE = 115200;
  parameter CLK_FREQ = 100000000;

  localparam CLK_DIV = CLK_FREQ / BAUD_RATE;

  // 0.3ms with 100MHz Freqency
  parameter MAX_WAITING_CLK = 30000;

  // State Parameters
  parameter IDLE = 3'b000;
  parameter START = 3'b001;
  parameter DATA = 3'b010;
  parameter STOP = 3'b011;
```

```
32
33
34  reg [2:0] current_state, next_state;
35
36  // Counters
37  reg [15:0] clk_div_counter;
38  reg [ 4:0] bit_counter;
39  reg [25:0] rx_no_data_counter;
40  // Data Receiver
41  reg [ 7:0] rx_shift_reg;
42
43  // registers of clear flag
44  reg clear, clear_state;
45
46  // State transition & counter
47  always @(posedge i_clk_uart or negedge i_rst_n) begin
48    if (!i_rst_n) begin
49      current_state <= IDLE;
50      clk_div_counter <= 0;
51
52    end else begin
53      current_state <= next_state;
54      // Clock Counter
55      if (clk_div_counter == CLK_DIV - 1) begin
56        clk_div_counter <= 0;
57      end else begin
58        clk_div_counter <= clk_div_counter + 1;
59      end
60    end
61  end
62  // State Transitions
63  always @(posedge i_clk_uart or negedge i_rst_n) begin
64    if (!i_rst_n) begin
65      next_state <= IDLE;
66    end else begin
67      case (current_state)
68        IDLE: begin
69          if (i_rx == 0) begin
70            next_state <= START;
71          end else begin
72            next_state <= IDLE;
73          end
74        end
75        START: begin
76          next_state <= DATA;
77        end
78        DATA: begin
```

```
        if (bit_counter == 9) next_state <= STOP;
        else next_state <= DATA;

      end
      STOP: begin
        if (clk_div_counter == CLK_DIV - 1) begin
          next_state <= IDLE;
        end
      end
      default: next_state <= IDLE;
    endcase
  end

end

// Data receiver from RX
always @(posedge i_clk_uart or negedge i_rst_n) begin
  if (!i_rst_n) begin

    bit_counter <= 0;
    rx_shift_reg <= 8'd0;
    o_valid <= 0;
    o_data <= 8'd0;

  end else begin
    if (clk_div_counter == CLK_DIV >> 1 && current_state == DATA) begin
      rx_shift_reg <= {rx_shift_reg[6:0], i_rx};
    end

    if (clk_div_counter == CLK_DIV - 1) begin
      case (current_state)
        IDLE: begin
          bit_counter <= 0;
        end
        START: begin
          bit_counter <= 0;
        end

        DATA: begin
          bit_counter <= bit_counter + 1;
        end

        STOP: begin
          if (i_rx == 1) begin
            o_data <= rx_shift_reg;
            o_valid <= 1;
          end
```

```
        end
      endcase
    end else begin
      // make sure it only takes one byte
      o_valid <= 0;
    end
  end
end


// Assignments
// activates when a transmission is over and 0.5s past with no more transmission begins.
always @(posedge i_clk_uart or negedge i_rst_n) begin
  if (!i_rst_n) begin
    clear <= 0;
    clear_state <= 0;
    rx_no_data_counter <= 0;
  end else begin
    case (current_state)
      IDLE: begin
        // Counter of IDLE
        if (rx_no_data_counter == MAX_WAITING_CLK) begin
          rx_no_data_counter <= 0;
          clear <= 1;
        end else begin
          rx_no_data_counter <= rx_no_data_counter + 1;
        end
      end
      // At least a byte is read
      default: begin
        clear_state <= 1;
        clear <= 0;
      end
    endcase
  end
end
assign o_clear_sign = clear & clear_state;


endmodule
```

Listing 2: uart.v

```
// Date: 25.4.13
// Author: LiPtP
`timescale 1ns / 1ps
module FIFO (
    i_rst_n,
```

```
    i_clk_wr,
    i_valid_uart,
    i_data_uart,
    i_clk_rd,
    o_data_bram,
    o_addr_bram,
    o_wr_en_bram,
    o_fifo_empty
);
  input i_rst_n;

  // UART（100MHz）
  input i_clk_wr;
  input i_valid_uart;
  input [7:0] i_data_uart;

  // CPU（50MHz）
  input i_clk_rd;
  output reg [15:0] o_data_bram;
  output reg [7:0] o_addr_bram;
  output reg o_wr_en_bram;

  // for judging completion
  output o_fifo_empty;

  localparam DEPTH = 16; // FIFO depth
  localparam ADDR_WIDTH = 4; // Address for FIFO

  reg [7:0] fifo_mem[0:DEPTH-1];

  reg [ADDR_WIDTH:0] wr_ptr_bin, rd_ptr_bin;
  reg [ADDR_WIDTH:0] wr_ptr_gray, rd_ptr_gray;
  reg [ADDR_WIDTH:0] wr_ptr_gray_sync1, wr_ptr_gray_sync2;
  reg [ADDR_WIDTH:0] rd_ptr_gray_sync1, rd_ptr_gray_sync2;

  wire fifo_empty = (rd_ptr_gray_sync2 == wr_ptr_gray);
  wire fifo_full = ((wr_ptr_gray[ADDR_WIDTH] != rd_ptr_gray_sync2[ADDR_WIDTH]) &&
                    (wr_ptr_gray[ADDR_WIDTH-1:0] == rd_ptr_gray_sync2[ADDR_WIDTH-1:0]));

  // ------------------------------
  // Write Time Zone (UART, 100MHz)
  // ------------------------------
  always @(posedge i_clk_wr or negedge i_rst_n) begin
    if (!i_rst_n) begin
      wr_ptr_bin <= 0;
      wr_ptr_gray <= 0;
    end else if (i_valid_uart && !fifo_full) begin
```

```
    fifo_mem[wr_ptr_bin[ADDR_WIDTH-1:0]] <= i_data_uart;
    wr_ptr_bin <= wr_ptr_bin + 1;
    wr_ptr_gray <= (wr_ptr_bin + 1) ^ ((wr_ptr_bin + 1) >> 1);
  end
end

// 同步读指针（Gray）到写时钟域
always @(posedge i_clk_wr or negedge i_rst_n) begin
  if (!i_rst_n) begin
    rd_ptr_gray_sync1 <= 0;
    rd_ptr_gray_sync2 <= 0;
  end else begin
    rd_ptr_gray_sync1 <= rd_ptr_gray;
    rd_ptr_gray_sync2 <= rd_ptr_gray_sync1;
  end
end

// -------------------------------
// Read Clock Zone (CPU, 50MHz)
// -------------------------------
reg [7:0] data_buffer;
reg       byte_flag; // flag of the first UART byte is read

always @(posedge i_clk_rd or negedge i_rst_n) begin
  if (!i_rst_n) begin
    rd_ptr_bin <= 0;
    rd_ptr_gray <= 0;
    byte_flag  <= 0;
    o_data_bram <= 0;
    o_addr_bram <= 0;
    o_wr_en_bram <= 0;
  end else begin
    o_wr_en_bram <= 0;

    // Read a byte to data_buffer if it's odd or write out
    if (!fifo_empty) begin

      rd_ptr_bin <= rd_ptr_bin + 1;
      rd_ptr_gray <= (rd_ptr_bin + 1) ^ ((rd_ptr_bin + 1) >> 1);

      if (!byte_flag) begin
        data_buffer <= fifo_mem[rd_ptr_bin[ADDR_WIDTH-1:0]];
        byte_flag <= 1;
      end else begin
        o_data_bram <= {data_buffer, fifo_mem[rd_ptr_bin[ADDR_WIDTH-1:0]]}; // 高字节在前
        o_addr_bram <= o_addr_bram + 1;
        o_wr_en_bram <= 1;
```

```
        byte_flag  <= 0;
      end
    end

    //  end else if (byte_flag) begin
    //    // if there are odd bytes from UART, fill zero
    //    o_data_bram <= {data_buffer, 8'h00};
    //    o_addr_bram <= o_addr_bram + 1;
    //    o_wr_en_bram <= 1;
    //    byte_flag  <= 0;
    //  end
  end
 end

 // 同步写指针（Gray）到读时钟域
 always @(posedge i_clk_rd or negedge i_rst_n) begin
  if (!i_rst_n) begin
    wr_ptr_gray_sync1 <= 0;
    wr_ptr_gray_sync2 <= 0;
  end else begin
    wr_ptr_gray_sync1 <= wr_ptr_gray;
    wr_ptr_gray_sync2 <= wr_ptr_gray_sync1;
  end
 end

 assign o_fifo_empty = fifo_empty;
endmodule
```

Listing 3: fifo.v

```
`timescale 1ns / 1ps

module BRAM_INSTR (
    i_clk,
    en_write,
    i_addr_write,
    i_addr_read,
    o_instr_read,
    i_instr_write,
    o_max_addr
);
 input i_clk;
 input en_write;              // flag of write instructions.
 input [7:0] i_addr_write;    // address of the upcoming instruction
 input [15:0] i_instr_write;  // content of the upcoming instruction
 input [7:0] i_addr_read;     // address of instruction to be read
 output reg [15:0] o_instr_read; // content of instruction to be read
 output [7:0] o_max_addr;  // current max address of instr BRAM
```

```
19
20    reg [15:0] mem [0:255];
21    reg [7:0] current_addr;
22
23    always @(posedge i_clk) begin
24      if (en_write) begin
25          mem[i_addr_write] <= i_instr_write;
26      end
27      o_instr_read <= mem[i_addr_read];
28    end
29
30    always @(posedge i_clk) begin
31      // The input address is sequentially written
32      current_addr <= i_addr_write;
33    end
34
35    assign o_max_addr = current_addr;
36  endmodule
```

Listing 4: bram_instr.v

```
1   module CLK_DIVIDER (
2       i_clk,
3       i_rst_n_sync,
4       o_clk_div
5   );
6     input i_clk;
7     input i_rst_n_sync;
8     output reg o_clk_div;
9
10    always @(posedge i_clk) begin
11      if (!i_rst_n_sync) begin
12        o_clk_div <= 0;
13      end else begin
14        o_clk_div <= ~o_clk_div;
15      end
16    end
17
18  endmodule
```

Listing 5: clk_divider.v

```
1   `timescale 1ns / 1ps
2
3   module INSTR_ROM (
4       i_clk_uart,
5       i_rst_n,
6       i_rx,
```

```
    i_addr_read,
    o_instr_read,
    o_instr_transmit_done,
    o_max_addr
);
  input i_clk_uart; // Board Freqency: 100MHz

  input i_rst_n; // Global Reset
  input i_rx;
  input [7:0] i_addr_read;
    output [15:0] o_instr_read;
  output o_instr_transmit_done;
    output [7:0] o_max_addr;


  wire valid_uart;
  wire [7:0] data_uart;
  wire [15:0] data_bram;
  wire [7:0] addr_bram;
  wire enable_write_bram;
  wire clear_uart;
  wire clear_fifo;

  // CPU Frequency: 50MHz
  // If we use 100MHz read clk, the UART will fail
  // Sync Reset
  wire clk;

  CLK_DIVIDER instr_load_clk_divide(
    .i_clk(i_clk_uart),
    .i_rst_n_sync(i_rst_n),
    .o_clk_div(clk)
  );

  UART instr_load_uart (
      .i_clk_uart(i_clk_uart),
      .i_rst_n(i_rst_n),
      .i_rx(i_rx),
      .o_data(data_uart),
      .o_valid(valid_uart),
      .o_clear_sign(clear_uart)
  );

  FIFO instr_load_fifo (
      .i_rst_n(i_rst_n),
      .i_clk_wr(i_clk_uart),
      .i_valid_uart(valid_uart),
```

```
    .i_data_uart(data_uart),
    .i_clk_rd(clk),
    .o_data_bram(data_bram),
    .o_addr_bram(addr_bram),
    .o_wr_en_bram(enable_write_bram),
    .o_fifo_empty(clear_fifo)
);

BRAM_INSTR instr_load_bram (
    .i_clk(clk),
    .en_write(enable_write_bram),
    .i_addr_write(addr_bram),
    .i_addr_read(i_addr_read),
    .o_instr_read(o_instr_read),
    .i_instr_write(data_bram),
    .o_max_addr(o_max_addr)
);

assign o_instr_transmit_done = clear_uart & clear_fifo;
endmodule
```

Listing 6: top_instr_rom.v

A.3 控制单元设计

```

/*
* 1 global halt
* 1 MAR self increment
* 2 CAR
* 1 ALU_enable
* 3 ALU
* 16 internal bus
* C2: Control for PC+1
*/
`timescale 1ns / 1ps

module CONTROL_MEMORY (
        car,
        control_word
    );
input wire [6:0] car;        // From CAR
output reg [23:0] control_word; // Output Ctrl Signal

always @(*) begin
   case (car)
      // Instruction
```

```
        7'h00:
            control_word = 24'b00_10_0000_00000000_00000100; // IF1, 2 PC+1
        7'h01:
            control_word = 24'b00_10_0000_00000000_00100001; // IF2, 0 5
        7'h02:
            control_word = 24'b00_10_0000_00000000_00010000; // ID1, 4
        7'h03:
            control_word = 24'b00_10_0000_01000000_00000000; // ID2, 14

        // Operand
        7'h04:
            control_word = 24'b00_01_0000_10000000_00000000; // FO, 15
        7'h05:
            control_word = 24'b00_10_0000_00000001_00000000; // IND1, 8
        7'h06:
            control_word = 24'b00_01_0000_00000000_00100001; // IND2, 0 5

        // STORE
        7'h07:
            control_word = 24'b00_10_0000_00000001_00000000; // EX, 8
        7'h08:
            control_word = 24'b00_11_0000_00110000_00000001; // WB, 0 12 13

        // LOAD
        7'h09:
            control_word = 24'b00_10_0000_00000000_00000000; // EX
        7'h0A:
            control_word = 24'b00_11_0000_00001000_00000000; // WB, 11

        // ADD
        7'h0B:
            control_word = 24'b00_10_1000_00000000_11000000; // EX, 6 7
        7'h0C:
            control_word = 24'b00_11_1000_00000000_00100000; // WB

        // SUB
        7'h0D:
            control_word = 24'b00_10_1001_00000000_11000000; // EX, 6 7
        7'h0E:
            control_word = 24'b00_11_1001_00000000_00100000; // WB

        // MPY
        7'h0F:
            control_word = 24'b00_10_1010_00000000_11000000; // EX, 6 7
        7'h10:
            control_word = 24'b00_11_1010_00000110_00000000; // WB, 9 10

```

```
        // JGZ & JMP
        7'h11:
            control_word = 24'b00_10_0000_00000000_00000000; // EX
        7'h12:
            control_word = 24'b00_11_0000_00000000_00001000; // WB, 3

        // HALT
        // Stop and reset control word to IF
        7'h13:
            control_word = 24'b00_10_0000_00000000_00000000; // EX
        7'h14:
            control_word = 24'b10_11_0000_00000000_00000000; // WB, HALT

        // AND
        7'h15:
            control_word = 24'b00_10_1011_00000000_11000000; // EX, 6 7
        7'h16:
            control_word = 24'b00_11_1011_00000010_00000000; // WB, 9

        // OR
        7'h17:
            control_word = 24'b00_10_1100_00000000_11000000; // EX, 6 7
        7'h18:
            control_word = 24'b00_11_1100_00000010_00000000; // WB, 9

        // NOT
        7'h19:
            control_word = 24'b00_10_1101_00000000_01000000; // EX, 6 7
        7'h1A:
            control_word = 24'b00_11_1101_00000010_00000000; // WB, 9

        // SHIFTR
        7'h1B:
            control_word = 24'b00_10_1110_00000000_11000000; // EX, 6 7
        7'h1C:
            control_word = 24'b00_11_1110_00000010_00000000; // WB, 9

        // SHIFTL
        7'h1D:
            control_word = 24'b00_10_1111_00000000_11000000; // EX, 6 7
        7'h1E:
            control_word = 24'b00_11_1111_00000010_00000000; // WB, 9

        // Implicit Instructions

        // NOP
        // Used for completing the instruction cycle.
```

```
        // Executed if JGZ is judged false.

        7'h1F:
            control_word = 24'b00_10_0000_00000000_00000000; // EX
        7'h20:
            control_word = 24'b00_11_0000_00000000_00000000; // WB

        // STOREH
        // Used for storage of high bytes of multiply results.
        // Executed after STORE Operation on MF = 1.

        7'h21:
            control_word = 24'b00_10_0000_00000001_00000000; // EX1, 8
        7'h22:
            control_word = 24'b01_10_0000_00110000_00000001; // WB1, 0 12 13 MAR+1
        7'h23:
            control_word = 24'b00_10_0000_00000100_00000000; // EX2, 10
        7'h24:
            control_word = 24'b00_11_0000_00110000_00000001; // WB2, 0 12 13

        default:
            control_word = 24'b00_11_0000_00000000_00000000; // Back to zero addr
    endcase
end

endmodule
```

Listing 7: cu_control_memory.v

```
`timescale 1ns / 1ps

// Sequencing Logic & CAR
/* Sequencing Logic of CAR
*  10 self increment
*  11 back to 0
*  01 jump
*  00 nothing
*/
module CAR (
          ctrl_step_execution,
          i_ctrl_halt,
          i_next_instr_stimulus,
          i_clk,
          i_rst_n,
          i_control_word_car,
          i_ir_data,
          i_ctrl_ZF,
          i_ctrl_NF,
```

```
        i_ctrl_MF,
        o_car_data
    );
input wire ctrl_step_execution;
input wire i_clk;
input wire i_rst_n;
input wire i_next_instr_stimulus;
input wire [1:0] i_control_word_car;
input wire [4:0] i_ir_data; // MSB + IR[3:0]
input wire i_ctrl_ZF; // ZF Flag
input wire i_ctrl_NF; // NF Flag
input wire i_ctrl_MF; // MF Flag
input wire i_ctrl_halt; // C23
output reg [6:0] o_car_data;

// Indicator of indirect cycle requirement
wire indirect_flag = i_ir_data[4];

// Indicator of indirect cycle done, default 0.
reg indirect_done;


wire [3:0] ir_data = i_ir_data[3:0];

always @(posedge i_clk or negedge i_rst_n) begin
    if (!i_rst_n) begin
        o_car_data <= 7'h00;
        indirect_done <= 1'b0;
    end
    else begin
        // indirect at previlige
        if (indirect_flag && !indirect_done) begin
            o_car_data <= 7'h02;
            indirect_done <= 1'b1;
        end
        else begin
            case (i_control_word_car)
                2'b01: begin // Jump to execution
                    case (ir_data)
                        4'd1: begin
                            if (i_ctrl_MF) begin
                                o_car_data <= 7'h23; // STORE & STOREH
                            end
                            else begin
                                o_car_data <= 7'h07; // STORE Only
                            end
                        end
```

```
                    4'd2:
                        o_car_data <= 7'h09; // LOAD
                    4'd3:
                        o_car_data <= 7'h0B; // ADD
                    4'd4:
                        o_car_data <= 7'h0D; // SUB

                    4'd5: begin // JGZ
                        if (!i_ctrl_ZF && !i_ctrl_NF)
                            o_car_data <= 7'h11;
                        else
                            o_car_data <= 7'h00;
                    end
                    4'd6:
                        o_car_data <= 7'h11;  // JMP
                    4'd7:
                        o_car_data <= 7'h13;  // HALT
                    4'd8:
                        o_car_data <= 7'h0F;  // MPY
                    4'd9:
                        o_car_data <= 7'h15;  // AND
                    4'd10:
                        o_car_data <= 7'h17; // OR
                    4'd11:
                        o_car_data <= 7'h19; // NOT
                    4'd12:
                        o_car_data <= 7'h1B; // SHIFTR
                    4'd13:
                        o_car_data <= 7'h1D; // SHIFTL
                    default:
                        o_car_data <= 7'h00;
                endcase
            end
            2'b10: begin
                o_car_data <= o_car_data + 1; // Next Micro-instruction
            end
            2'b11: begin
                if (i_ctrl_halt) begin
                    // Previliage HALT
                    o_car_data <= o_car_data;
                end
                else if (ctrl_step_execution) begin
                    // Step-by-step instruction fetch
                    if (i_next_instr_stimulus) begin
                        o_car_data  <= 7'h00;
                        indirect_done <= 1'b0;
                    end
```

```
                    else begin
                        o_car_data <= o_car_data;
                    end
                end
                else begin
                    // Auto fetch
                    o_car_data  <= 7'h00; // Fetch next instruction
                    indirect_done <= 1'b0; // Reset Indirect Flag
                end
            end
            default:
                o_car_data <= o_car_data; // Prevent latch
        endcase
    end
  end
end

endmodule
```

Listing 8: cu_control_address_register.v

```
`timescale 1ns / 1ps

module CBR (
        memory,
        ctrl_global_halt,
        ctrl_mar_increment,
        next_addr,
        ALU_op,
        C0,
        C1,
        C2,
        C3,
        C4,
        C5,
        C6,
        C7,
        C8,
        C9,
        C10,
        C11,
        C12,
        C13,
        C14,
        C15
    );
input [23:0] memory;
output ctrl_global_halt; // C23
```

```
output ctrl_mar_increment; // C22
output [1:0] next_addr; // C21-C20
output [3:0] ALU_op; // C19-C16
output C0, C1, C2, C3, C4, C5, C6, C7, C8, C9, C10, C11, C12, C13, C14, C15;

assign C0 = memory[0];
assign C1 = memory[1];
assign C2 = memory[2];
assign C3 = memory[3];
assign C4 = memory[4];
assign C5 = memory[5];
assign C6 = memory[6];
assign C7 = memory[7];
assign C8 = memory[8];
assign C9 = memory[9];
assign C10 = memory[10];
assign C11 = memory[11];
assign C12 = memory[12];
assign C13 = memory[13];
assign C14 = memory[14];
assign C15 = memory[15];

assign ALU_op = memory[19:16];

assign next_addr = memory[21:20];
assign ctrl_mar_increment = memory[22];
assign ctrl_global_halt = memory[23];

endmodule
```

Listing 9: cu_control_buffer_register.v

```
// The top module of the CU
// Author: LiPtP
// Date: 2025.4.25
// Should be connected to:
// * All internal registers via Internal Bus
// * ALU
// * External Bus

module CU_TOP (
          ctrl_step_execution,
          i_next_instr_stimulus,
          i_clk,
          i_rst_n,
          i_flags,
          i_ir_data,
          o_alu_op,
```

```
          o_ctrl_halt,
          o_IF_stage,
          o_ctrl_mar_increment,
          C0,
          C1,
          C2,
          C3,
          C4,
          C5,
          C6,
          C7,
          C8,
          C9,
          C10,
          C11,
          C12,
          C13,
          C14,
          C15
      );

// External signals
input ctrl_step_execution;
input i_next_instr_stimulus;
input i_clk;
input i_rst_n;
input [7:0] i_ir_data;
input [4:0] i_flags; // ZF, CF, OF, NF, MF

output [3:0] o_alu_op;
output o_ctrl_mar_increment; // C23
output o_IF_stage; // C2
output o_ctrl_halt; // C23
output C0, C1, C2, C3, C4, C5, C6, C7, C8, C9, C10, C11, C12, C13, C14, C15;

// Internal signals

wire [ 1:0] next_addr;
wire [ 6:0] car_data;
wire [23:0] control_word;


CAR control_CAR (
       .ctrl_step_execution(ctrl_step_execution),
       .i_next_instr_stimulus(i_next_instr_stimulus),
       .i_clk(i_clk),
       .i_rst_n(i_rst_n),
```

```
        .i_control_word_car(next_addr),
        .i_ir_data({i_ir_data[7], i_ir_data[3:0]}),
        .i_ctrl_ZF(i_flags[4]),
        .i_ctrl_NF(i_flags[1]),
        .i_ctrl_MF(i_flags[0]),
        .i_ctrl_halt(o_ctrl_halt),
        .o_car_data(car_data)
    );

CONTROL_MEMORY control_memory (
                .car(car_data),
                .control_word(control_word)
            );

CBR control_CBR (
        .memory(control_word),
        .ctrl_global_halt(o_ctrl_halt),
        .ctrl_mar_increment(o_ctrl_mar_increment),
        .next_addr(next_addr),
        .ALU_op(o_alu_op),
        .C0(C0),
        .C1(C1),
        .C2(C2),
        .C3(C3),
        .C4(C4),
        .C5(C5),
        .C6(C6),
        .C7(C7),
        .C8(C8),
        .C9(C9),
        .C10(C10),
        .C11(C11),
        .C12(C12),
        .C13(C13),
        .C14(C14),
        .C15(C15)
    );


// Assignments

assign o_IF_stage = C2;

endmodule
```

Listing 10: cu_top.v

A.4 内部寄存器与 ALU 设计

```
/*
module ALU
Author: LiPtP
function:
1. update BR and MR registers on rising clock edge when `ctrl_alu_en` is open;
2. Bus control using C9, C10, the target port is o_br and o_mr;
3. Operation encoding is defined in doc.
*/
module ALU (
          i_clk,
          i_rst_n,
          i_acc_alu_p,
          i_acc_alu_q,
          ctrl_alu_op,
          ctrl_alu_en,
          C9,
          C10,
          o_mr,
          o_br,
          o_flags
      );
input i_clk;
input i_rst_n;
input [15:0] i_acc_alu_p;
input [15:0] i_acc_alu_q;
input [2:0] ctrl_alu_op;
input ctrl_alu_en;
input C9;
input C10;
output [15:0] o_mr;
output [15:0] o_br;
output [4:0] o_flags;

// Re-interpret input to signed values
wire signed [15:0] ALU_P = i_acc_alu_p;
wire signed [15:0] ALU_Q = i_acc_alu_q;

// Calculation result
reg signed [15:0] ALU_RES_LOW;
reg signed [15:0] ALU_RES_HIGH;

// Output registers
reg [15:0] BR;
reg [15:0] MR;

```

```
// Flags
reg ZF, CF, OF, NF, MF;

// Combinational logic: ALU Operation
always @(*) begin
    // Default
    ALU_RES_LOW = 16'b0;
    ALU_RES_HIGH = 16'b0;

    case (ctrl_alu_op)
        3'b000: begin // ADD
            ALU_RES_LOW = ALU_P + ALU_Q;
        end
        3'b001: begin // SUB
            ALU_RES_LOW = ALU_P - ALU_Q;
        end
        3'b010: begin // MPY
            {ALU_RES_HIGH, ALU_RES_LOW} = ALU_P * ALU_Q;
        end
        3'b011: begin // AND
            ALU_RES_LOW = ALU_P & ALU_Q;
        end
        3'b100: begin // OR
            ALU_RES_LOW = ALU_P | ALU_Q;
        end
        3'b101: begin // NOT
            ALU_RES_LOW = ~ALU_P;
        end
        3'b110: begin // SHIFTL
            ALU_RES_LOW = ALU_P <<< 1;
        end
        3'b111: begin // SHIFTR
            ALU_RES_LOW = ALU_P >>> 1;
        end
        default: begin
            ALU_RES_LOW = 16'b0;
            ALU_RES_HIGH = 16'b0;
        end
    endcase
end

// Sequential logic: Update BR and MR upon ctrl_alu_en
always @(posedge i_clk or negedge i_rst_n) begin
    if (!i_rst_n) begin
        BR <= 16'b0;
        MR <= 16'b0;
    end else if (ctrl_alu_en) begin
```

```
        BR <= ALU_RES_LOW;
        MR <= ALU_RES_HIGH;
    end else begin
        BR <= BR;
        MR <= MR;
    end
end

// Sequential logic: Update Flags upon ctrl_alu_en
always @(posedge i_clk or negedge i_rst_n) begin
    if (!i_rst_n) begin
        ZF <= 1'b0;
        CF <= 1'b0;
        OF <= 1'b0;
        NF <= 1'b0;
        MF <= 1'b0;
    end else if (ctrl_alu_en) begin
        ZF <= (ctrl_alu_op == 3'b010) ? ({ALU_RES_HIGH, ALU_RES_LOW} == 32'b0) : (ALU_RES_LOW ==
            16'b0);
        CF <= (ctrl_alu_op == 3'b110) ? ALU_P[15] : // SHIFTL highest bit
             (ctrl_alu_op == 3'b111) ? ALU_P[0] : 1'b0; // SHIFTR lowest bit
        OF <= (ctrl_alu_op == 3'b000) ? ((ALU_P[15] == ALU_Q[15]) && (ALU_RES_LOW[15] != ALU_P
            [15])) : // ADD overflow
             (ctrl_alu_op == 3'b001) ? ((ALU_P[15] != ALU_Q[15]) && (ALU_RES_LOW[15] != ALU_P
                 [15])) : // SUB overflow
             (ctrl_alu_op == 3'b010) ? (ALU_RES_HIGH != 16'b0) : 1'b0; // MPY overflow
        NF <= ALU_RES_LOW[15];
        MF <= (ctrl_alu_op == 3'b010); // only MPY sets MF
    end else begin
        ZF <= ZF;
        CF <= CF;
        OF <= OF;
        NF <= NF;
        MF <= MF;
    end
end

// Output
assign o_br = C9 ? BR : 16'b0;
assign o_mr = C10 ? MR : 16'b0;
assign o_flags = {ZF, CF, OF, NF, MF};

endmodule
```

Listing 11: alu.v

```
module ACC (
        i_clk,
```

```
          i_rst_n,
          i_br_acc,
          i_mr_acc,
          i_mbr_acc,
          C7,
          C12,
          o_acc_alu_p,
          o_acc_mbr
      );
input i_clk;
input i_rst_n;
input [15:0] i_br_acc;
input [15:0] i_mr_acc;
input [15:0] i_mbr_acc;
input C7;
input C12;
output [15:0] o_acc_alu_p;
output [15:0] o_acc_mbr;

reg [15:0] ACC;

always @(posedge i_clk or negedge i_rst_n) begin
    if (!i_rst_n) begin
        ACC <= 16'b0;
    end
    else begin
        if (i_br_acc != 16'b0) begin
            ACC <= i_br_acc;
        end
        else if (i_mr_acc != 16'b0) begin
            ACC <= i_mr_acc;
        end
        else if (i_mbr_acc != 16'b0) begin
            ACC <= i_mbr_acc;
        end
        else begin
            ACC <= ACC;
        end
    end
end

assign o_acc_alu_p = C7 ? ACC : 16'b0;
assign o_acc_mbr = C12 ? ACC : 16'b0;
endmodule
```

Listing 12: acc.v

```
/*
module MAR
Author: LiPtP
function:
1. self increment upon STOREH implicit instruction
2. write value sequence: MBR > PC
*/
`timescale 1ns / 1ps
module MAR (
    i_clk,
    i_rst_n,
    i_mbr_mar,
    i_pc_mar,
    ctrl_mar_increment,
    o_mar_address_bus
);
  input i_clk;
  input i_rst_n;
  input ctrl_mar_increment;
  input [7:0] i_mbr_mar;
  input [7:0] i_pc_mar;
  output [7:0] o_mar_address_bus;

  reg [7:0] MAR;

  always @(posedge i_clk or negedge i_rst_n) begin
    if (!i_rst_n) begin
      MAR <= 8'b0;
    end else begin
      if (ctrl_mar_increment) begin
        MAR <= MAR + 1;
      end else begin
        if (i_mbr_mar != 8'b0) begin
          MAR <= i_mbr_mar;
        end else if (i_pc_mar != 8'b0) begin
          MAR <= i_pc_mar;
        end else begin
          MAR <= MAR;
        end
      end
    end
  end

  // Address bus judgement logic at reg_top
  assign o_mar_address_bus = MAR;
endmodule
```

Listing 13: mar.v

```
/*
module MBR
Author: LiPtP
function:
1. write value sequence: Bus > IR > PC > ACC
*/
`timescale 1ns / 1ps
module MBR (
          i_clk,
          i_rst_n,
          i_pc_mbr,
          i_ir_mbr,
          i_data_bus_mbr,
          i_acc_mbr,
          o_mbr_data_bus,
          o_mbr_pc,
          o_mbr_ir,
          o_mbr_mar,
          o_mbr_acc,
          o_mbr_alu_q,
          C3,
          C4,
          C6,
          C8,
          C11
      );
input i_clk;
input i_rst_n;
input [7:0] i_pc_mbr;
input [7:0] i_ir_mbr;
input [15:0] i_data_bus_mbr;
input [15:0] i_acc_mbr;
input C3;
input C4;
input C6;
input C8;
input C11;
output [15:0] o_mbr_data_bus;
output [7:0] o_mbr_pc;

// IR stages the storage of MBR on ID Stage, in order that MBR can directly receive immaculate
    operand on immediate addressing.
output [15:0] o_mbr_ir;

```

```
output [7:0] o_mbr_mar;
output [15:0] o_mbr_acc;
output [15:0] o_mbr_alu_q;

reg [15:0] MBR;

always @(posedge i_clk or negedge i_rst_n) begin
    if (!i_rst_n) begin
        MBR <= 16'b0;
    end
    else begin
        if (i_data_bus_mbr != 16'b0) begin
            MBR <= i_data_bus_mbr;
        end
        else if (i_ir_mbr != 8'b0) begin
            MBR <= {8'b0, i_ir_mbr};
        end
        else if (i_pc_mbr != 8'b0) begin
            MBR <= {8'b0, i_pc_mbr};
        end
        else if (i_acc_mbr != 16'b0) begin
            MBR <= i_acc_mbr;
        end
        else begin
            MBR <= MBR;
        end
    end
end

assign o_mbr_acc = C11 ? MBR : 16'b0;

assign o_mbr_alu_q = C6 ? MBR : 16'b0;
assign o_mbr_ir = C4 ? MBR : 16'b0;
assign o_mbr_mar = C8 ? MBR[7:0] : 8'b0;
assign o_mbr_pc = C3 ? MBR[7:0] : 8'b0;

// Data bus judgement logic at reg_top
assign o_mbr_data_bus = MBR;

endmodule
```

Listing 14: mbr.v

```
/*
module PC
Author: LiPtP
function:
1. self increment upon C2
```

```
2. write value sequence: MBR
*/
module PC (
          i_clk,
          i_rst_n,
          i_mbr_pc,
          C1,
          C2,
          o_pc_mar,
          o_pc_mbr
      );
input i_clk;
input i_rst_n;
input [7:0] i_mbr_pc;
input C1;
input C2;
output [7:0] o_pc_mar;
output [7:0] o_pc_mbr;

reg [7:0] PC;

always @(posedge i_clk or negedge i_rst_n) begin
    if (!i_rst_n) begin
        PC <= 8'b0;
    end
    else begin
        // when C2 is open, it must be fetch stage
        if (C2) begin
            PC <= PC + 1;
        end
        else begin
            PC <= (i_mbr_pc != 8'b0) ? i_mbr_pc : PC;
        end
    end
end

assign o_pc_mbr = C1 ? PC : 8'b0;
assign o_pc_mar = C2 ? PC : 8'b0;

endmodule
```

Listing 15: pc.v

```
/*
module IR
Author: LiPtP
function:
1. dump high 8 bits to CU
```

```
2. store immediate opcode and operand from MBR and push back operand on FO stage
*/
module IR (
          i_clk,
          i_rst_n,
          i_mbr_ir,
          C14,
          C15,
          o_ir_cu,
          o_ir_mbr
      );

input i_clk;
input i_rst_n;
input [15:0] i_mbr_ir;
input C14;
input C15;
output [7:0] o_ir_cu;
output [7:0] o_ir_mbr;

reg [7:0] IR_opcode;
reg [7:0] IR_operand;

always @(posedge i_clk or negedge i_rst_n) begin
    if (!i_rst_n) begin
        IR_opcode <= 8'b0;
        IR_operand <= 8'b0;
    end
    else begin
        IR_operand <= (i_mbr_ir[7:0] != 8'b0) ? i_mbr_ir[7:0] : IR_operand;
        IR_opcode <= (i_mbr_ir[15:8] != 8'b0) ? i_mbr_ir[15:8] : IR_opcode;
    end
end

assign o_ir_cu = C14 ? IR_opcode : 8'b0;
assign o_ir_mbr = C15 ? IR_operand : 8'b0;
endmodule
```

Listing 16: ir.v

```
/*
module REG_TOP
Author: LiPtP

Should be connected with:
1. External Bus
2. Control Unit
and they should be at the same hierarchy level.
```

```
*/
module REG_TOP(
          i_clk,
          i_rst_n,
          i_memory_data,
          o_memory_addr,
          o_memory_data,
          o_ir_cu,
          o_flags,
          i_alu_op,
          i_ctrl_halt,
          i_ctrl_mar_increment,
          C0,
          C1,
          C2,
          C3,
          C4,
          C5,
          C6,
          C7,
          C8,
          C9,
          C10,
          C11,
          C12,
          C13,
          C14,
          C15
      );

input i_clk;
input i_rst_n;
// From External Bus
input [15:0] i_memory_data;

// From Control Unit
input [3:0] i_alu_op; // C19 - C16
input i_ctrl_halt; // C23
input i_ctrl_mar_increment; // C22
input C0, C1, C2, C3, C4, C5, C6, C7, C8, C9, C10, C11, C12, C13, C14, C15;

// To External Bus
output [7:0] o_memory_addr;
output [15:0] o_memory_data;
output o_memory_en;

// To Control Unit
```

```
output [7:0] o_ir_cu;
output [4:0] o_flags;

// Internal signals (16 Data Path)

wire [7:0] MAR_ADDR_BUS; // C0
wire [7:0] PC_MBR;       // C1
wire [7:0] PC_MAR;       // C2
wire [7:0] MBR_PC;       // C3
wire [15:0] MBR_IR;      // C4
wire [15:0] DATA_BUS_MBR; // C5
wire [15:0] MBR_ALU_Q;  // C6
wire [15:0] ACC_ALU_P;  // C7
wire [7:0] MBR_MAR;      // C8
wire [15:0] BR_ACC;      // C9
wire [15:0] MR_ACC;      // C10
wire [15:0] MBR_ACC;     // C11
wire [15:0] ACC_MBR;     // C12
wire [15:0] MBR_DATA_BUS; // C13
wire [7:0] IR_CU;        // C14
wire [7:0] IR_MBR;       // C15

// Instantiate the registers

ACC reg_ACC(
       .i_clk(i_clk),
       .i_rst_n(i_rst_n),
       .i_br_acc(BR_ACC),
       .i_mr_acc(MR_ACC),
       .i_mbr_acc(MBR_ACC),
       .C7(C7),
       .C12(C12),
       .o_acc_alu_p(ACC_ALU_P),
       .o_acc_mbr(ACC_MBR)
    );

PC reg_PC(
      .i_clk(i_clk),
      .i_rst_n(i_rst_n),
      .i_mbr_pc(MBR_PC),
      .C1(C1),
      .C2(C2),
      .o_pc_mar(PC_MAR),
      .o_pc_mbr(PC_MBR)
   );
MBR reg_MBR(
       .i_clk(i_clk),
```

```
        .i_rst_n(i_rst_n),
        .i_pc_mbr(PC_MBR),
        .i_ir_mbr(IR_MBR),
        .i_data_bus_mbr(DATA_BUS_MBR),
        .i_acc_mbr(ACC_MBR),
        .o_mbr_data_bus(MBR_DATA_BUS),
        .o_mbr_pc(MBR_PC),
        .o_mbr_ir(MBR_IR),
        .o_mbr_mar(MBR_MAR),
        .o_mbr_acc(MBR_ACC),
        .o_mbr_alu_q(MBR_ALU_Q),
        .C3(C3),
        .C4(C4),
        .C6(C6),
        .C8(C8),
        .C11(C11)
    );

MAR reg_MAR(
        .i_clk(i_clk),
        .i_rst_n(i_rst_n),
        .i_mbr_mar(MBR_MAR),
        .i_pc_mar(PC_MAR),
        .ctrl_mar_increment(i_ctrl_mar_increment),
        .o_mar_address_bus(MAR_ADDR_BUS)
    );
ALU reg_ALU(
        .i_clk(i_clk),
        .i_rst_n(i_rst_n),
        .i_acc_alu_p(ACC_ALU_P),
        .i_acc_alu_q(MBR_ALU_Q),
        .ctrl_alu_op(i_alu_op[2:0]),
        .ctrl_alu_en(i_alu_op[3]),
        .C9(C9),
        .C10(C10),
        .o_mr(MR_ACC),
        .o_br(BR_ACC),
        .o_flags(o_flags)
    );
IR reg_IR(
       .i_clk(i_clk),
       .i_rst_n(i_rst_n),
       .i_mbr_ir(MBR_IR),
       .C14(C14),
       .C15(C15),
       .o_ir_cu(IR_CU),
       .o_ir_mbr(IR_MBR)
```

```
    );

// Assignments to external bus
// Logic are defined in external_bus module
assign o_memory_data = MBR_DATA_BUS;
assign o_memory_addr = MAR_ADDR_BUS;
assign DATA_BUS_MBR = i_memory_data;

// Assignments to CU
assign o_ir_cu = i_ctrl_halt ? 8'b0 : IR_CU;
endmodule
```

Listing 17: reg_top.v

A.5 数据内存设计

```
/*
module DATA_RAM
Author: LiPtP
function:
0. Write means write to RAM, READ means read from RAM
1. Write data to itself according to input address and data
2. Output data according to input address
*/
module DATA_RAM (
          i_clk,
          i_rst_n,
          ctrl_write,
          i_addr_write,
          i_data_write,
          ctrl_read,
          i_addr_read,
          o_data_read
      );
input         i_clk;
input         i_rst_n;
input         ctrl_write;
input  [7:0]  i_addr_write;
input  [15:0] i_data_write;
input         ctrl_read;
input  [7:0]  i_addr_read;
output reg [15:0] o_data_read;
// 256 x 16 RAM storage
reg [15:0] mem [0:255];

// Write Operation, no initialization of data RAM
always @(posedge i_clk) begin
```

```
    if (ctrl_write) begin
        mem[i_addr_write] <= i_data_write;
    end
end

// Read Operation
always @(posedge i_clk or negedge i_rst_n) begin
    if (!i_rst_n) begin
        o_data_read <= 16'b0;
    end
    else if (ctrl_read) begin
        o_data_read <= mem[i_addr_read];
    end
    else begin
        o_data_read <= o_data_read; // Hold previous value if not reading
    end
end

endmodule
```

Listing 18: top_data_ram.v

A.6 外部总线设计

```

module EXTERNAL_BUS (
          i_clk,
          i_rst_n,
          i_mbr_data_bus,
          i_mar_address_bus,
          i_instr,
          i_data,
          o_data_bus_mbr,
          o_data_bus_memory,
          o_address_bus_memory,
          o_instr_rom_read,
          o_data_ram_read,
          o_data_ram_write,
          C0,
          C2,
          C5,
          C13
      );

input i_clk;
input i_rst_n;

```

```
input C0;
input C2;
input C5;
input C13;

// reg <-> bus

input [15:0] i_mbr_data_bus;
input [7:0] i_mar_address_bus;
output [15:0] o_data_bus_mbr;

// memory <-> bus

input [15:0] i_instr; // Instruction
input [15:0] i_data; // Data to be written to RAM
output o_instr_rom_read;
output o_data_ram_read;
output o_data_ram_write;
output [15:0] o_data_bus_memory;
output [7:0] o_address_bus_memory;

wire memory_read_en = C0 & C5; // Memory read enable,
wire memory_write_en = C0 & C13; // Memory write enable

wire [15:0] DATA_BUS;
wire [7:0] ADDRESS_BUS;

reg memory_select;

// Memory Select logic on t1
always @(posedge i_clk or i_rst_n) begin
    if(!i_rst_n) begin
        memory_select <= 1'b0; // Default to RAM
    end
    else begin
        if(C2) begin
            memory_select <= 1'b1; // ROM
        end
        else begin
            memory_select <= 1'b0; // RAM
        end
    end
end

// Address Bus
always @(*) begin
    if(memory_write_en) begin
```

```
        ADDRESS_BUS = i_mar_address_bus;
    end
    else begin
        ADDRESS_BUS = 8'b0;
    end
end

// Data Bus
always @(*) begin
    if(memory_read_en) begin
        DATA_BUS = memory_select ? i_instr : i_data;
    end
    else if (memory_write_en) begin
        DATA_BUS = i_mbr_data_bus;
    end
    else begin
        DATA_BUS = 16'b0;
    end
end

// Control Bus

assign o_instr_rom_read = memory_select & memory_read_en;
assign o_data_ram_read = ~memory_select & memory_read_en;
assign o_data_ram_write = ~memory_select & memory_write_en;

// Data Connections

assign o_data_bus_mbr = memory_read_en ? DATA_BUS : 16'b0;
assign o_data_bus_memory = memory_write_en ? DATA_BUS : 16'b0;
assign o_address_bus_memory = memory_write_en ? ADDRESS_BUS : 8'b0;
endmodule
```

Listing 19: external_bus.v

A.7 用户面设计