

# 基于帧传输的双模 PSK 调制解调系统的软件无线电实现

李勃璘\*

冯光宇†

版本：1.0

日期：2025 年 12 月 23 日

## 摘 要

本设计文档详细阐述了一款基于 SDR 的 BPSK&QPSK 双模通信系及其 Verilog 实现。通信系统支持 BPSK 和 QPSK 两种调制方式，且支持 BPSK 和 QPSK 混合传输，在混合传输模式下系统包括：生成原始数据，给数据添加帧信息、PSK 调制、并串转换、发射、接收、位宽对齐、载波同步、位同步、帧同步、PSK 解调、并串转换等重要模块，以尽可能支持物理层协议。文档首先介绍了通信系统的总体架构，包括时钟树与复位机制、关键功能单元、内部数据通路与控制信号，并详细说明了帧架构及其编码格式。随后，针对系统运行运行过程中出现的时序约束、跨时钟域数据传输、环路控制延迟等问题，使用了标准化时钟树代替流水线分频器、总线设计、FIFO 模块等设计方案，并给出了相应的 Verilog 设计。该设计规范的设计尽最大可能实现物理层通信协议、实现效果接近 AD9361 上限，为后续上层硬件开发提供良好基础。

\*东南大学吴健雄学院，学号：61522529

†东南大学吴健雄学院，学号：61522527

# 目录

<b>1</b>	<b>概述</b>	<b>1</b>
1.1	双模 PSK 调制解调系统	1
<b>2</b>	<b>收发机结构设计</b>	<b>1</b>
2.1	总体架构	1
2.2	时钟树生成模块	1
2.3	数据生成模块	2
2.4	帧封装模块	3
2.5	PSK 调制模块	3
2.6	Costas 载波同步模块	4
2.6.1	Costas 环路原理	4
2.6.2	Costas 环路设计	4
2.7	Gardner 位同步模块	5
2.7.1	Gardner 环路原理	5
2.7.2	Gardner 环路设计	6
2.8	SPB 帧同步与解帧模块	7
2.9	PSK 解调模块与串并转换模块	8
<b>3</b>	<b>仿真测试及仿真结果</b>	<b>9</b>
3.1	仿真测试	9
3.2	仿真结果	9
<b>4</b>	<b>上板验证及结果</b>	<b>9</b>
4.1	上板验证方法	9
4.2	上板验证结果	9

## 插图目录

1	示例图片 . . . . .	2
2	示例图片 . . . . .	5
3	示例图片 . . . . .	6
4	示例图片 . . . . .	7
5	示例图片 . . . . .	8

## 表格目录

# 1 概述

## 1.1 双模 PSK 调制解调系统

双模 PSK 调制解调系统是现代软件定义无线电通信中的核心处理单元，负责实现无线信号的生成、调制、传输与接收解调。该系统主要由载波生成模块、调制映射模块、同步处理单元以及包处理模块等关键部分组成，其中载波生成模块通过数控振荡器产生可调频的载波信号，调制映射模块则根据所选模式将数字比特流映射为 BPSK 或 QPSK 符号；在接收路径中，同步处理单元依托 Costas 环实现载波同步，并利用 Gardner 环完成位定时同步，确保信号在存在频率偏移与时钟偏差时仍能被准确解析。此外，包处理模块负责封装与解析通信帧，其内部结构涵盖训练序列、帧头与数据区，通过帧头中的调制标识实现 BPSK 与 QPSK 模式的自适应切换。整个系统在 FPGA 平台上以硬件描述语言实现，兼顾了处理速度、资源效率与系统灵活性，不仅完成课程设计全部目标，更进一步向实时无线通信的系统设计与协议研究打下了良好且可扩展的硬件基础。

本文接下来的章节安排如下：

第二章将介绍收发机内部架构，即时钟树生成模块、数据生成模块、帧封装模块、PSK 调制模块、串并转换模块、Costas 载波同步模块、Gardner 位同步模块、帧同步模块、解帧模块、PSK 解调模块、并串转换模块，第三章将主要介绍 CPU 外部设备的设计，包括前端输入指令、指令传入内存、内存格式和结果显示功能，第四章是二、三章提出的设计架构的 Verilog HDL 实现，第五章是该设计的资源分析、时序分析、整体仿真结果和在 NEXYS 4 DDR FPGA 开发板上的测试结果。第六章对该设计进行了总结，并提出一些可改进的方向。另外，附录中还提供了设计的全部 Verilog 代码和项目地址。

## 2 收发机结构设计

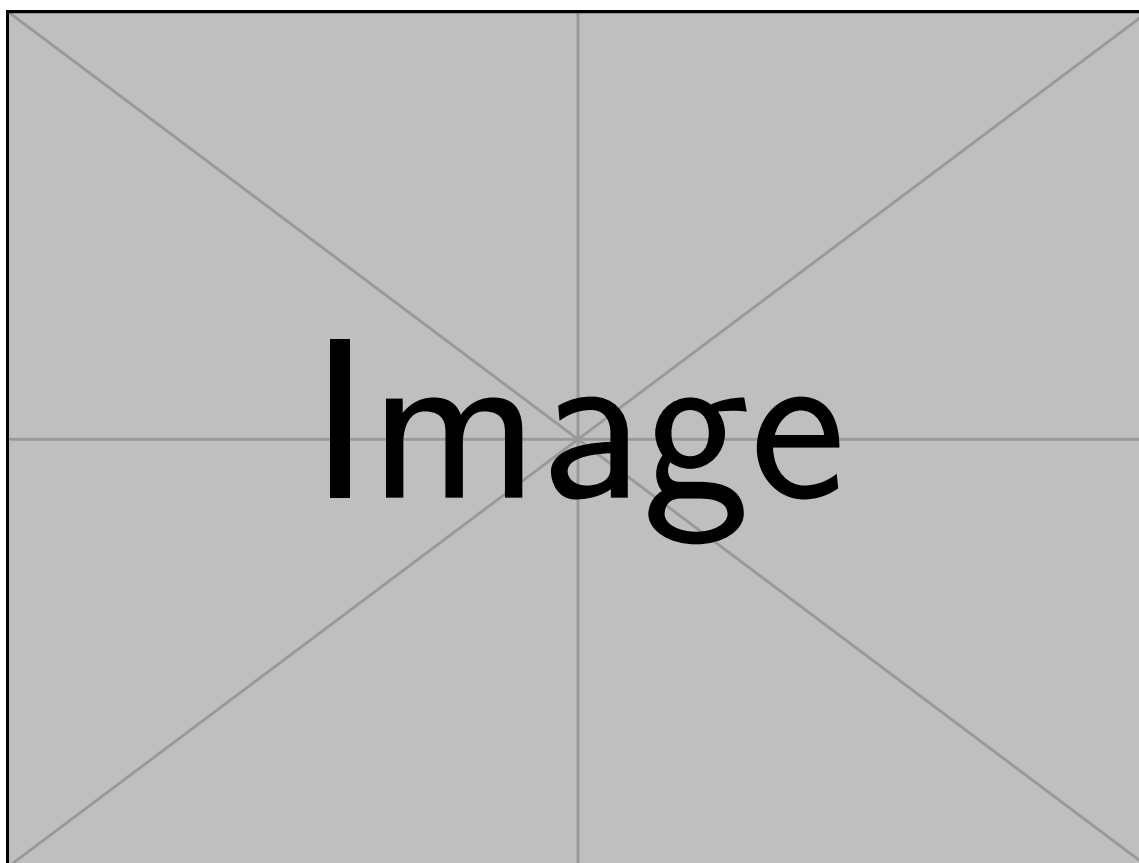
### 2.1 总体架构

收发机架构示意图可见图 ??。双模 PSK 收发机的核心架构是一个完整的数字信号处理系统，其内部由高度协同的发射链路与接收链路构成。发射路径始于数据与帧封装模块，该模块将原始比特流组织为包含训练序列、帧头与载荷的标准通信包，其中帧头携带着决定后续调制方式的控制信息；封装后的数据送入 PSK 调制模块，依据控制信息将比特映射为 BPSK 或 QPSK 符号，再经由载波生成模块（基于 DDS 数控振荡器实现）进行上变频，产生最终的发射信号。接收路径则是一个复杂的反向恢复过程：输入的无线信号首先进入 Costas 载波同步模块，通过其内部的相位检测与反馈环路动态纠正载波频率偏移，确保解调基准的稳定；校正后的信号接着由 Gardner 符号同步模块处理，该模块精确地定位出每个符号的最佳采样时刻，从而重建出清晰的数字符号流。此后，帧同步模块通过检测独特的训练序列模式，确定数据包的起始边界，并触发解帧与解调模块依据帧头解析出的调制模式，对符号流进行 PSK 解映射，恢复出原始的比特序列。整个系统的运转由统一的时钟树生成模块驱动，确保各环节时序严格对齐，收发机使用 AXI Stream 总线高效连接所有处理模块，构成了收发机内部连贯的数据通路与控制通路。最终，该系统通过 ADC/DAC 接口与外部射频单元连接，完成从基带信号到无线射频信号的完整收发过程，其架构集成了同步、调制、成帧等通信系统核心功能，实现了在 FPGA 平台上的高效、灵活且可重构的双模无线传输。

### 2.2 时钟树生成模块

时钟生成模块负责为系统提供精确的时钟基准和同步复位信号。模块从外部 100MHz 晶振时钟出发，通过两级时钟管理 IP 核的精确锁相与频率合成，最终构建起完整的系统时钟树。具体而言，模块首先生成 200MHz 时钟专门驱动 AD9361 射频收发芯片，确保其高速数据转换的时序精度；随后产生 32.768MHz

图 1: 示例图片



根时钟，作为整个基带处理流水线的统一时序参考。在这个根时钟基础上，模块通过精心设计的分频链，派生出 16.384MHz、2.048MHz 和 1.024MHz 等多个关键时钟域，分别对应 ADC/DAC 采样频率、符号速率以及比特率等不同处理层级的需求。值得注意的是，这些派生时钟并非作为独立时钟网络，而是以时钟使能信号的形式存在，这一设计有效避免了跨时钟域带来的时序问题，同时保持全系统的时钟同源同步。模块的复位逻辑同样经过精心设计，通过与 32.768MHz 时钟域严格同步的复位生成电路，确保各处理单元在上电或重新配置时能够同步进入确定状态，为整个收发机系统的稳定运行提供可靠的时序基础。这样的时钟架构设计充分考虑了高速数据转换、数字信号处理和协议控制等多层次需求，为后续的调制解调、同步检测和包处理等复杂功能提供了精准的时序框架。

## 2.3 数据生成模块

数据生成模块负责根据不同工作模式产生对应的基带数据流，并通过 AXI Stream 接口输出至后续的调制与成帧模块。模块的设计紧密围绕 BPSK、QPSK 与混合模式三种配置展开，且在不同模式下采用了差异化的数据源生成与输出控制策略，体现出系统在调制方式上的灵活性与可配置性。在 BPSK 模式下，模块使用一个 5 阶伪随机噪声 (PN) 序列生成器，产生具有良好自相关特性的重复数据流。该模式下，每个符号对应 1 比特数据，直接映射到输出数据总线的最高有效位 (MSB)，并通过 data\_tuser 信号标识当前为 BPSK 调制，为后续调制与封装提供调制标识。收发机利用 PN 序列的随机性模拟真实通信中的数据随机性，便于系统测试与同步性能验证。在 QPSK 模式下，模块同时启用 5 阶与 4 阶两个 PN 序列生成器，分别对应 I 路与 Q 路数据，从而在一个符号周期内产生 2 比特信息，实现更高的频谱效率。输出数据流中，两路 PN 序列分别占据数据总线的不同比特位，系统通过 data\_tuser 信号标识当前为 QPSK 模式。这种双序列并发的设计不仅符合 QPSK 调制对正交分量的需求，也为后续符号映射与载波调制提

供了清晰的 IQ 数据源。在混合模式下模块具备动态切换调制方式的能力。模块内部通过一个状态变量控制当前包所使用的调制类型（BPSK 或 QPSK），并在每个包发送结束后自动切换调制方式。在发送过程中，模块根据当前调制模式选择相应的 PN 序列作为数据源，同时通过 `data_tlast` 与 `data_tuser` 信号分别标识包结束边界与调制类型，使得接收端能正确解析并适应调制方式的变化。该机制是实现论文中所述“基于包头字段动态切换调制模式”的关键前提，为收发机实现多种调制方式混合传输提供了基础。整个模块的时序与流控制严格遵循 AXI Stream 协议，通过 `tvalid`、`tready` 与 `tlast` 等信号实现与后续包封装模块的高效握手与数据同步。模块设计充分考虑了资源效率与扩展性，可通过修改 PN 序列阶数、载荷长度等参数适配不同通信场景，体现了设计在物理层上的可重构性与标准性。

## 2.4 帧封装模块

帧封装模块负责将原始数据流进行封装，形成可在无线信道中传输的完整通信包。模块的核心是一个五状态有限状态机，通过精确的时序控制与流控握手，实现了训练序列插入、头部信息封装、载荷数据透传以及包结束标识等功能，确保了收发两端在混合调制模式下的可靠同步与正确解调。在混合工作模式下，模块依据严格的帧格式进行封装：首先进入 HDR 状态，生成并发送长度为 320 比特的帧头，其中前 256 比特为训练序列，采用“0101...”重复模式并在比特 224 处进行相位翻转，这一设计与论文中描述的短训练序列结构完全一致，用于辅助接收端完成包检测与符号边界同步。紧随其后的是 64 比特的头部信息，包含调制方式标识与载荷长度字段，这些信息源于输入信号的 `tuser` 标识与预设的载荷长度参数。训练序列与头部信息的整体封装严格遵循论文中定义的帧格式，是实现“基于包头字段动态切换调制模式”的基础。完成帧头发送后，模块转入 PLD 状态，此时模块将输入数据流直接透传至输出，同时保持 `tuser` 信号传递调制标识，确保接收端能正确选择 BPSK 或 QPSK 解调方式。当载荷发送即将结束时，状态机进入 LAST 状态，并在最后一个符号处置高 `tlast` 信号，标识包结束边界。整个发送过程中，模块通过 `treadytvalid` 握手信号与前后级模块进行流控，确保数据连续无丢失。在包发送完毕后，模块进入 WAIT 状态，清空可能残存的输入数据，最终返回 IDLE 状态等待下一包传输，形成完整的包封装流水。在非混合模式（如纯 BPSK 或 QPSK 模式）下，该模块则工作于 pass 模式，不添加任何附加信息。

## 2.5 PSK 调制模块

PSK 调制模块负责将封装后的数字比特流映射为可在无线信道中传输的模拟相位调制信号。该模块实现了 BPSK/QPSK 兼容星座映射方案，并通过数控振荡器（NCO）驱动的正交载波合成实现了高效且灵活的数字上变频。模块的载波生成部分使用 DDS Compiler IP 核实现产生高精度的正交载波信号。DDS 的相位由可配置的 `TX_PHASE_CONFIG` 参数控制，这使得载波频率具备可编程性，为后续可能实现的动态频率调整或跳频功能奠定了基础。生成的 32 位相位数据经由 `NCO_cos_sin` 模块转换为 12 位精度的余弦（I 路）与正弦（Q 路）分量，为调制提供了纯净的数字本振信号。调制过程在 `PSK_Mod` 子模块中完成，其核心是一个星座映射与载波乘法器。模块首先根据输入数据包中的 `tuser` 信号判断当前调制模式（BPSK 或 QPSK）。对于 BPSK 模式，模块采用论文中图 2(a) 所示的特殊星座设计，通过将输入比特 `bit_1` 同时映射到 I 和 Q 两路的符号决策上，产生相位为  $45^\circ$  或  $225^\circ$  的调制信号，确保了与 QPSK 相位集合的完全兼容。对于 QPSK 模式，则直接使用输入数据的两个最低有效位（`bit_1` 和 `bit_0`）进行格雷码映射，对需要实现的四个相位点。在具体的调制算法中，模块通过一个巧妙的基带选择与符号取反逻辑来实现相位调制：首先根据两输入比特的异或值决定是否交换 IQ 两路基带载波，再利用比特值控制对应基带信号的符号（取反或不取反），从而精确生成目标相位的合成信号。这种设计避免了复杂的三角函数计算，仅通过条件选择与符号操作即可完成相位映射，极大优化了 FPGA 实现的资源效率与时序性能。整个调制模块在统一的 32.768 MHz 主时钟下运行，并通过 `DELAY_CNT` 参数精确控制数据路径的延迟，确保调制输出与系统时序严格对齐。最终，模块产生 12 位有符号的 `DAC_I` 与 `DAC_Q` 信号，直接送入 AD9361

射频捷变收发机。

## 2.6 Costas 载波同步模块

Costas 环路是该双模 PSK 收发机接收路径中实现载波同步的核心模块，环路作用是在存在载波频率偏移（CFO）和相位噪声的情况下，恢复出与发送端同频同相的本振信号，从而保证相干解调的准确性。该环路由下变频器、相位误差检测器、环路滤波器和数控振荡器（NCO）构成一个完整的反馈控制系统。

### 2.6.1 Costas 环路原理

接收到的带通信号经 ADC 采样后，可表示为：

$$r(t) = I(t) \cos(\omega_c t + \theta) + Q(t) \sin(\omega_c t + \theta) + n(t) \quad (1)$$

其中  $\theta$  是未知的载波相位偏差（包含频率偏移引起的时变部分）。本地 NCO 生成正交参考信号：

$$\cos(\omega_c t + \hat{\theta}), \quad \sin(\omega_c t + \hat{\theta}) \quad (2)$$

下变频后得到基带 I、Q 两路信号（忽略高频分量）：

$$\begin{aligned} I_{BB} &= \frac{1}{2} [I(t) \cos(\theta - \hat{\theta}) + Q(t) \sin(\theta - \hat{\theta})] \\ Q_{BB} &= \frac{1}{2} [-I(t) \sin(\theta - \hat{\theta}) + Q(t) \cos(\theta - \hat{\theta})] \end{aligned} \quad (3)$$

我们可以定义相位误差为： $\phi = \theta - \hat{\theta}$ 。

对于 BPSK，理想情况下  $Q(t) = 0$ ，此时：

$$I_{BB} \propto I(t) \cos \phi, \quad Q_{BB} \propto -I(t) \sin \phi \quad (4)$$

选取误差函数如下：

$$e_{BPSK} = (I_{BB} + Q_{BB})(I_{BB} - Q_{BB}) = I_{BB}^2 - Q_{BB}^2 \propto I(t)^2 (\cos^2 \phi - \sin^2 \phi) \propto \cos 2\phi \quad (5)$$

该误差在  $\phi = 0$ （锁定）时取正最大值，在  $\phi = \pm\pi/2$  时为零，在  $\phi = \pi$  时取负最大值，实现了对相位偏差的敏感检测。

对于 QPSK，采用符号判决引导的误差函数（论文公式 (2)）：

$$e_{QPSK} = I_{BB} \cdot \text{sgn}(Q_{BB}) - Q_{BB} \cdot \text{sgn}(I_{BB}) \quad (6)$$

在锁定附近（ $\phi \approx 0$ ）， $I_{BB} \approx I(t)$ ， $Q_{BB} \approx Q(t)$ ，且  $I(t), Q(t) \in \{\pm A\}$ ，代入可得：

$$e_{QPSK} \propto \sin \phi \cdot (|I(t)| - |Q(t)|) \approx \sin \phi \cdot \text{常数} \quad (7)$$

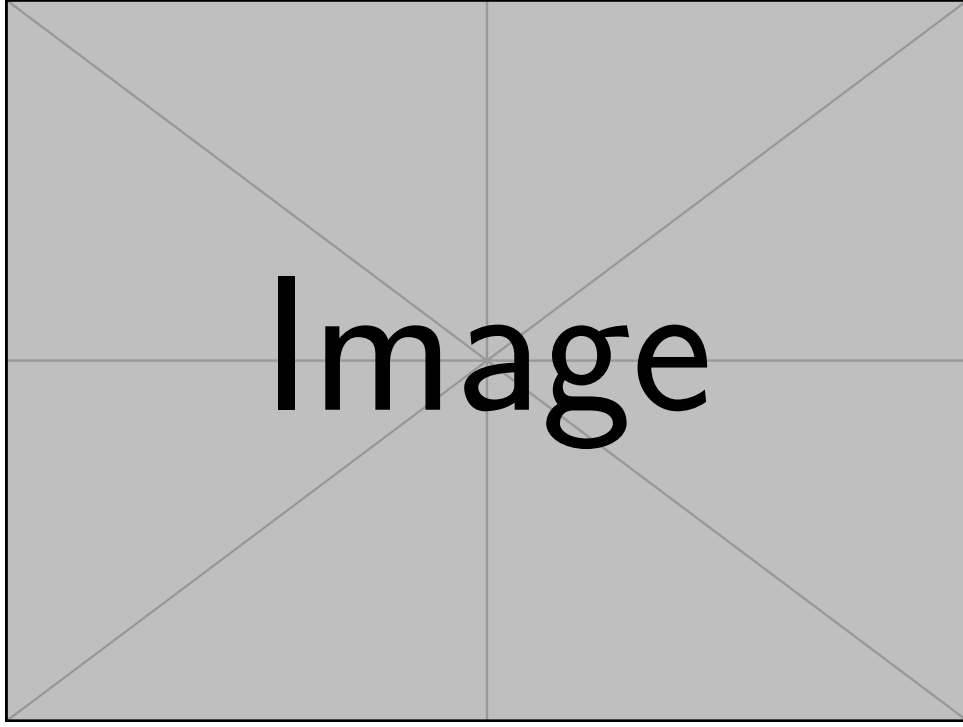
该误差在  $\phi = 0$  时为零，在  $\phi \neq 0$  时提供纠正方向的误差信息。

### 2.6.2 Costas 环路设计

为了实现载波同步，我们使用 Costas 环路控制数控振荡器（NCO）、通过模块化流水线架构执行下变频、滤波、误差计算与相位校正等一系列操作。模块首先对上一级位宽调整过后的接收信号首先与 NCO 生成的正交本振进行数字混频，下变频后的基带信号经低通滤波，低通滤波器使用 Matlab 的 filterDesigner 进行设计二倍载波频率的低通滤波器，通过 COE 文件配置 FIR 的 IP 核实现滤波，由于滤波器建立延迟较长会导致环路无法锁定，所以我们设计了一个可配置延迟单元对齐滤波器延迟，通过初步计算和后续多轮仿真确定合适的延迟时间，确保反馈信号可以及时进行反馈，控制环路收敛。数据方面我们使用 AXI Stream 接口与前后级模块对接，其反馈系数、滤波器带宽等关键参数均可在线配置，使得环路能在不同载波频偏与信道条件下保持稳定锁定，最终在 FPGA 上可靠地实现了 7.81 kHz（BPSK）与 1.96 kHz（QPSK）同步范围。具体模块设计如下图所示：



图 2: 示例图片



## 2.7 Gardner 位同步模块

### 2.7.1 Gardner 环路原理

Gardner 环路用于符号定时同步，其结构如图 所示。系统输入为插值后的 32.768 MHz I/Q 数据，输出为 1.024 MHz 符号率信号及同步时钟。Gardner 算法利用三个采样点计算定时误差：当前样点  $y(n)$ 、半符号间隔样点  $y(n-16)$  和全符号间隔样点  $y(n-32)$ 。其中简单 Gardner 检测为仅使用 I/Q 数据的符号位进行边缘检测，适用于低复杂度实现，公式如下：

$$\begin{aligned} e_I &= y_I(n-16) \cdot [\text{sgn}(y_I(n)) - \text{sgn}(y_I(n-32))] \\ e_Q &= y_Q(n-16) \cdot [\text{sgn}(y_Q(n)) - \text{sgn}(y_Q(n-32))] \\ e_{\text{total}} &= \frac{e_I}{2} + \frac{e_Q}{2} \end{aligned} \quad (8)$$

而线性 Gardner 使用 I/Q 数据的高位比特进行线性差值计算，精度更高，计算公式如下：

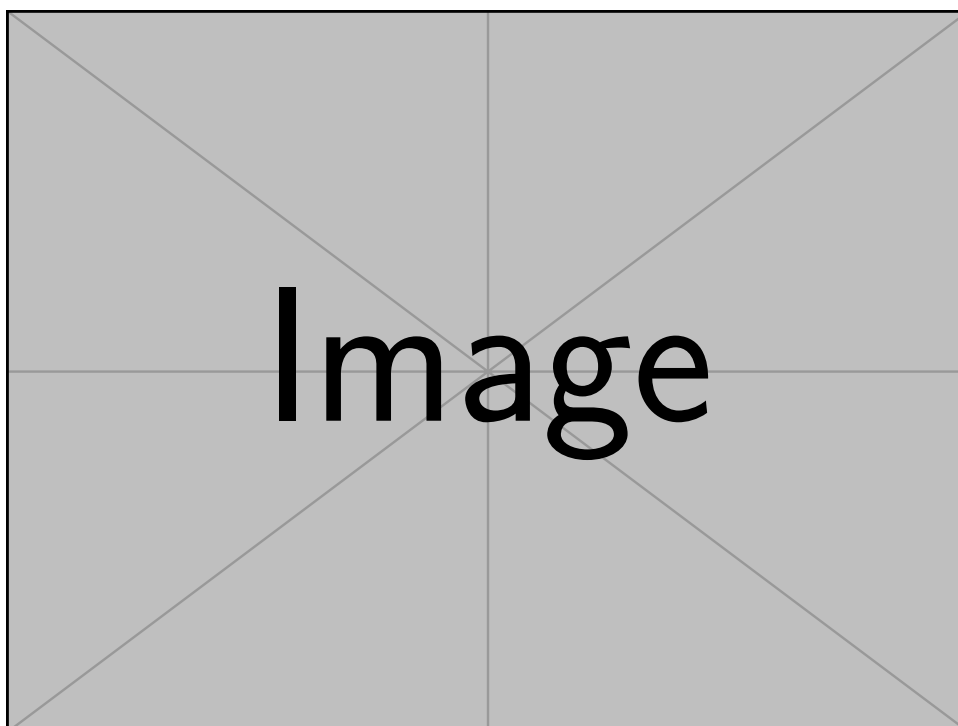
$$\begin{aligned} \Delta_I &= y_I(n)_{\text{msb}} - y_I(n-32)_{\text{msb}} \\ \Delta_Q &= y_Q(n)_{\text{msb}} - y_Q(n-32)_{\text{msb}} \\ e_I &= \frac{y_I(n-16) \cdot \Delta_I}{2^{D-1}} \\ e_Q &= \frac{y_Q(n-16) \cdot \Delta_Q}{2^{D-1}} \\ e_{\text{total}} &= \frac{e_I}{2} + \frac{e_Q}{2} \end{aligned} \quad (9)$$

其中  $D$  为用于差值计算的比特数 (DIFF\_BITS)。环路定时误差校正采用采用数控振荡器 (NCO) 结构控制采样时刻为：

$$\begin{aligned} \text{cnt}[n] &= \text{cnt}[n-1] + \text{CNT\_ADD} \\ \text{increment}[n] &= \text{INCREMENT\_INIT} + e_{\text{total}} \gg G \end{aligned} \quad (10)$$

其中：

图 3: 示例图片



- $CNT\_ADD = \frac{INCREMENT\_INIT}{32}$  为固定相位增量
- $G$  为误差缩放系数 ( $GARDNER\_SHIFT$ )
- 当  $cnt \geq increment$  时触发符号采样

整个采样过程由状态机控制，控制逻辑如下：

1. **STATE\_WAIT**: 等待采样时刻， $cnt$  累加
2. **STATE\_SAMPLE**: 输出符号 ( $I\_1M, Q\_1M$ ) 和同步时钟 ( $clk\_out=1$ )
3. **STATE\_AFTER\_SAMPLE**: 更新  $increment$  并复位  $cnt$

状态转移条件：

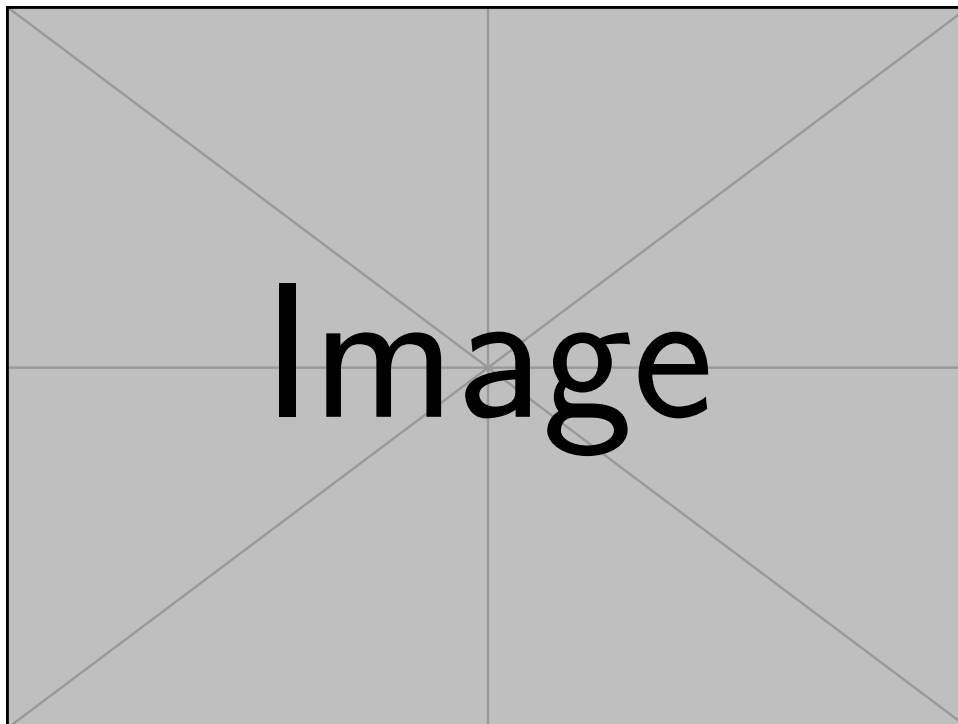
$$\begin{aligned}
 & STATE\_WAIT \rightarrow STATE\_SAMPLE \quad \text{if } cnt \geq increment \\
 & STATE\_SAMPLE \rightarrow STATE\_AFTER\_SAMPLE \quad \text{always} \\
 & STATE\_AFTER\_SAMPLE \rightarrow STATE\_WAIT \quad \text{always}
 \end{aligned} \tag{11}$$

## 2.7.2 Gardner 环路设计

Gardner 定时同步环路是双模 PSK 收发机符号同步的核心模块，其目标是在 BPSK 和 QPSK 调制下实现高精度符号定时恢复，支持基于分组的双模式动态切换。该环路基于 Gardner 算法，利用插值后 32.768 MHz 的 I/Q 输入数据流，通过检测当前样点、半符号间隔样点和全符号间隔样点之间的定时误差，动态调整采样时刻，最终输出 1.024 MHz 符号率的同步数据及指示脉冲。误差检测模块提供两种可选模式：简单模式仅利用符号位进行低复杂度边缘检测，适用于资源受限场景；线性模式则利用多个高位比特进行线性差值计算，提升定时精度。误差计算后通过可配置的移位参数缩放，反馈至数控振荡器结构，该结构以固定相位增量累加并与动态调整的阈值比较，触发采样状态机完成符号输出。状态机采用等待、采样和采样后三状态循环，确保每个符号周期在最优时刻采样，同时输出宽度为单时钟周期的同步脉冲。整个设计紧密集成于接收机处理链路，与 Costas 载波同步环路协同工作，实现全数字相干解调；其参数如误差移位系数和检测模式可灵活配置，适应不同信道条件和调制方式，最终在 FPGA 上以低资源开销实

现，具体设计图如下：

图 4: 示例图片



## 2.8 SPB 帧同步与解帧模块

SPB 帧同步模块是接收机中实现帧同步的关键模块。该模块由符号检测（SD）、包检测（PD）和比特检测（BD）三个子模块级联构成，共同协作完成从接收信号中识别有效分组并精确定位分组起始位置的功能。模块输入为经过 Gardner 环路符号同步后的 1.024 MHz I/Q 数据流，输出为三个关键标志信号：SD\_flag 指示符号满足，PD\_flag 指示检测到帧序列，BD\_flag 则精确定位比特。符号检测模块（Rx\_SD）通过监测 I/Q 信号幅度，当 I 或 Q 信号的绝对值在预设窗口（RX\_SD\_WINDOW）内超过阈值（RX\_SD\_THRESHOLD）时置位 SD\_flag。分组检测模块（Rx\_PD）在 SD\_flag 有效后启动，基于训练字段（TRN）中的重复“0101...”BPSK 调制序列进行检测。利用差分结果的连续性判断，当连续检测到 RX\_PD\_WINDOW 个时钟周期的差分值为 1 时，确认帧存在并置位 PD\_flag。边界检测模块（Rx\_BD）在 PD\_flag 有效后执行，利用训练字段中第 223 至 224 比特的预定相位跳变（由“01”序列变为“10”序列）作为边界标识。通过检测差分值从连续 1 变为 0 的跳变，并结合 RX\_BD\_WINDOW 窗口验证，最终产生精确的 BD\_flag 边界指示。同时，模块记录跳变时刻的符号值（BD\_sgn），为后续 BPSK 解调的相位模糊纠正提供关键信息。整个 SPB 检测模块采用流水线式级联设计，各子模块间通过标志信号握手协同，实现了从粗到精的多级同步策略。模块支持 BPSK/QPSK 双模配置，通过 BPSK 输入信号控制检测模式，并配备 disassert\_PD/BD 信号用于状态复位，确保连续不同模式下载传输的可靠性。

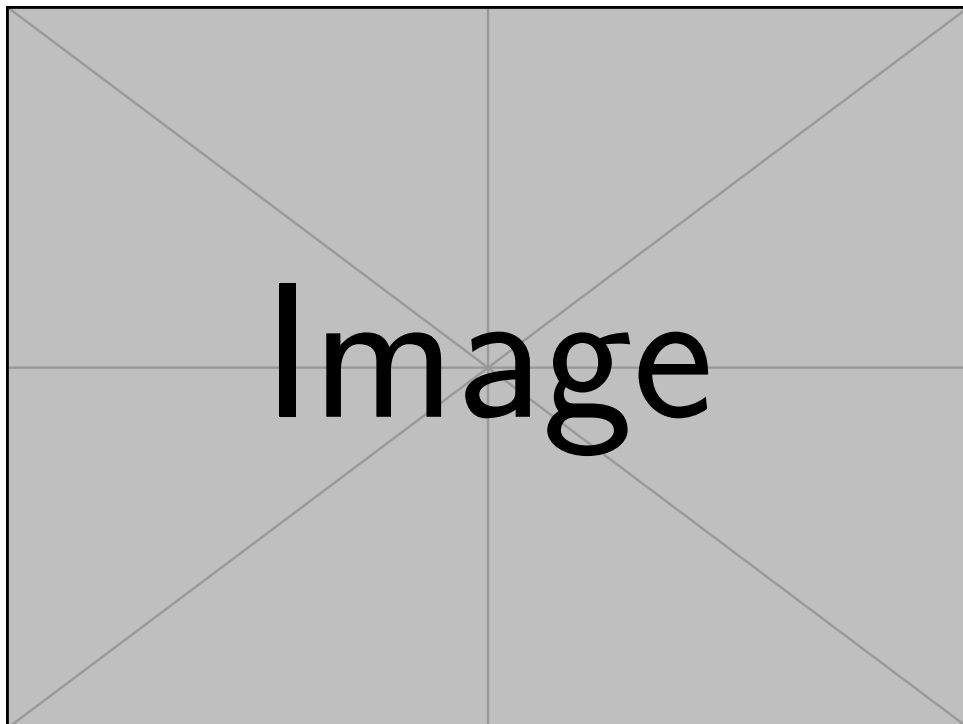
解帧模块（Depacketizer）是接收机中负责从同步后的数据流中提取有效载荷、解析分组结构并恢复原始信息的核心模块。该模块实现了一个六状态有限状态机，能够根据分组结构精确分离训练字段、包头字段和载荷字段，并动态适应 BPSK/QPSK 双调制模式。模块设计严格遵循分组通信协议，输入信号包括来自 SPB 检测模块的分组边界标志（BD\_flag）、相位纠正标志（BD\_sgn）以及经过解调后的 BPSK/QPSK 符号流。输出采用 AXI Stream 接口协议，提供数据有效信号（data\_tvalid）、帧结束标志（data\_tlast）和调制指示信号（data\_tuser），确保与后续处理模块的标准接口兼容。状态机设计体现了分层解包的逻辑流程：

IDLE 状态等待分组边界检测信号；TRN 状态处理训练字段并记录相位纠正信息；HDR 状态解析 64 比特包头，提取调制编码方案（MCS）和分组长度信息；PLD 状态根据包头指示的调制方式和长度提取载荷数据；LAST 状态处理最后一个符号并断言结束标志；WAIT 状态确保状态机正确复位。每个状态均配备精确的计数器逻辑，确保与分组结构的比特级同步，特别是训练字段与包头字段之间的 32 时钟延迟和包头 64 比特的精确计数。相位模糊纠正是该模块的关键创新点之一。模块利用边界检测时记录的 BD\_sgn 信号，对接收符号进行相位旋转补偿（通过异或非操作实现），有效解决了 Costas 环路可能引入的  $180^\circ$  相位模糊问题。这种基于已知训练序列的相位纠正方法，相比传统的差分编码方案，避免了误码传播，同时不增加额外的传输开销。调制模式自适应机制是该模块的另一重要特性。通过解析包头中的 MCS 字段（'01010101' 表示 BPSK，'10101010' 表示 QPSK），模块动态调整符号到比特的映射逻辑：BPSK 模式下每个符号对应 1 比特，QPSK 模式下每个符号对应 2 比特并满足格雷编码。在混合模式下，模块还支持基于分组头的动态调制切换，实现了真正的双模自适应通信。模块的输出控制逻辑确保与下游处理单元的流控协调：data\_tready 信号用于反压控制，防止数据溢出；disassert\_BD 和 disassert\_PD 信号在分组处理完成后及时复位检测模块，为连续分组接收做好准备。

## 2.9 PSK 解调模块与串并转换模块

PSK 解调模块是接收机中负责从符号同步后的 I/Q 信号中恢复原始比特信息的核心模块。该模块根据本系统采用的 BPSK 与 QPSK 星座图进行判决，如图，对经过 Gardner 环路精确同步后的 I\_1M 和

图 5: 示例图片



Q\_1M 信号进行硬判决。对于 BPSK，判决依据为 I+Q 的符号位（MSB）：若  $I+Q \geq 0$  则判为“0”，否则判为“1”，这一规则实现了论文中式 (5a) 所定义的映射。对于 QPSK，判决则直接依据 I 和 Q 各自的符号位（MSB）： $I \geq 0, Q \geq 0$  映射为“00”， $I < 0, Q \geq 0$  映射为“10”， $I < 0, Q < 0$  映射为“11”， $I \geq 0, Q < 0$  映射为“01”，该映射严格遵循格雷码规则，以最小化相邻符号间的误码率。模块在顶层接收机（Rx\_wrapper.v）中，位于 Gardner 环路和 SPB 检测之后，其输出（BPSKQPSK）一方面作为原始解调结果直接输出（BPSK\_raw/QPSK\_raw）用于监控，另一方面送入后续的 Depacketizer 进行分组解析与相位模糊纠正。整个解调过程设计精简高

效，仅需符号位比较与一个加法器，在单时钟周期内即可完成。

串并转换模块在发射端将 QPSK 的信号整理成一路进行输出，在接收端则进行相反操作，最终可以在 TX 串行信号和 RX\_1bit 对应验证。

## 3 仿真测试及仿真结果

### 3.1 仿真测试

该双模 PSK 收发机系统的功能验证通过四个专门的 Verilog 测试平台完成，分别针对不同的工作模式与测试重点进行设计。tb\_BPSK.v 模块用于验证纯 BPSK 模式下的系统性能，该测试平台将发射机生成的 DAC\_I 与 DAC\_Q 信号经衰减与加噪后直接环回至接收机 ADC 输入端，通过监测接收端恢复的 BPSK 信号与原始发送数据的对比，重点验证 Costas 环路的载波同步能力及 Gardner 环路的符号定时性能；测试中通过调整 TX\_PHASE\_CONFIG 参数模拟不同的载波频偏，同时将反馈数据写入 CSV 文件以供后续分析，从而验证了系统在 BPSK 模式下对载波频偏的容忍度及同步收敛特性。tb\_QPSK.v 模块则以类似结构测试纯 QPSK 模式，其环回链路同样包含增益调整与随机噪声注入，通过观测接收端恢复的 QPSK 星座点与发送数据的一致性，验证了系统在 QPSK 调制下的相干解调性能，特别是 Costas 环路在 QPSK 模式下的误差检测与相位跟踪能力。

tb\_MIX.v 模块是验证混合模式与分组通信功能的核心测试平台，该平台不仅实现了带噪环回，还特意引入了相位旋转（将 DAC\_Q 与 DAC\_I 分别赋给 ADC\_I 与 ADC\_Q），以模拟信道可能引入的相位模糊，从而测试系统在分组通信下的相位纠正机制；测试中发射机以分组形式交替发送 BPSK 与 QPSK 调制的载荷，接收机则通过 SPB 检测模块完成帧检测、符号检测与位检测，并利用 Depacketizer 解析分组头中的调制编码方案与长度信息，动态切换解调模式，最终验证了系统在分组通信下实现双模自适应切换的正确性，并将关键信号如 DAC\_vld、Tx\_1bit、Rx\_1bit 及分组解析状态写入 CSV 文件用于详细分析。tb\_Tx.v 模块则专门针对发射机进行独立测试，该平台直接观察发射机在不同时钟域下的输出信号，包括 DAC\_I、DAC\_Q 的波形、调制比特流以及内部伪随机序列生成状态，验证了发射机在混合模式下根据分组结构正确生成包含训练字段、包头与载荷的完整帧结构的能力，以及 PSK 调制模块根据输入比特流和载波信号正确产生调制输出的功能。

### 3.2 仿真结果

## 4 上板验证及结果

### 4.1 上板验证方法

### 4.2 上板验证结果