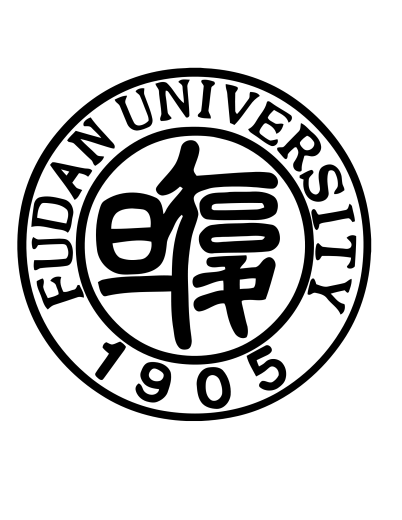
**计算机组成与体系结构**

**实验报告**

**实验3 【流水线CPU处理器设计】**

****

指导教师： 孙晓光

|  |
| --- |
| 学生姓名： 李钧 |
| 学 号：20307130135 |
| 专 业： 信息安全 |

日 期： 2022.5.17

**一、实验目的**

１、学习掌握流水线CPU数据通路的构成、原理、设计方法

２、学习掌握流水线CPU的实现方法、代码

３、学习掌握测试多周期CPU的代码和方法

４、在完成任务的过程中不断提升自我

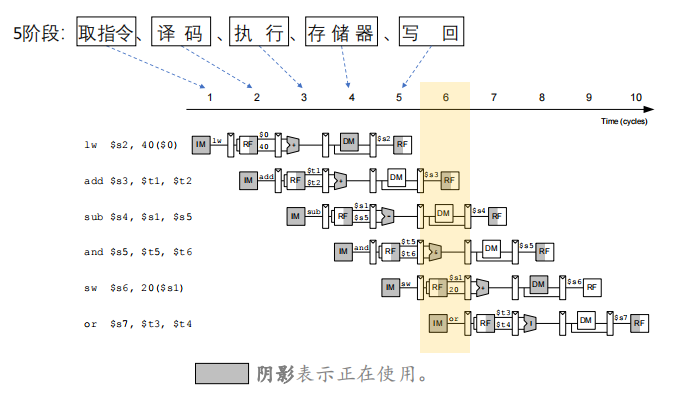
**二、实验原理**

在之前的实验中，单周期CPU指的是一条指令的执行是在一个时钟周期内完成的，然后开始下一条指令的执行，即一条指令用一个时钟周期完成；多周期CPU在一个时钟周期之内有很多个部件可以同时运作，而一个指令（比如lw指令）可以分在多个时钟周期完成处理。而流水线CPU的特点是，将一个指令分成了多个小的流水段，每个流水段在同一个时钟周期可以同时对不同指令流水段进行相关操作，，极大地节省了时间。

流水线CPU处理器的工作过程和单周期的分段相似，也是将一个指令分成五个部分，分成五个流水段进行操作：

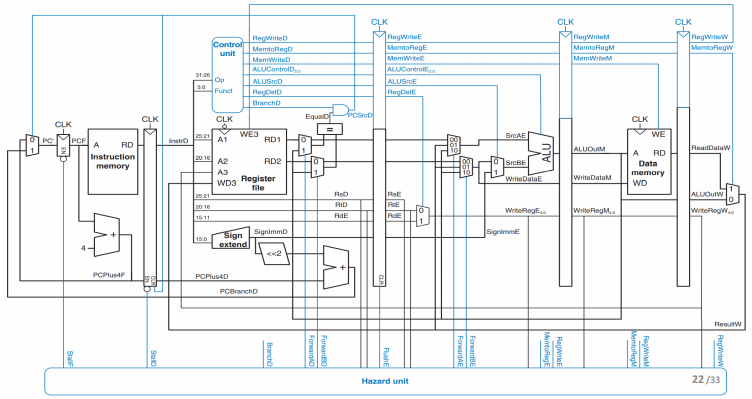
1. 从存储器取指令。根据程序计数器PC中的指令地址，从存储器中取出一条指令，同时PC根据指令长度自动递增产生下一条指令所需要的指令地址，如果遇到“地址转移”的指令的话则根据转移地址产生下一条指令的地址。
2. 指令译码。对取指令操作中得到的指令进行分析译码，确定指令要完成的操作，从而产生相应的操作控制信号，用于驱动执行状态中的各种操作。
3. 指令执行。根据指令译码得到的操作控制信号，具体地执行指令动作，进行相应的计算并得到标志位、将计算结果保存到目的地。
4. 存储器访问。所有需要访问存储器的操作都在这个步骤当中执行，这个步骤给出存储器的数据地址，把数据写入到存储器中数据地址所指定的存储单元或者从存储器中得到数据地址单元中的数据。
5. 结果写回：指令执行结果或者访问存储器中得到的数据写回相应的目的寄存器。

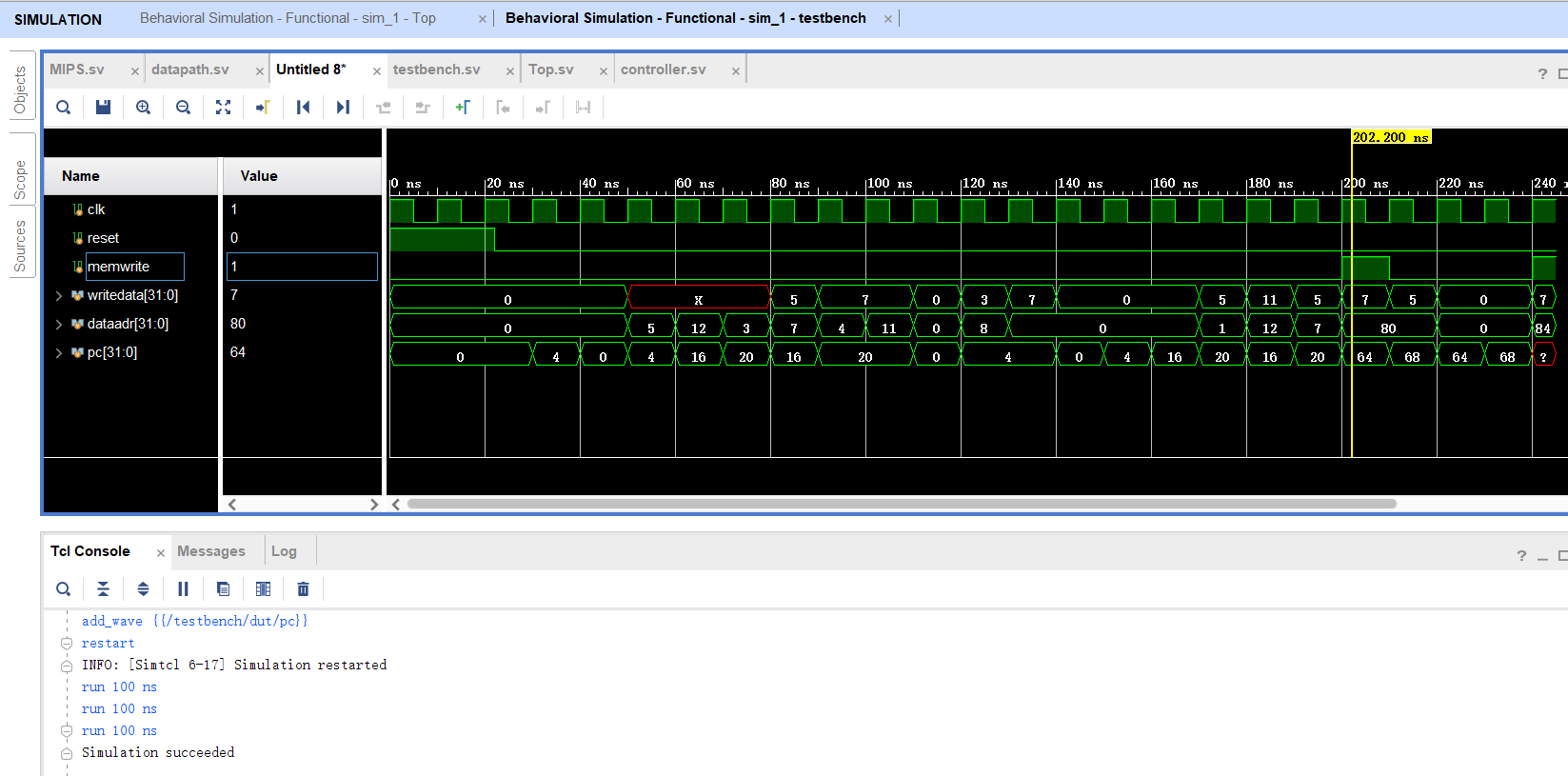
如下图所示即为流水线CPU的抽象表示：



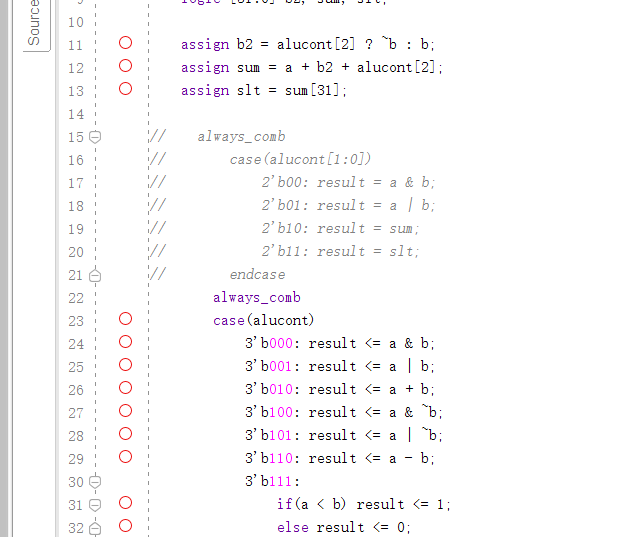
**三、实验内容**

首先我们参考流水线CPU设计图以及PPT给出的代码，将整个项目文件建立起来、将各个部件连起来，并调试使其能够进行初步的模拟仿真。原理图以及仿真如下：



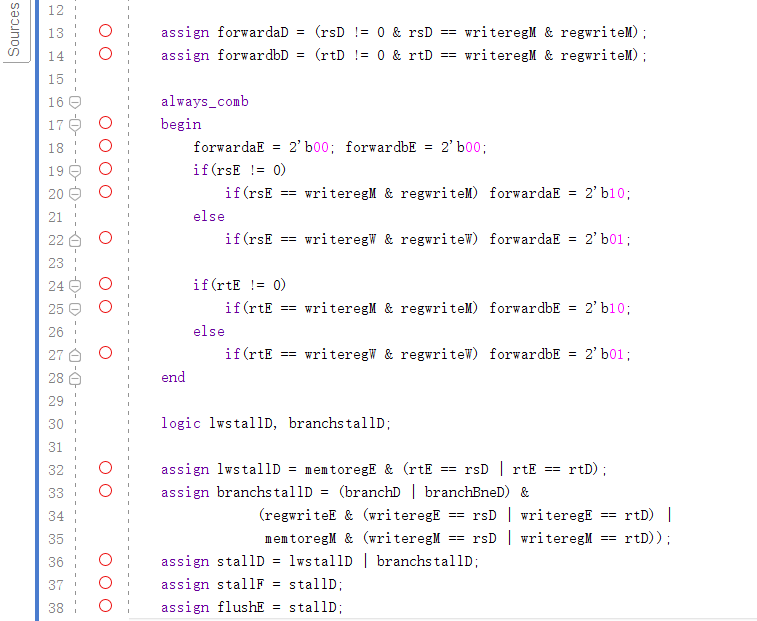


１、ALU模块。扩展后我进行模拟的时候总是会出现问题，顺着报错以及错误仿真的结果找到了ALU这个模块进行了改正，如下：



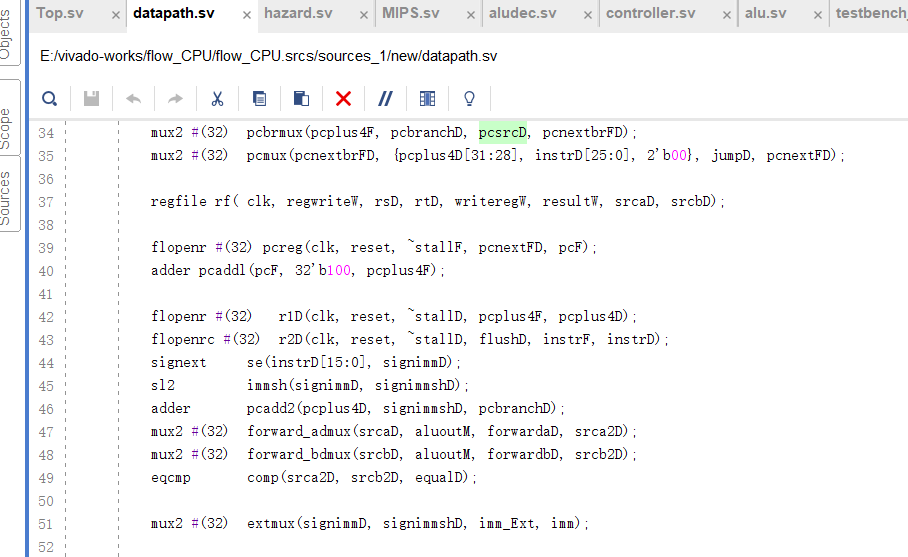
2、hazard模块

这一模块主要是进行流水控制的，参考PPT如下：



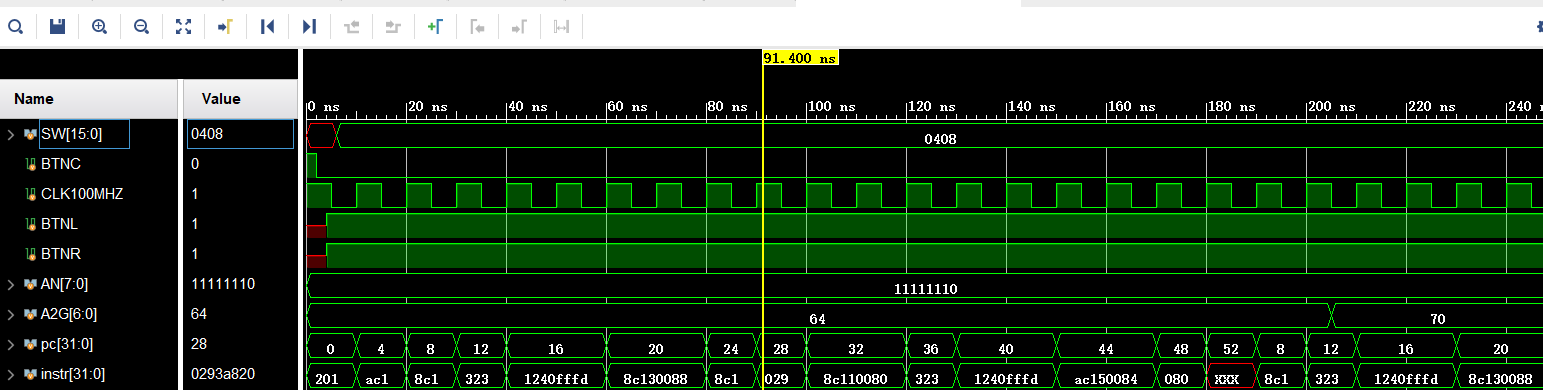
3、datapath模块

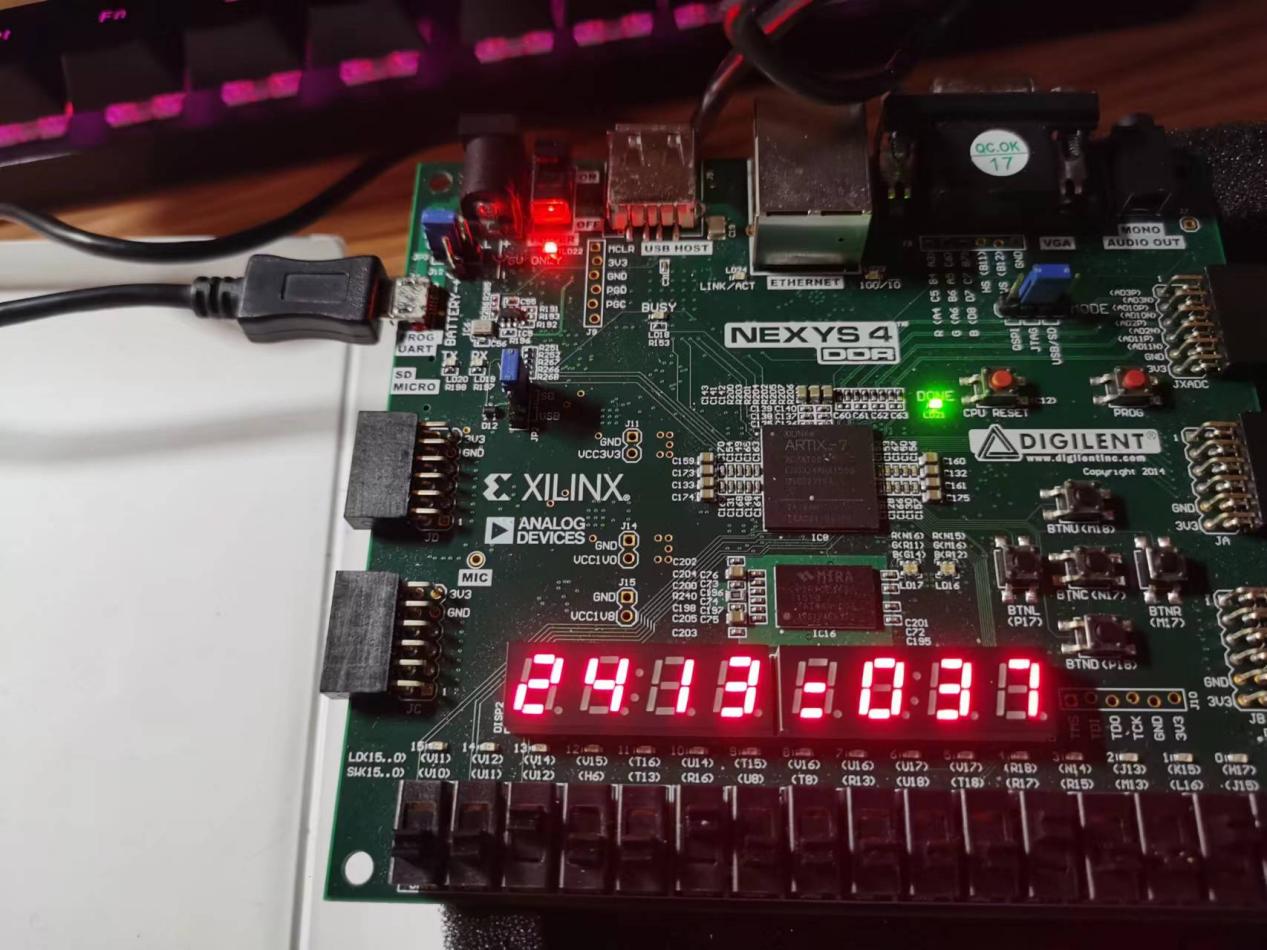
这一模块主要多了几个流水线控制的“关卡”，大体上和单周期CPU相似

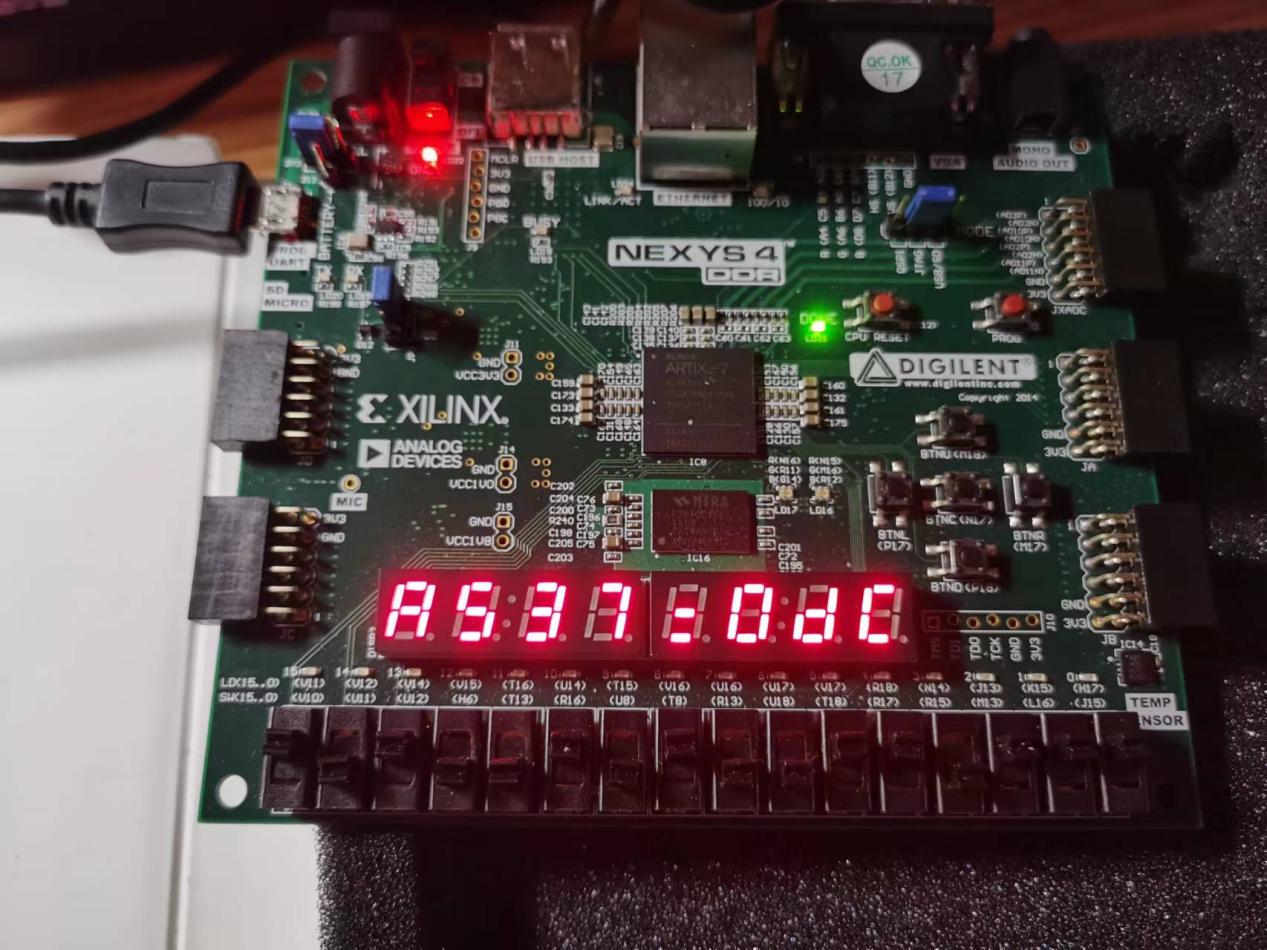


4、仿真以及上板子图

其实到最后我进行仿真模拟的时候，反应不过来仿真的图片和IO接口PPT上的不一样，总感觉是自己哪里代码敲错了、指令文件加错了，但后来发现这是我多虑了。直接上板子能够得到正确结果：







**四、实验心得**

相比于单周期CPU、多周期CPU的陌生，流水线CPU更多的是一种换了件衣服的故人的感觉，主要是在单周期CPU的基础上加流水线控制，使得其能够流畅完成任务。不得不说，一鼓作气、再而衰、三而竭是真理——有了多周期CPU时间线拖太长导致稀里糊涂的先例，我这次任务一鼓作气。

或许，我们的求学也是像CPU这样一步步进化的。