■ CNENGR116 – 第7讲: 锁存器 (Latches)与触发器(Flip-Flops)

* 1. 引言

☑ 定义

- 锁存器(Latch) 是一种具有 双稳态(bi-stable) 的暂存器件,可暂时存储 1 位(二进制)数据。
- 属于 **时序逻辑电路(sequential logic circuits)**,其输出不仅取决于当前输入,还取决于 **之前的** 状态。

☑ 常见类型

- 1. S-R 锁存器(Set-Reset)
- 2. **D** 锁存器 (Data)
- 3. J-K 锁存器(Jack Kilby)

☑ 锁存器与触发器的区别

特性	锁存器 (Latch)	触发器 (Flip-Flop)	
触发方式	电平敏感(Level-sensitive)	边沿敏感(Edge-sensitive)	
时钟依赖性	可选(通过 EN 控制)	必须依赖时钟信号	
输出更新	EN 有效时实时更新	仅在时钟边沿更新	
示例	S–R Latch	D、J–K Flip-Flop	

❖ 2. S-R(置位-复位)锁存器

◆ a) 高电平有效(由 NOR 门构成)

电路结构: 两个交叉耦合的 NOR 门

S	R	Q(下一状态)	Q'	功能说明
0	0	Q(前状态)	Q'(前状态)	保持不变
0	1	0	1	复位(RESET)
1	0	1	0	置位(SET)
1	1	?	?	无效状态(竞争)

☑ 要点:

- S=1 → 置位
- R=1 → 复位
- S=R=0 → 保持
- S=R=1 → 无效状态(两个门竞争)

◆ b) 低电平有效(由 NAND 门构成)

电路结构: 两个交叉耦合的 NAND 门

S(低有效)	R(低有效)	Q(下一状态)	功能说明
1	1	Q(前状态)	保持
0	1	1	置位(SET)
1	0	0	复位(RESET)
0	0	?	无效状态

☑ 要点:

- 输入为 低电平有效(Active-LOW)。
- S=R=0 不允许(输出不确定)。

• 实际电路中,两个逻辑门的传播延迟不同,会导致输出随机。

🧠 3. S-R 锁存器的工作原理

1. 置位 (SET):

- S=0, R=1 \rightarrow Q=1
- 即使 S 回到 1, Q 仍保持 1。

2. **复位(RESET):**

• S=1, R=0 \rightarrow Q=0

3. 无效状态:

• S=R=0 → 输出不确定。

☑ 记忆特性:

锁存器能保持上一次的状态,直到输入发生有效变化。

◆ 4. 带使能端的 S-R 锁存器(Gated S-R Latch)

◆ 结构说明

在基本 S-R 锁存器的基础上增加一个 使能端 (EN)。

EN	S	R	Q(下一状态)	功能说明
0	X	X	Q(前状态)	保持(禁止输入)
1	1	0	1	置位(SET)
1	0	1	0	复位(RESET)
1	0	0	Q(前状态)	无变化
1	1	1	?	无效状态

▼ 要点:

• EN=0: 输出保持不变。

• EN=1: 正常工作,响应 S、R 输入。

应用:

用于受控存储、时序同步、信号防抖。

➡ 5. D 锁存器 (Gated D Latch)

◆ 概念

- D 锁存器是 S-R 锁存器的改进型,**只有一个输入 D (Data)**。
- 内部逻辑: $D \rightarrow S$, $\sim D \rightarrow R$, 避免无效状态。

EN	D	Q(下一状态)	功能说明
0	X	Q(前状态)	保持
1	0	0	复位(RESET)
1	1	1	置位(SET)

☑ 行为特性:

- EN=1 时,输出 Q 直接跟随输入 D (透明模式)。
- EN=0 时,输出锁存上一次状态(锁存模式)。

☑ 应用:

数据缓存、寄存器暂存、时钟同步。

6. 边沿触发触发器(Edge-Triggered Flip-Flop)

◆ 定义

触发器在 时钟信号的上升沿或下降沿 改变状态。

类型	触发边沿	符号	行为
正边沿触发	1	A	响应上升沿 (0→1)
负边沿触发	↓	▼	响应下降沿 (1→0)

☑ 要点:

消除电平敏感问题,只在边沿采样输入,避免重复触发。

₹ 7. S−R 触发器(Edge-Triggered S−R Flip-Flop)

S	R	CLK ↑	Q(下一状态)	功能说明
0	0	1	Q(前状态)	保持
0	1	1	0	复位
1	0	↑	1	置位
1	1	↑	?	无效

☑ 要点:

仅在 时钟上升沿 更新输出。

◆ 8. J-K 触发器(J-K Flip-Flop)

改进型 S-R 触发器: 消除了无效状态。

J	K	CLK ↑	Q(下一状态)	功能说明
0	0	↑	Q(前状态)	保持
0	1	↑	0	复位
1	0	1	1	置位
1	1	↑	~Q(前状态)	翻转(Toggle)

☑ 要点:

- 当 J=K=1 时,输出每个时钟周期翻转一次。
- 常用于 计数器、分频器。

9. D 触发器 (Edge-Triggered D Flip-Flop)

CLK ↑	D	Q(下一状态)
↑	0	0
↑	1	1

☑ 要点:

- 最常用的触发器类型。
- 输出在时钟边沿复制输入 D。

☑ 应用:

寄存器、移位寄存器、同步存储单元。

10. 异步输入(Asynchronous Inputs)

◆ 定义

PRE (Preset): 低电平有效——立即使 Q=1 (不依赖时钟)。
CLR (Clear): 低电平有效——立即使 Q=0 (不依赖时钟)。

类型	触发方式	响应速度
同步 (Synchronous)	时钟边沿	受时钟控制,较慢
异步 (Asynchronous)	任意时刻	立即生效,较快

☑ 应用:

系统复位、初始化或紧急清零。

── 11. 实例:呼叫电路 (Call Circuit)

目标

使用 D 触发器设计一个"呼叫-取消"电路。

输入: Call、Cancel、当前状态 Q

输出: D(下一状态)

Call	Cancel	Q	D	功能说明
0	0	0	0	保持关
0	0	1	1	保持开
1	0	X	1	呼叫置位
0	1	X	0	取消复位
1	1	X	1	呼叫优先

☑ 逻辑表达式:

$$D = Call + (Q imes \overline{Cancel})$$

☑ 应用:

用于电梯呼叫按钮、状态保持电路。

📉 12. 应用:分频器(Frequency Division)

- 每个 J-K 触发器在输入时钟的每个上升沿翻转一次。
- 因此频率被 除以 2。
- 串联 n 个触发器 \rightarrow 除以 2^n 。

示例:

3 个触发器串联 → 除以 8

$$f_{out} = f_{in}/8$$

☑ 应用:

计数器、定时器、时钟信号分频。

13. 总结

内容	关键要点
锁存器(Latch)	电平敏感,用于暂存数据
S-R 锁存器	基本型,存在无效状态
D 锁存器	单输入,避免无效状态
触发器(Flip-Flop)	边沿触发,稳定可靠
J-K 触发器	改进型,可翻转
异步输入(PRE/CLR)	不受时钟控制,快速响应
应用	数据存储、防抖、分频、控制电路

🧠 复习提示

- ☑ 能画出锁存器/触发器逻辑电路与时序图
- ☑ 熟记 S-R、D、J-K 的真值表
- ☑ 理解 Set / Reset / Hold / Invalid 四种状态
- ☑ 区分同步与异步控制
- ☑ 熟练掌握分频与呼叫电路逻辑

第7讲完结 – 锁存器与触发器(Latches & Flip-Flops)