**CHALMERS**

**Institutionen för signaler och system 2015-12-15**

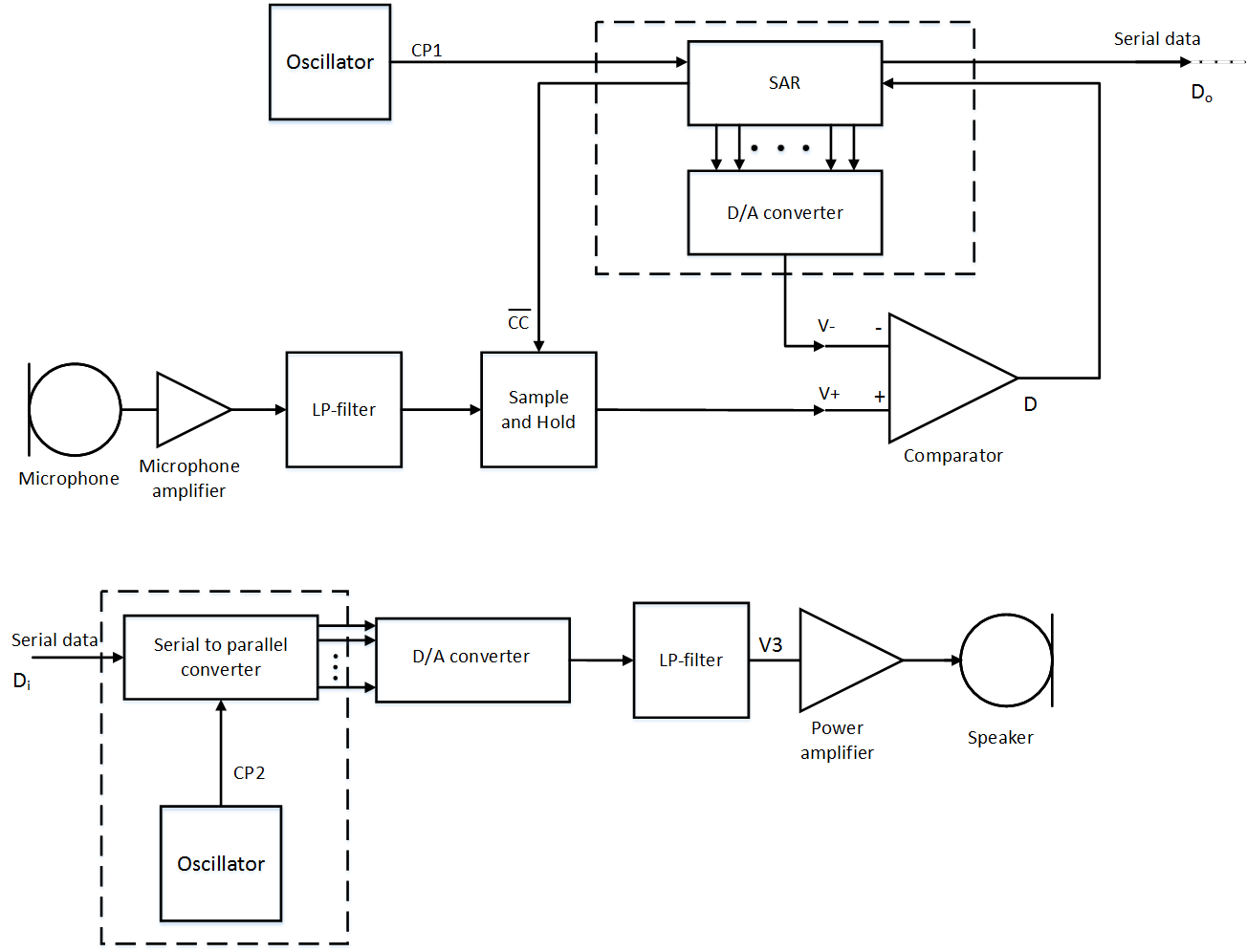
# SSY011 Elektriska system – Laborationer ht 2015

I laborationskursen skall vi bygga ett digitalt ljudöverföringssystem uppbyggt enligt figuren nedan. Konstruktionen innehåller både analog och digital elektronik.

Ljudöverföringssystemet som skall konstrueras skall uppfylla följande specifikationer.

* Frekvensomfång 20–12000 Hz
* Upplösning 8 bitar

En gemensam standard för seriell kommunikation över RS232-kabel gör att olika labgrupper kan kommunicera med varandra.



Att fundera på:

* Om ljudsignaler inom intervallet 20–12000 Hz skall kunna överföras, vilken samplingsfrekvens måste då minst användas när ljudet digitaliseras?
* Om varje ljudsampel representeras av 8 databitar och 2 signaleringsbitar, vilken datatakt i bitar/sekund måste då RS232-länken minst stödja?

## Utförande

Inför varje laboration finns förberedelseuppgifter. Dessa skall vara lösta före labtillfället.

Under varje lab skall en del i kommunikationssystemet konstrueras. Eftersom varje lab bygger på föregående, och på slutet skall byggas ihop till ett fungerande kommunikationssystem, är det viktigt att kontrollera funktionen hos varje del innan man går vidare. Detta görs vid de tillfällen som är markerade ”checkpoint”. Demonstrera funktionen för en laborationsassistent vid varje checkpoint. Spara konstruktionen på kopplingsplattan mellan laborationspassen.

## Laborationsrapport

Laborationskursen skall redovisas genom en skriftlig rapport per grupp, som lämnas in i form av en enda PDF-fil. Den slutliga rapporten skall skrivas på engelska och innehålla följande delar:

*Summary*

- kort om syfte och sammanfattande resultat

*1. Introduktion*

- beskrivning av syftet med laborationen och beskrivning av hela systemet

- specifikationer dvs vad hela systemet skall ha för egenskaper och prestanda

- vilka delsystem som ingår

*2. Subsystems*

För varje delsystem

- specifikationer dvs vad delsystemet skall ha för egenskaper och prestanda

- beskrivning hur delsystemet är konstruerad

- resultat enligt anvisningar efter varje avsnitt i detta lab-PM

- tester och verifieringsdata som gjorts på delsystemet

*2.1 Counter*

*2.2 D/A converter*

*2.3 A/D converter*

*2.4 Sample and Hold*

*2.5 Serial transmitter*

*2.6 Serial receiver*

*2.7 Audio amplifier*

*2.8 LP filter*

*3. Test and verification*

- tester och verifieringsdata som gjorts för hela systemet

*4. Discussion*

- slutsatser/kort diskussion av resultaten

*5. Reflection*

- discuss what were the difficult/easy parts of the lab and can this be improved.

- please be honest, we will not grade the content of it, but points will be deducted if it’s missing

*Appendices*

- VHDL-kod

## Observera

1. Det är nödvändigt att grupperna har gjort förberedelseuppgifterna före varje labtillfälle. Fråga gärna lärarna om hjälp med förberedelserna, men inte under laborationstid.

2. Starta med laborationsrapporten direkt efter första laborationen och komplettera under kursens gång.

3. Det är tillåtet att kopiera figurer och tabeller från laborations-PM.

4. Det är inte tillåtet att kopiera text, figurer eller koder från andra laborationsgrupper.

5. It is encouraged to save screen shots or take photos of important waveforms on the oscilloscope during labs. These pictures will be very helpful in analyzing and presenting your results in the report.

## Mjukvara

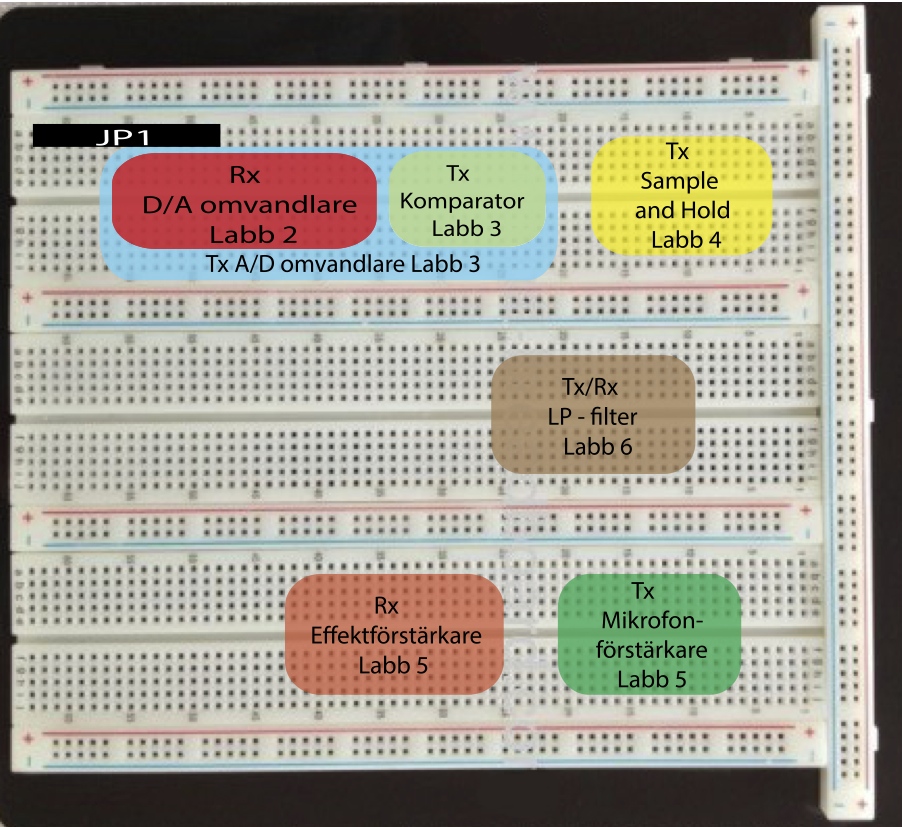
Följande programvaror kommer att användas:

|  |  |  |
| --- | --- | --- |
| Programvaror | Namn | Ladda ner |
| VHDL- och FPGA-programmering | Quartus II Web Edition v12.0 | [https://www.altera.com/downloads/](https://www.altera.com/downloads/download-center.html)  [download-center.html](https://www.altera.com/downloads/download-center.html) |
| VHDL-simulering | Mentor Graphics ModelSim PE Student Edition (eller QuestaSim, som är en annan version av samma program) | <http://www.model.com> |
| Spice | Linear Technology Corporation's LTspice IV | <http://www.linear.com/ltspice> |

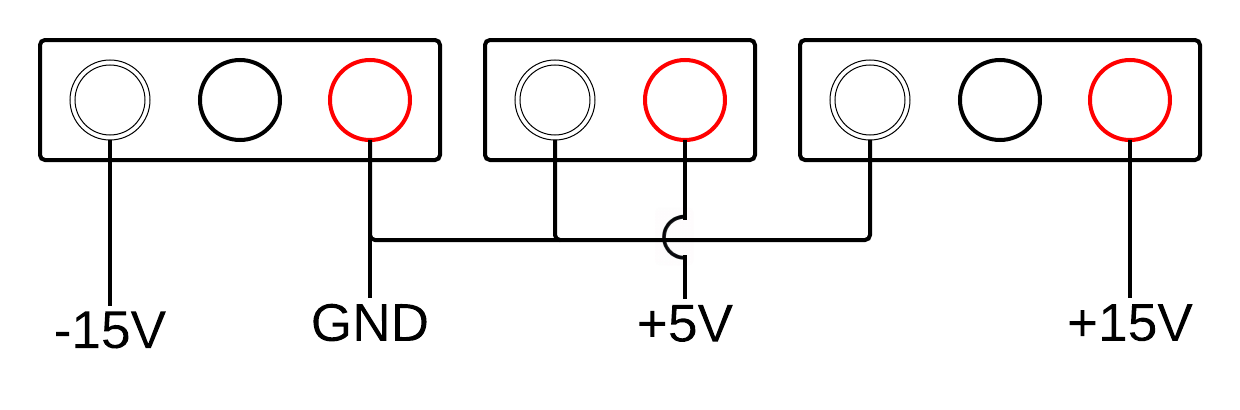
## Hårdvara

En *kopplingsplatta* (breadboard) används för kretsarna. Figure needed to show how the holes are connected. En modular uppbyggnad hjälper till att organisera arbetet, möjliggör återanvändning av moduler för olika ändamål och underlättar felsökning. Vi rekommenderar layouten i figuren nedan.

Använd korta kopplingstrådar, välj ledningsfärg konsekvent och undvik onödiga korsningar. Installera korta testtrådar i kritiska positioner, t.ex. input och output från de olika modulerna.



*Nätaggregatet* ansluts enligt följande figur för att få rätt spänningsnivåer.



Några råd om *oscilloskopet:*

* Använd alltid 10X-proben, vilket skyddar ingångskretsen vid höga frekvenser.
* Börja alltid undersöka signaler med oscilloskopet inställt på DC. Då syns signalerna relativt signaljord (0V). Om oscilloskopet står på AC kommer DC-nivåer inte att synas och man kan få en felaktig bild av omfång och nollgenomgångar.

När *vågformsgeneratorn* används så skall dess impedans sättas till “High Z”:

* på Menu, tryck Shift + Enter
* tryck >..>..>..D: SYS MENU
* tryck
* tryck Enter

Vågformsgeneratorn kan också generera likspänning, genom att hålla inne valfri knapp i 2–3 sekunder.

Pinnarna hos *integrerade kretsar* numreras motsols med början vid markering (small figure needed)

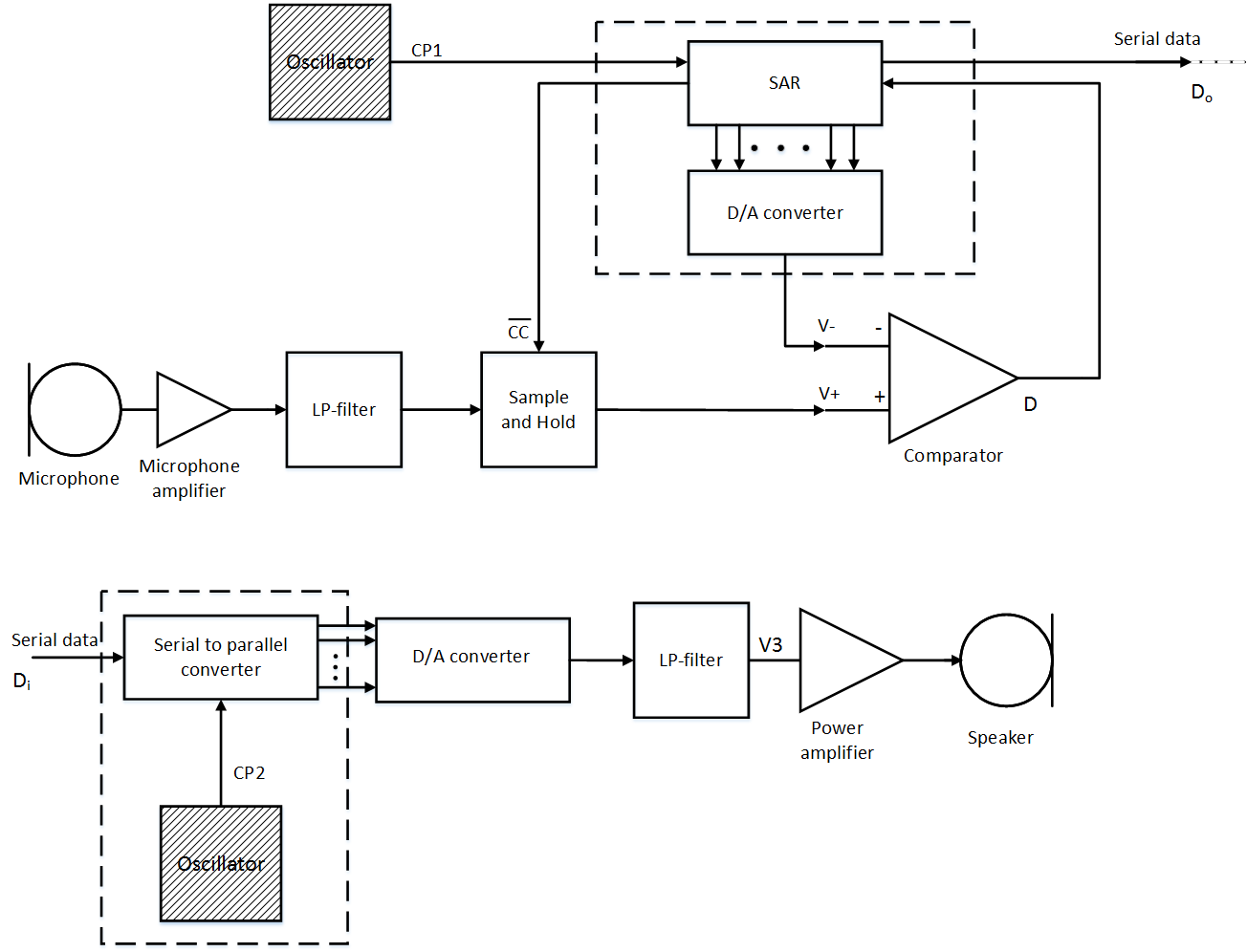
## Felsöking

En stor del av labbarna kommer att tillbringas med testning och felsökning. Detta är helt normalt i elektronikkonstruktion, även på arbetsplatser. Här är några allmänna tips:

* Kontrollera att det ni byggde förra gången fungerar innan ni bygger vidare.
* Expandera konstruktionen en liten bit i taget och kontrollera funktionen efter varje tillägg
* Koppla tillfälligt bort en bit i taget för att isolera problemet.
* För digitala konstruktioner, gå ned i frekvens. Lägg in LED så att ni ser vad som händer. Kolla speciellt klocka och tillstånd. Kolla att vektorer har tillräcklig längd för att representera de heltal som behövs.
* För integrerade kretsar, kolla att matning och jord är korrekt anslutna. Kolla kopplingen av jord till DE1-kortet.
* För analoga konstruktioner, följ signalnivåerna från input till output i respektive modul. Studera signalerna på oscilloskop.
* Mät spänningar i kontrollpunkter och jämför med teoretiskt förväntade värden.
* Om insignalen är OK och utsignalen bottnar (hög eller låg), kontrollera återkopplingsslingan. För att testa A/D- och A/D+D/A-omvandling, anslut en DC-nivå till analog input. Variera nivån långsamt och observera digital utsignal (bitar) på LED och/eller oscilloskop.

# Laboration nr 1, Räknare

All digital elektronik behöver en klocksignal. En stabil frekvens erhålls vanligen från en kristalloscillator, men i vårt system vill vi ha en frekvens som kan ändras i mjukvara. I första labben genereras en klocksignal med programmerbar frekvens som ett VHDL-program. Detta program kommer att användas i både sändare och mottagare, se figur 1.1. Vi skall bekanta oss med ett kommersiellt FPGA-labkort (Altera DE1) för att generera digitala insignaler och klockpulser.



–

Fig. 1.1: Första laborationens delsystem.

## Förberedelseuppgifter

1.1 Studera avsnitt 2 och 4.2 i ”DE1 Development and Education Board, User Manual”.

1.2 Skriv och simulera VHDL-kod som sammankopplar omkopplarna SW0 – SW9 med lysdioderna LEDR0 – LEDR9 på labkortet DE1. Lysdioderna LEDR0 – LEDR9 skall tändas vid en etta på respektive omkopplare. Slå upp i dokumentationen vilka pinnar på labkortets FPGA-kretssom signalerna skall anslutas till.

1.3 Skriv och simulera VHDL-kod för en räknare som delar ned en hög klockfrekvens till en given lägre frekvens. Den höga klockfrekvensen erhålls från den 50 MHz-klocksignal som finns tillgänglig på labkortet DE1. Den låga frekvensen skall vara 1 Hz och utsignalen skall presenteras på lysdioden LEDR0. Slå upp i dokumentationen vilka pinnar på labkortets FPGA-kretssom signalerna skall anslutas till.

1.4 par 2 serial

## Utförande

Logga in på labdatorn enligt instruktioner på labplatsen. Skapa en egen katalog för samtliga nya projekt i ”My Documents” i labdatorn. Skapa i denna katalog också en ny katalog för just detta nya projekt. Starta programvaran Quartus II. Starta ett nytt projekt med ”New Project Wizard” och ange din nyskapade projektkatalog som hemkatalog för det nya projektet. Namnge det nya projektet och låt detta namn också vara namnet på den högsta entiteten. Klicka vidare utan att inkludera gamla filer. Som kretsfamilj och typ ange följande:

Family: ”Cyclone II”

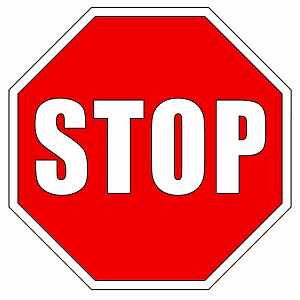
Device: ”EP2C20F484C7”

Klicka vidare och avsluta ”New Project Wizard”.

Klicka på ”File” > ”New” och välj ”VHDL File” som filtyp. Vi startar med VHDL-koden för att styra lysdioderna från labkortets omkopplare. Se förberedelseuppgift 1.2. Du kan kopiera ned din VHDL-kod om du har tillgång till den som textfil. Annars skrivs koden direkt i det nya fönstret. Efter det att filen sparats kan den kompileras. Det är viktigt att filnamnet stämmer med namnet på entity-delen i VHDL-koden. Högerklicka på din VHDL-fil i ”Project Navigator” och välj ”Set as Top-Level Entity”. Kompilera koden genom att klicka på ”Start Compilation”. Rätta till eventuella fel till dess att kompilatorn är nöjd.

För att koppla ihop VHDL-kodens in- och utsignaler med rätt ben på kretsen används ”Pin Planner” som finns under ”Assignments”. För varje in- och utgång klickar man i rutan ”Location” och bläddrar fram rätt ben på kretsen. Alla anslutningar finns beskrivna i manualen “DE1 Development and Education Board, User Manual”. Av denna manual framgår vilka pinnar på FPGA-kretsen som är anslutna till speciell hårdvara, såsom LEDer eller omkopplare. Pinprogrammeringen kan förenklas genom att göra en pinplanering i exempelvis Excel, kopiera en hel kolumn och klistra in i kolumnen ”Location”. Efter pinprogrammeringen skall programmet kompileras ytterligare en gång. Om kompilatorn är nöjd är det sedan dags att programmera kretsen.

Koppla in labkortet till en USB-ingång på labdatorn. Om drivrutinerna inte är aktiverade kommer det upp ett fönster för att göra en installation av drivrutinerna. Drivrutinerna finns i labdatorn enligt instruktioner på labplatsen. Starta programmeringen genom att under ”Tools” klicka på ”Programmer”. Vi skall använda JTAG-länken med hjälp av hårdvaran ”USB Blaster Hardware”. Är drivrutinerna installerade skall det gå att välja dessa alternativ i det nya fönstret. Klicka på projektets \*.sof-fil och markera rutan ”Program/Configure”. Om allt stämmer skall det nu gå att klicka på ”Start”-knappen och programmera labkortet.

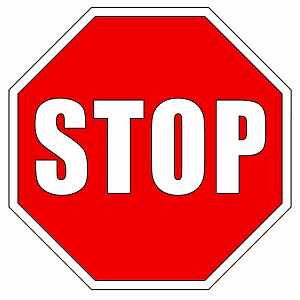
Labkortet reagerar inom någon sekund på den nya programmeringen och det nya programmet kan testas. Kontrollera att alla lysdioderna LEDR0 – LEDR9 kan styras av omkopplarna SW0 – SW9.

parallel to serial check

**Checkpoint.** Demonstrera funktionen för assistenten.

Starta ett nytt projekt för programmeringen av räknaren. Efter nedladdning kan utsignalerna studeras på lysdioden LEDR0. Mät manuellt upp tiden för ett antal blinkningar och beräkna frekvensen på den nedskalade klocksignalen:

Uppmätt frekvens: ………………. Hz

**Checkpoint.** Demonstrera funktionen för assistenten.

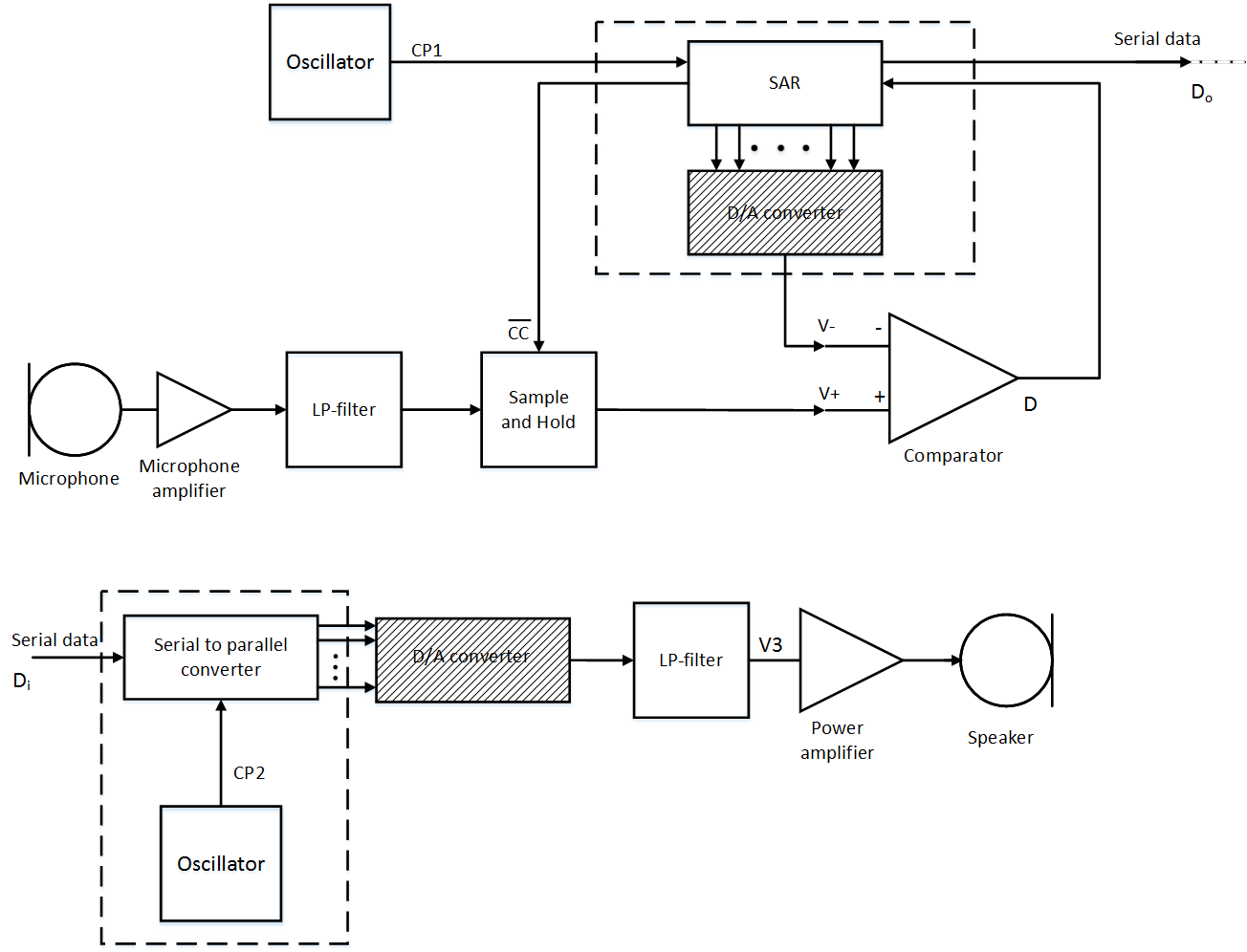
OBS! Glöm inte att kopiera alla projektfiler till din hemkatalog innan du loggar ut från labdatorn. Konstruktionen på labplattan sparas till senare labbar.

## Redovisning i rapporten

VHDL-koder skall redovisas. Uppmätt värde på klockfrekvensen skall redovisas.

# Laboration nr 2, D/A-omvandlare

I den andra laborationen skall vi studera D/A-omvandling. Vi skall använda FPGA-kretsen på labkortet DE1 för att generera digitala insignaler. Vi kan verifiera D/A-omvandlarens funktion genom att omvandla utsignalen från en 8-bitars binärräknare. Detta skall ge en analog sågtandsspänning.



–

Fig. 2.1: Andra laborationens delsystem.



Fig. 2.2: Kretsschemat för D/A-omvandlaren. Flera komponenter kommer att anslutas till VREF i kommande laborationer.

Fortsättningsvis skall PIN-konfigurationerna skrivas som en kolumn i en separat fil (t.ex. text, Word eller Excel), från vilken de kopieras till Quartus. Se förberedelseuppgifterna 2.4 och 2.5. Denna metod är snabbare och lättare att felsöka än att definiera pinnarna en i taget i Quartus.

## D/A-omvandlaren

Kretsschemat för D/A-omvandlaren framgår av figur 2.2. Den digitala signalen *A*1 – *A*8 in på D/A-omvandlaren styr hur stor andel av inströmmen *I*14 som speglas in på ben 4. Denna ström *I*4 är

(2.1)



där insignalen *A*1, …,*A*8 är 0 eller 1. Eftersom *I*14 = *V*REF/*R*1 och *V*DA = *I*4*R*2, erhålls

(2.2)

## Specifikationer

* Strömmen *I*14 rekommenderas enligt datablad att vara ca 2 mA.
* Utspänningen *V*DA skall ligga i intervallet 0–10 V.
* Strömmen genom *R*3 bör inte överstiga 20 mA, för att undvika att bränna motståndet.
* Referensspänningen *V*REF bestäms av zenerdioden D1, vars zenerspänningen är 5,6 V. Strömmen genom dioden skall vara minst 10 mA för att få en en stabil referensspänning *V*REF = 5,6 V. Zenerdioden är märkt max 0,5 W, vilket begränsar dess maximala ström.
* Den streckade linjen i figur 2.2 kommer i senare labbar att ge en referensspänning till sample-and-hold-kretsen i figur 4.2, D/A-omvandlandarens offset-motstånd *R*5 i figur 4.4 och mikrofonen i figur 5.2. Dessa komponenter drar tillsammas maximalt 2 mA.
* Som logiska nivåer använder vi 0 V för logisk ’0’ och +3,3 V för logisk ’1’.

## Tillgängliga komponenter

* 8-bitars D/A-omvandlare DAC 0808
* Labkortet DE1 från Altera
* Dubbla operationsförstärkaren TL072
* Resistorer (maxeffect 0,25 W) och zenerdiod (max 0,5 W)
* Motstånd i E12-serien från 1 ktill 10 k
* Kondensatorer i E6-serien från 1 nF till 33 nF

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
|  |  | |  |  | | --- | --- | | **E12** | **E6** | | 10 | 10 | | 12 |  | | 15 | 15 | | 18 |  | | 22 | 22 | | 27 |  | | 33 | 33 | | 39 |  | | 47 | 47 | | 56 |  | | 68 | 68 | | 82 |  | |

Figur 2.3: Pinkonfigurationer hos DACen och op-förstärkarna. Tabellen anger standardvärden för E12-serien (resistorer) och E6-serien (kondensatorer).

## Förberedelseuppgifter

2.1 Skriv pin-numret vid varje anslutning till op-förstärkaren i figur 2.2.

2.2 Dimensionera resistorerna *R*1, *R*2 och*R*3 så att kraven i specifikationen uppfylls. Strömmen genom *R*3 och *D*1 skall hålla sig inom specifierade gränser både nu, när den streckade linjen är oansluten, och senare när den streckade linjen drar maximalt 2 mA. Använd komponentvärden från E12-serien. Välj värden så att *V*DAmax, som är det maximala värdet på *V***DA**, blir så nära 10V som möjligt och att strömmen genom *R*3 är tillräckligt hög för framtida behov.

2.3 Beräkna med ekvation (2.2) teoretiska värden för den sista kolumnen i nedanstående tabell, med valda komponentvärden.

2.4 Utvidga förberedelseuppgift 1.2 så att signalerna som styr lysdioderna LEDR0-LEDR7 också kopplas ut till kopplingsplinten JP1. På detta sätt kan signalerna kopplas ut till labplattan. Lysdioderna LEDR0–LEDR7 skall tändas vid en etta på respektive omkopplare. Gör en tabell i en separat fil för att pinkonfigurera FPGA-kretsen på labkortet DE1. Använd den standardiserade pinkonfigurationen i appendix

2.5 Skriv VHDL-kod för en 8 bitars binärräknare med styrbar upp- eller nedräkning. Som insignal till binärräknaren används en klocksignal på 100 Hz. Denna nedskalade klocksignal erhålls från den 50 MHz-klocksignal som finns tillgänglig på labkortet. Binärräknarens alla 8 bitar skall finnas tillgängliga som utsignal liksom den nedskalade klocksignalen. Vi skall använda kontaktplinten ”Expansion Header 1” (JP1) för all kommunikation mellan den egna labplattan och labkortet DE1. Binärräknarens utgångar skall också visas på lysdioderna LEDR0 – LEDR7. Upp/ned-räkning skall styras från switchen SW9. Simulera funktionen i ModelSim. Gör en tabell i en separat fil för att pinkonfigurera FPGA-kretsen på labkortet DE1.

2.6 Vilken periodtid får den periodiska signal som uppstår om D/A-omvandlaren styrs av binärräknaren?

## Utförande

Följ instruktionerna i Lab 1 för programmering av VHDL-kod, pinkonfigurering, kompilering och kretsprogrammering. Vi använder standardutgången 3,3-V LVTTL.

Koppla upp konstruktionen av D/A-omvandlaren på en labplatta och anslut matningsspänningar ±15V och 5V. Anslut de digitala ingångarna på kretsen DAC0808 till labkortets utgångar via flatkabelns andra honkontakt. The flat cable has pin connections to the breadbord according to the second table in appendix. In this lab, we will use only the A1-A8 connections, whereas the rest of the connections will be used in the future labs.

Använd VHDL-koden från förberedelseuppgift 2.4 till styra de digitala utsignalerna i flatkabeln. Sätt switcharna till värdet 10 (decimalt) och mät spänningarna på A1–A8 i figur 2.2:

…………………………….. Jämför med bitmönstret som motsvarar heltalet 10: …………....

Mät även den analoga utsignalen från D/A-omvandlaren vid olika inställningar på den digitala insignalen och jämför med teoretiskt beräknade värden från förberedelseuppgift 2.3.

|  |  |  |  |
| --- | --- | --- | --- |
| Digital styrsignal (decimal) | Calculated digital output | Beräknad  analog utsignal (V) | Uppmätt analog  utsignal (V) |
| 0 |  |  |  |
| 16 |  |  |  |
| 32 |  |  |  |
| 64 |  |  |  |
| 128 |  |  |  |
| 255 |  |  |  |

Starta ett nytt projekt för programmeringen av binärräknaren. I detta projekt skall de 8 digitala utgångarna styras av en räknare enligt förberedelseuppgift 2.3. Resultatet blir att programmet genererar en periodisk rampspänning. Efter nedladdning kan utsignalerna studeras i oscilloskop. Mät upp frekvensen på den nedskalade klocksignalen:

Uppmätt frekvens: ………………. Hz

Mät upp periodtiden på sågtandsvågen och jämför med den beräknade:

Beräknad periodtid: ………………. ms Uppmätt periodtid: ………………. ms

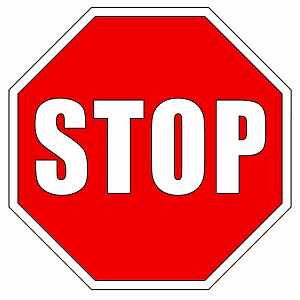
Ändra i programmmet för klockfrekvensen så att frekvensen på insignalen till binärräknaren blir ca 12 kHz. Studera rampspänningen på oscilloskopet. Zooma in och observera övergången från min/max till max/min. Syns någon översväng (ringning)? För att undvika detta fenomen placeras en kondensator *C*2 parallelt med *R*2. Rekommenderat värde är 33 pF.

Nu skall vi mäta upp operationsförstärkarens ”slew rate”, dvs den maximala tidsderivatan hos utspänningen. Man bestämmer den genom att lägga ett steg på ingången och mäta hur snabbt utgången ändras from a min/max stable level to a max/min stable value. -Vi kan använda samma sågtandsvåg som tidigare, men nu är inte rampen intressant utan steget mellan minimal och maximal spänning. Jämför slew rate med och utan kondensator.

Slew rate enligt datablad ……………. V/μs

Uppmätt slew rate utan *C*2 ……………….. V/μs och med *C*2 ……………….. V/μs

Slew rate begränsar hur snabbt D/A-omvandlaren kan klockas. Det är önskvärt att utsignalen hinner konvergera till spänningen som motsvarar den digitala insignalen innan insignalen ändas. Avståndet mellan klockpulser skall alltså vara större än den maximala omvandlingstiden.

Maximal omvandlingstid för D/A: ............... µs. Maximal klockfrekvens: ......................... MHz

OBS! Glöm inte att kopiera alla projektfiler till din hemkatalog innan du loggar ut från labdatorn. Konstruktionen på labplattan sparas till senare labbar. Fortsättning följer…..

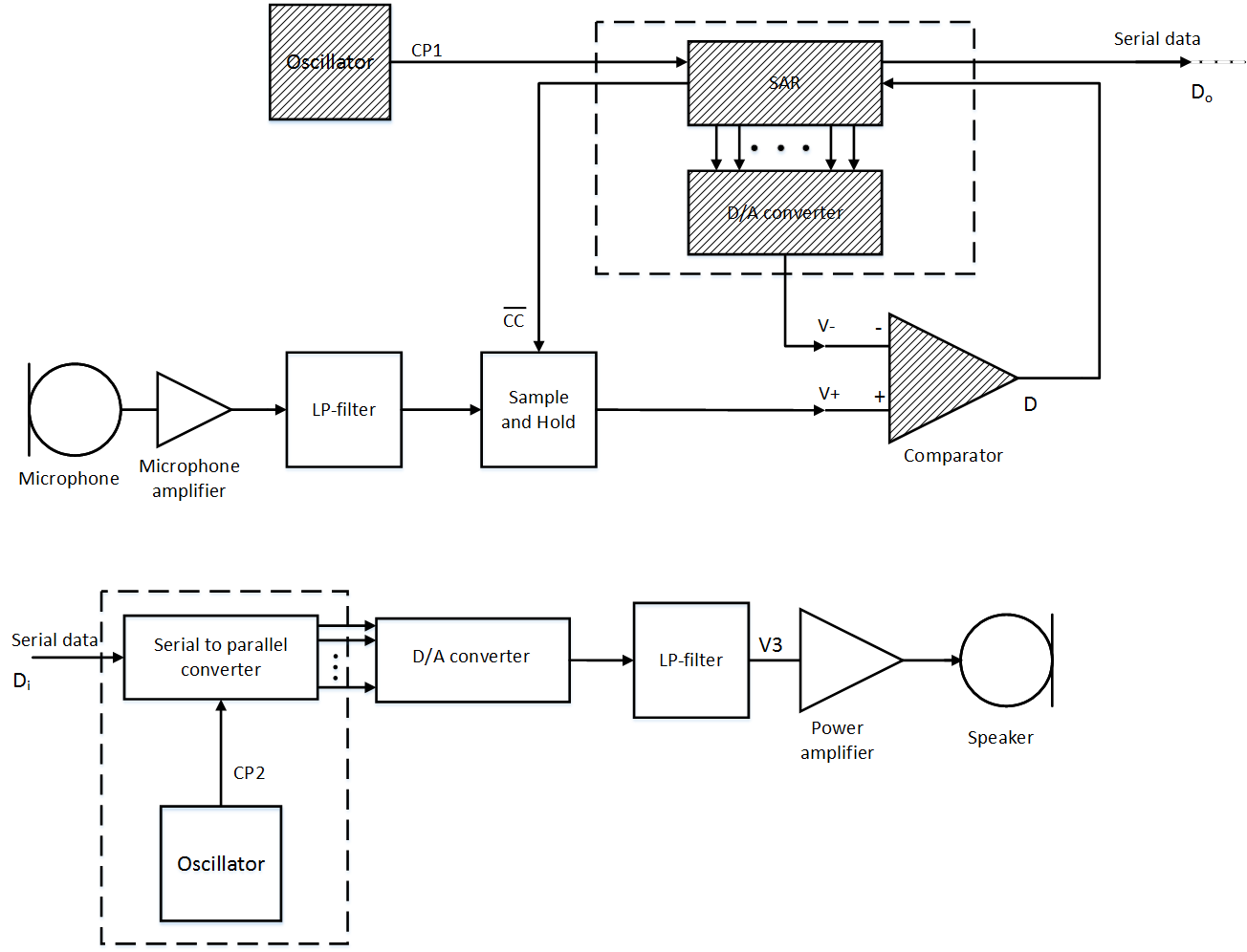
**Checkpoint.** Demonstrera funktionen och resultaten för assistenten.

## Redovisning i rapporten

Beräkningar av resistansvärden skall redovisas. VHDL-koder och resultat från simuleringar skall redovisas. A completed table in Utförande. Beräknade och uppmätta värden på klockfrekvens och ”slew-rate” skall redovisas, the measured time should be reported too. Compare the measured slew rate with *C*2 and the system requirement according to the system specification. Save screen shots or take photos of the slew rate measurement on the oscilloscope. The table above should also be reported.

# Laboration nr 3, A/D-omvandlare och seriell sändare

I den tredje laborationen skall vi studera A/D-omvandling och seriell överföring av en digital signal. Vi skall implementera den digitala styrkretsen till A/D-omvandlingen och parallell- till serie-omvandlingen i FPGA-kretsen på labkortet DE1.



–

Fig. 3.1: Tredje laborationens delsystem.

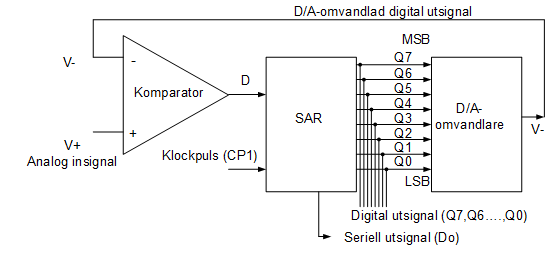


Fig. 3.2: Principschema för A/D-omvandlare med successiva approximationer.

## A/D-omvandlaren

Det finns många slags A/D-omvandlare. Den typ som vi använder i denna lab innehåller D/A-omvandlaren från lab 2, kompletterad med en digital kontrollenhet, ett så kallat ”successive approximation register” (SAR), som ”gissar” den digitala insignalen till D/A-enheten som skapar en analog nivå som ligger så nära den givna insignalen som möjligt.

Principen för en A/D-omvandlare med successiva approximationer framgår av figur 3.2. Styrenheten skapar successivt signaler på utgångarna som motsvarar den analoga signalens digitala värde. Efter lika många klockcykler som antalet bitar i A/D-omvandlingen har vi fått hela det digitala ordet på utgångarna och omvandlingen är klar. Styrenheten kallas successivt approximationsregister (SAR). Principen framgår av tidsdiagrammet i figur 3.3, som visar signalerna i en 8-bitars SAR. Vi använder samma princip men skapar en egen digital lösning i VHDL-kod.

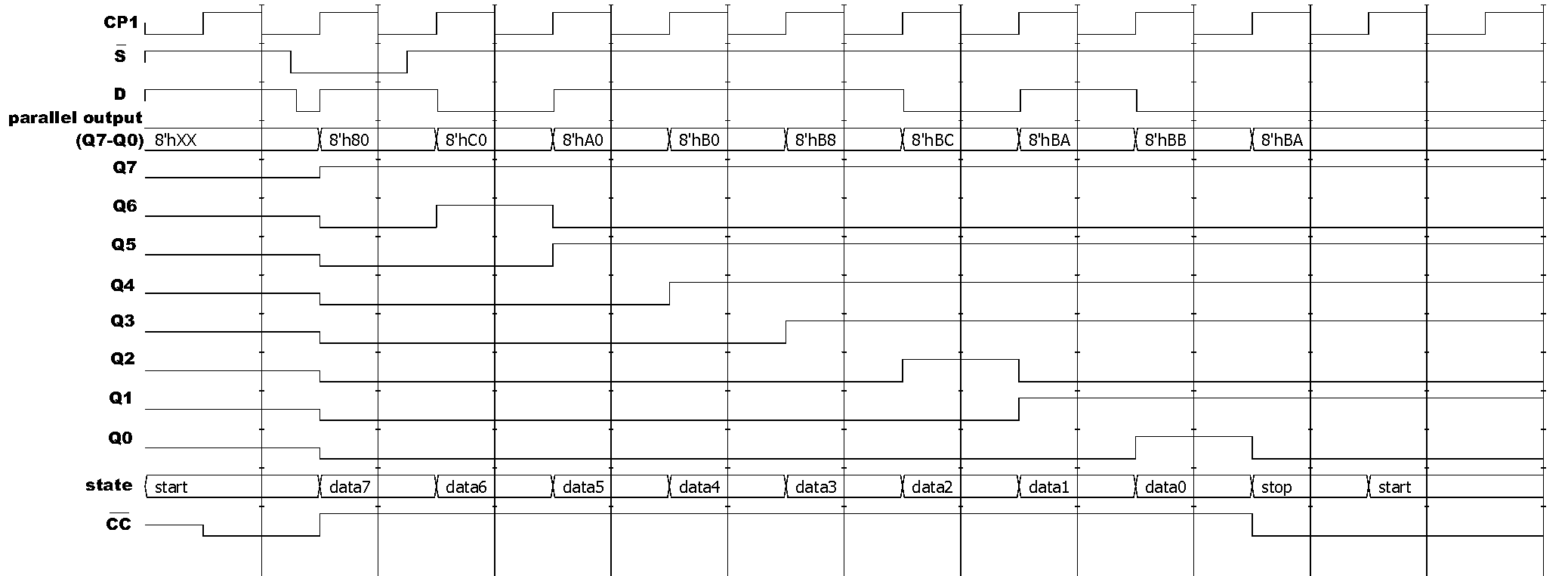
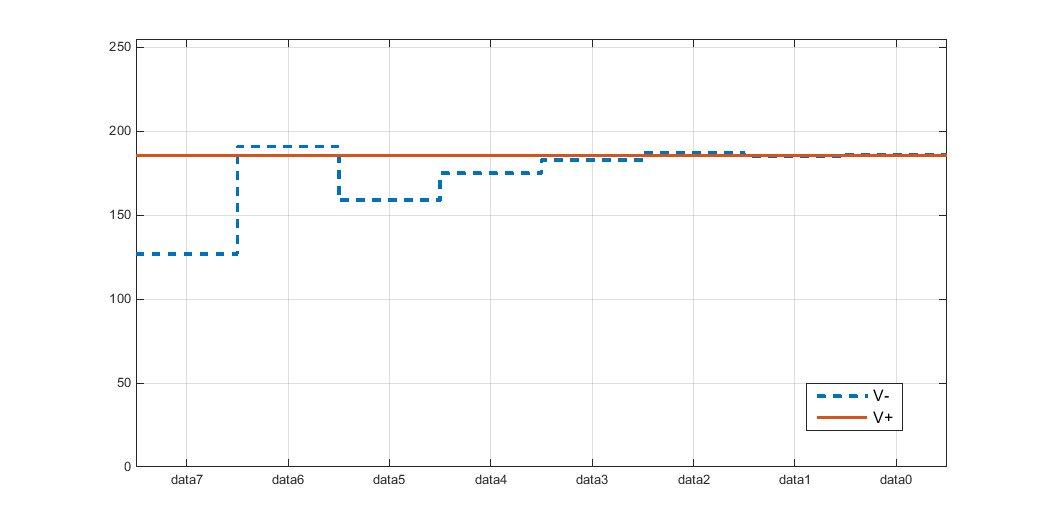
  


Fig. 3.3: Tidsdiagram för signalerna i en 8-bitars A/D-omvandlare med successiva approximationer. Den analoga insignalen motsvarar en digital utsignal 10111010. Den undre figuren visa komparatorns insignaler (se figur 3.2). SARens approximation V– konvergerar gradvis till den analoga insignalen V+.

Kretsen har följande in- och utgångar:

CP1 klockpulsingång på sändarsidan

ingång som styr starten av omvandlingen



D ingång som kopplas till utgången på komparatorn

Q0 – Q7 8-bitars parallell datautgång

state 10 tillstånd i SAR-omvandlarens tillståndsmaskin

utgång som indikerar när registret är klar med en omvandling



Omvandlingen startar med en låg signal på -ingången. Alla utgångar nollställs förutom utgång Q7, som är 1, vilket skapar en spänning V– som är halva maxspänningen att jämföra med. Komparatorn ger nu besked om den analoga signalen V+ är större eller mindre än V–. Komparatorns resultat läggs genast in på dataingången D. Värdet på D-ingången överförs vid nästa klockpuls till utgången Q7. Samtidigt sätts utgången Q6 till 1 varefter en ny jämförelse görs av komparatorn med resulterande utslag på dataingången D. Samma procedur upprepas till alla utgångarna har nollställts en gång varefter komparatorn gett besked till dataingången. Efter det att den minst signifikanta biten Q0 har bestämts nollställs utgången ’klar’ () för att signalera att omvandlingen är avslutad. Kopplas denna utgång direkt till startingången så kommer registret att upprepa omvandlingen. I exemplet ovan har den analoga signalen det digitala värdet 10111010. Signalen in på dataingången är en asynkron signal och hastigheten begränsas av eventuella fördröjningar i operationsförstärkare och komparator.



Vi behöver komplettera D/A-omvandlaren från laboration 2 med en komparator enligt figur 3.4. Utgången från komparatorn har en ”open collector” vilket innebär att vi kan anpassa hög utsignal till DE1-kortets signalnivå på 3,3 V. Denna spänning finns tillgänglig på DE1-kortets kontaktplint. Lämpligt värde på pull-up-resistorn *R4* är 1 k. Komparatorns låga utsignal kan också anpassas via utgången ”output ground” och vi kopplar denna till kretsens signaljord enligt schemat.

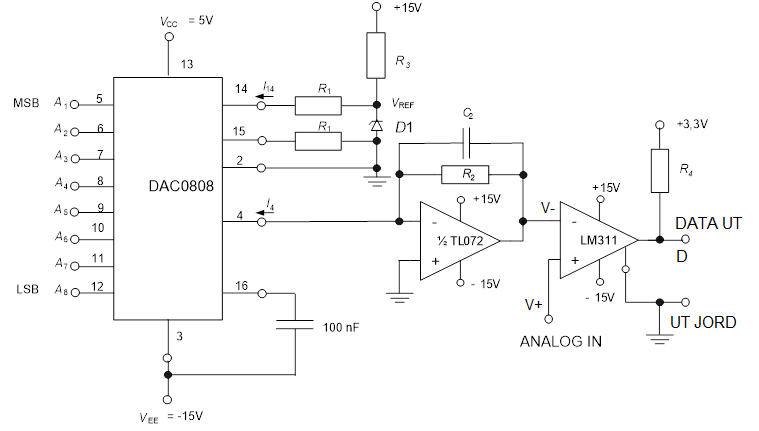


Fig. 3.4: Kretsschemat för den analoga delen hos A/D-omvandlaren. rename signals v+to VSH and v- to VDA

Eftersom komparatorns utsignal D återkopplas till SARen, är det viktigt att veta fördröjningen från en förändring i I4 till att D reagerar. Denna fördröjning består av två delar, dels försdröjningen över operationsförstärkaren, som är maximal när I4 tar ett stort steg, och dels fördröjningen över komparatorn, som är maximal när V+ ligger nära det nya värdet på V– (efter förändringen i I4).

Vid laborationen skall ett 8-bitars SAR konstrueras genom att programmera FPGA-kretsen på labkortet DE1. Funktionen skall före laborationstillfället kontrolleras i simuleringsprogrammet ModelSim. Vid laborationstillfället görs en ny kompilering av VHDL-koden genom programmet Quartus II som också syntetiserar en lösning till FPGA-kretsen.

## Seriell sändare

Den digitaliserade analoga signalen kan överföras seriellt genom att utnyttja den parallella utsignalen Q på SAR-kretsen. Vi skall överföra denna utsignal seriellt. För att göra detta enligt den asynkrona standarden RS232, som sänder LSB först och MSB sist, använder vi en buffert B för att lagra Q efter varje konverteringscykel, och därefter överförs innehållet i denna buffert seriellt under nästa konverteringscykel till DTx. Enligt standarden komplettera denna dataström med en start och en stoppbit som visas i figur 3.5. Utnyttjar vi labkortets RS232-utgång så erhålls rätt spänningsnivåer för RS232-standarden. Enligt standarden skall en ”etta” motsvaras av en negativ spänning mellan -3V och -15V och en ”nolla” av en positiv spänning mellan +3V och +15V. Kretsen på labkortet DE1 ger spänningsnivåerna -8V och +8V. Enligt standarden är startbiten en ’nolla’ (+8V) och stoppbiten en ’etta’(-8V).. I vila liggger utsignalen på -8V (stoppbitar).

För att kommunicera mellan två enheter enligt RS232-standarden behövs endast två trådar där sändaren använder pin 5 (jord) och pin 3 (Tx). Mottagaren använder pin 5 (jord) och pin 2 (Rx). Se figur 3.6. På DE1-korten sitter motsvarande honkontakter vilket innebär att DE1-korten betraktas som DCE-utrustning (Data Communication Equipment). En dator är normalt en DTE-utrustning (Data Terminal Equipment).

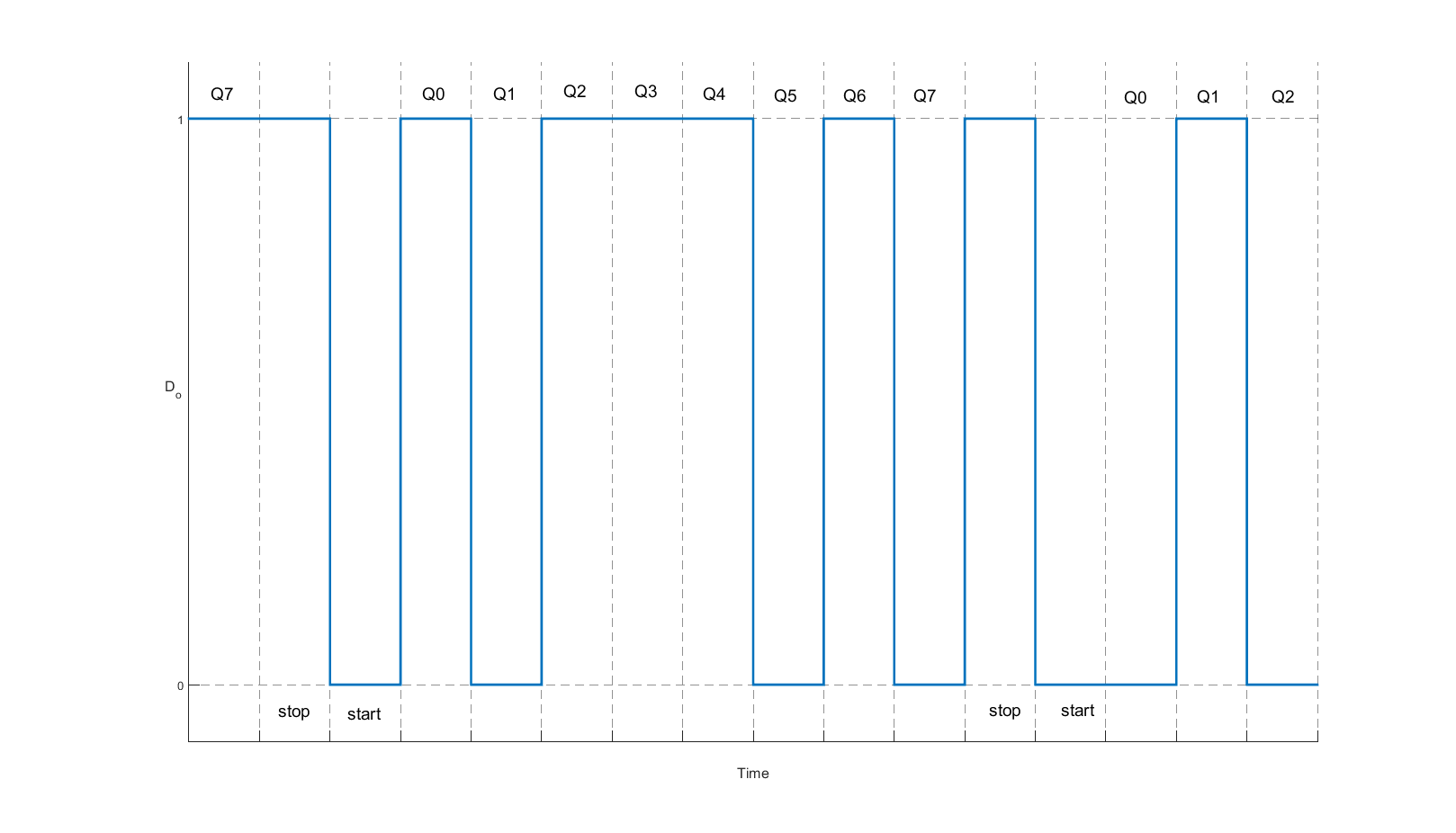


Fig. 3.5: Logiska nivåer på seriellt transmitterade data DTx. Enligt RS232-standarden kommer den minst signifikanta biten först. Dataordet är D7…D0 = 01011101.

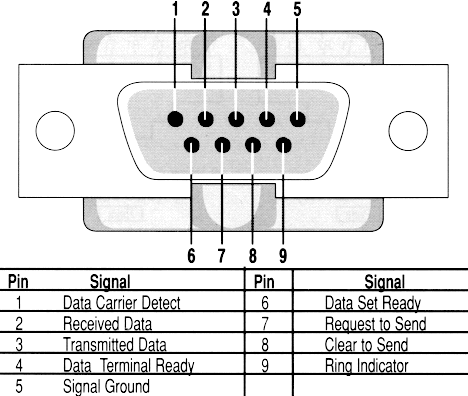


Fig. 3.6: Pinkonfiguration för DB9- kontakten för RS232. Hankontakt sedd utifrån motsvarande den som finns på DTE-utrustningen (datorn). På DCE-sidan (modemet) finns motsvarande honkontakt.

Kommunikationsprogrammet används på följande sätt.

1. Klicka på Start-knappen. I sökrutan, skriv ”ds30 loader GUI” och välj sedan ds30 loader GUI i listan med sökresultat.
2. Välj No i fönstret som frågar om uppdateringar.
3. Klicka på View-menyn och därefter Advanced mode.
4. Välj Terminal-fliken. I rullgardinslistan Baudrate, välj 9600. Click Open för att starta kommunikationen.
5. Skriv text på Tx-raden för att sända. Mottagen text visas på Rx-raden.

## Förberedelseuppgifter

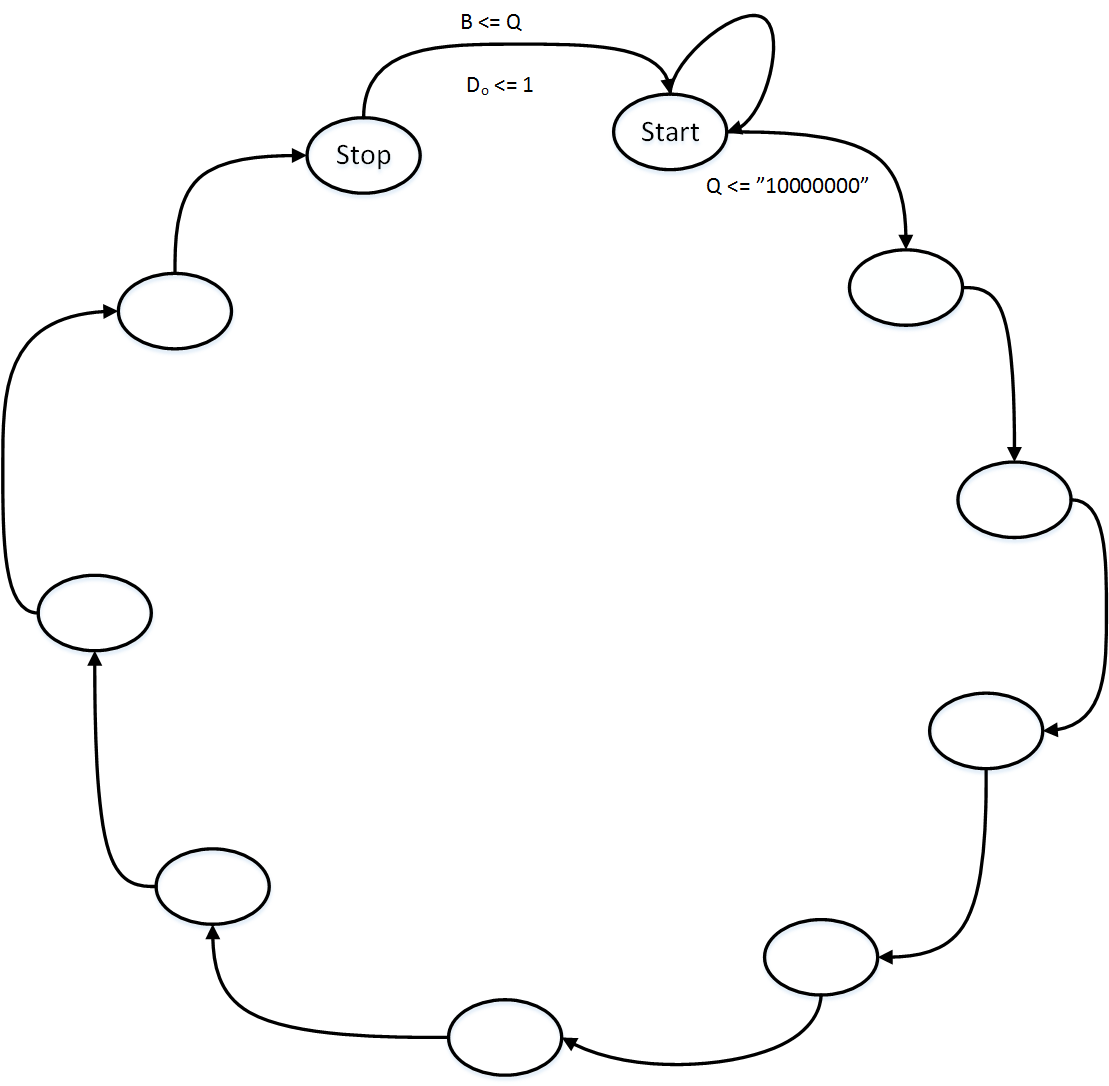
3.1 Hur skall Q7–Q0 kopplas till A1–A8?

3.2 Skriv pin-numret vid varje anslutning på op-förstärkaren och komparatorn i figur 3.4. Komparatorns ben 5 och 6 skall kopplas ihop med varandra.

3.3 Vi skall uppskatta fördröjningen i återkopplingen från Q till D i figur 3.4, som bestämmer hur snabbt A/D-omvandlaren kan klockas. Gör därför en Spice-simulering av den analoga kopplingen i figur 3.4, från strömmen I4 till komparatorns datautgång DATA UT (D). Komponenter som saknas i LTspice kan laddas ned från kurshemsidan. Låt den analoga insignalen VSH vara konstant 20 mV, vilket motsvarar bitmönstret Q=00000001 (kolla). Låt I4 förändras i ett steg från 0 till 1 mA, för att simulera en förändring i MSB. Mät fördröjningen från att I4 ändras till att D har stabiliserats på den nya nivån. Mät sedan samma sak när I4 ändras från 1 till 0 mA. I vilket fall är fördröjningen störst? Försök förklara varför.

3.4 Varför behövs en extra buffert? Varför kan inte D skickas ut direkt på *D*Tx?

3.5 Nedan visas ett tillståndsdiagram för ett 8-bitars successiv-approximationsregister (SAR) med tillhörande parallell-till-serie-omvandling enligt RS232-standarden. Tillståndet stannar i ”Start” så länge som  är 1. Annars ändras tillståndet vid varje klockpuls. Komplettera tillståndsdiagrammet genom att tilldela värden till *D*Tx och Q(7)–Q(0) vid varje övergång mellan tillstånd. Inkludera vid behov även hjälpsignaler såsom startsignalen , bufferten B och klarsignalen. (Students complained that B was rarely mentionned in the lab memo.) simplify, remove B



3.6 Konstruera i form av en tillståndsmaskin i VHDL ett 8-bitars SAR. Registret skall förutom klockingång ha en dataingång, en startingång, en seriell datautgång anpassad för RS232-standarden samt en utgång som anger när omvandlingen är klar (skall vara 0 efter avslutad omvandling). Registret skall startas när startingången  är 0. Resultatet efter varje omvandling skall visas på lysdioderna LEDR0 – LEDR7. Använd den interna klocksignalen på 50 MHz och dela ned denna till en intern klocksignal på SAR-kretsen på 9600 Hz. Den seriella utsignalen skall vara tillgänglig både på pinne 40 i ”Kopplingsplint JP1” (se appendix) och på RS-232-utgången. Definiera FPGA-kretsens pinnkonfiguration i en tabell.

3.7 Simulera funktionerna i ModelSim. Visa tidsdiagram för signalerna på in och utgångar under en omvandlingscykel.

## Utförande

### A/D-omvandlare

Koppla upp konstruktionen av operationsförstärkare och komparator på labplattan och anslut matningsspänningar ±15V och 5V. Anslut en vågformsgenerator till den analoga insignalen och konfigurera den till att generera en DC-spänning. Öka långsamt spänningen från 0 till 10 V och observera hur LED-displayen förändras. Fungerar A/D-omvandlaren som den skall?

Sätt insignalen på 5V. Det teoretiskt förväntade digitala ordet från A/D-omvandlaren är  
  
 …………………………… och det uppmätta ordet är …………………………..

Koppla ihop utgången med startingången . Studera och V–, en på varje kanal. Använd som triggsignal för oscilloskopet. Studera därefter och *D*Tx, fortfarande med triggning på . Now study *D*Tx and V– triggering on . Take screen shots or photos of the waveforms on the oscilloscope (i.e., and ,  and *D*Tx, and *D*Tx and V–).



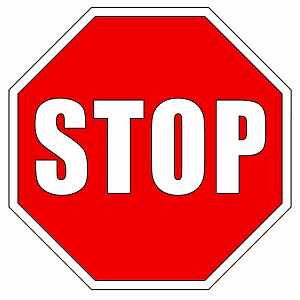
Studera tidsfördröjningen på datautgången D jämfört med klocksignalen CP1. Take screen shots or photos of the measured waveform.

Uppmätt tidsfördröjning för dataingången: ……………….. µs

Baserat på denna fördröjning, hur många sampel per sekund kan A/D-omvandlaren

processa? ……………………….. Är denna hastighet tillräcklig för att att uppfylla

ljudöverföringssystemets specifikationer (sid 1)? …………………………



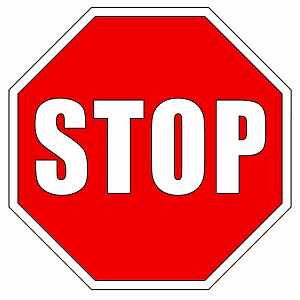
**Checkpoint.** Demonstrera funktionen och resultaten för assistenten.

### Seriell överföring

Vid laborationstillfället kommer du att använda ett RS232-kompatibelt kommunikationsprogram, som är installerat på labdatorerna, för att testa din A/D-omvandlare. Se till att den inställda datahastigheten motsvarar 9600 bps. Koppla ihop RS232-portarna med hjälp av den modemkabel som finns i labsalen. Testa utrustningen genom att omvandla en ren DC-spänning inom området 0–10V. Take a screen shot or photo of the communication program.

Analog signal …….. V

Digitalt ord från A/D-omvandlaren ……………………….

Mottaget ASCII-tecken ……………….

**Checkpoint.** Demonstrera funktionen och resultaten för assistenten.

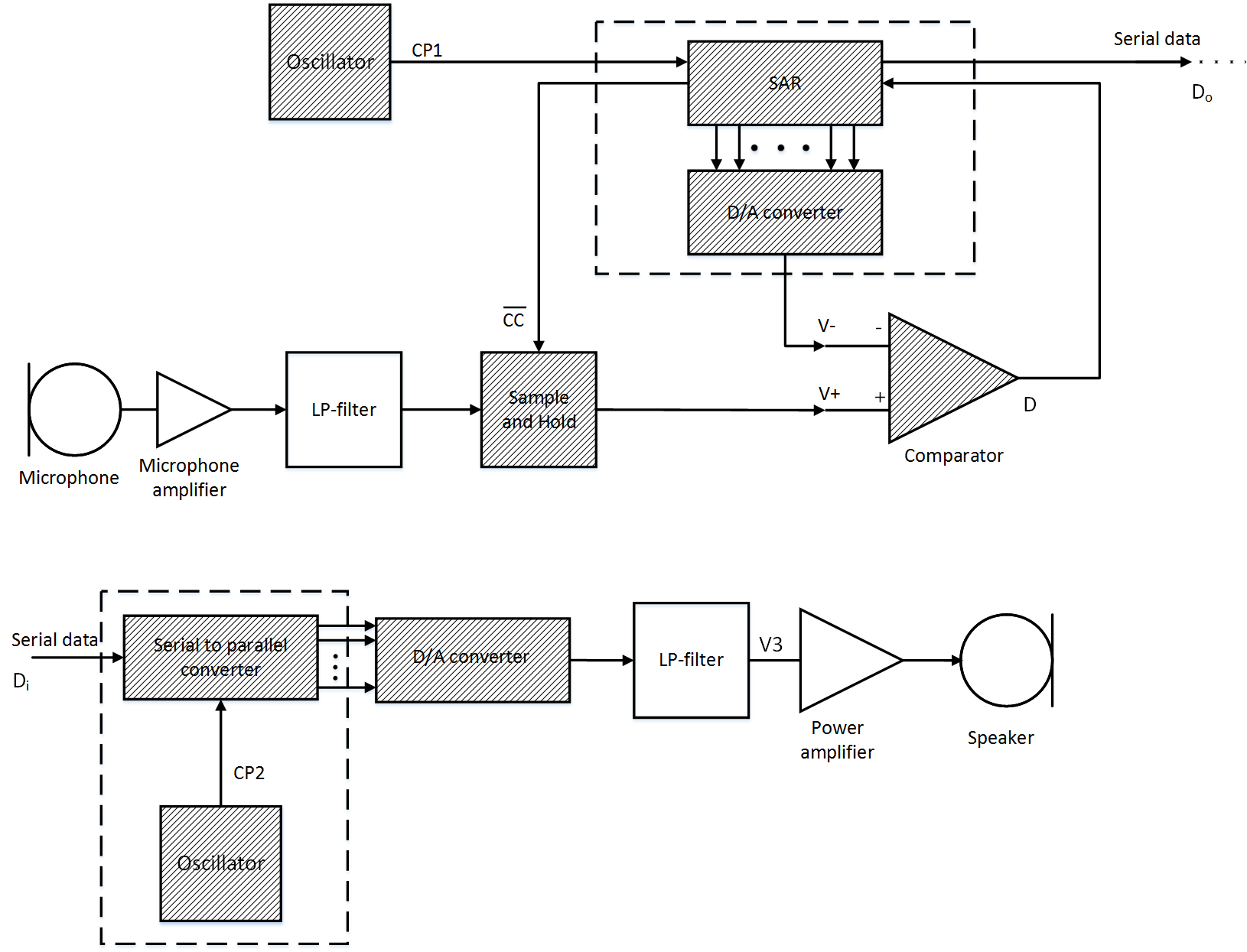
## Redovisning i rapporten

Tillståndsdiagram och VHDL-kod samt tidsdiagram enligt frågorna i förberedelseuppgifterna skall redovisas. Redovisa simulering, uppmätta resultat och skärmbild för A/D-omvandlaren tidsfördröjningen (se Utförande ovan), and compare with the system requirement. Redovisa skärmbild av tidsdiagrammen för , V– och *D*Tx. Mätningar från den seriella överföringen skall också redovisas.



# Laboration nr 4, Seriell överföring

I den fjärde laborationen skall vi studera seriell överföring av en digitaliserad analog AC-signal från en vågformsgenerator och även transmission av ASCII-tecken från ett RS232-kompatibelt kommunikationsprogram på labdatorn.



–

Fig. 4.1: Fjärde laborationens delsystem.

## Sample-and-Hold-krets

Med den typ av A/D-omvandling vi valt så måste den analoga signalen vara konstant under hela omvandlingscykeln. Detta löser vi genom att låta -signalen från SAR-kretsen i A/D-omvandlaren styra en Sample-and-Hold-krets (S/H). Eftersom -signalen är låg då vi vill sampla och hög då vi vill hålla signalen konstant använder vi nedanstående koppling. Resistorn R1\* i figur 4.2 (som inte skall blandas ihop med R1 i tidigare figurer) kopplas inte till V+ (som inte är tillräckligt stabil) utan till VREF = 5.6 V i figur 3.4. Dess värde skall väljas för att ge referensspänningen 2.8 V genom spänningsdelning. This is because we use  as a trigger signal to decide when to sample or hold. In logic 1 is 3.3 V and 0 is 0 V. 2.8 V is an intermediate value between 0 and 3.3 V, and thus can serve as a threshold for the S/H. Explain why 2.8 V is suitable

Vi arbetar med en logik med VLOGIC (Hi State) = 3,3 V. Matningsspänningarna för kretsen LF398 kan vara ±15 V och pinkonfigurationen framgår av figur 4.3. Hållkapacitansen Ch kopplas mot jord och kan typiskt ha värdet 10 nF.

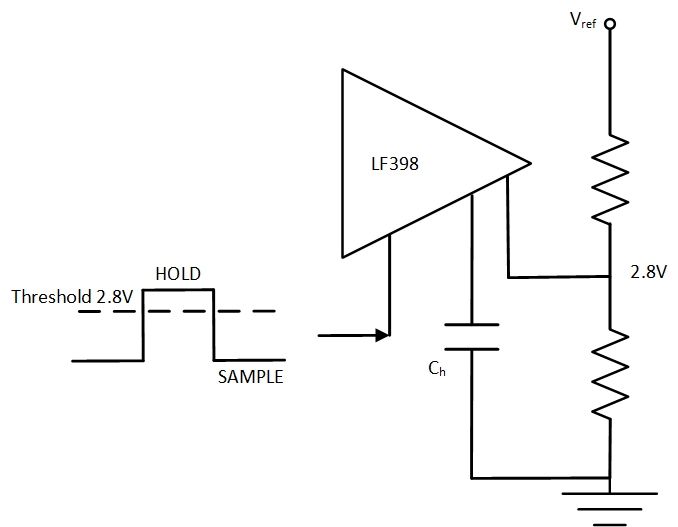


Fig. 4.2. Styrsignaler för S/H-kretsen LF198/398 enligt databladet. threshold should be 1.4 V

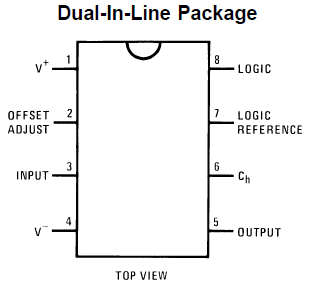


Fig. 4.3. Pinkonfiguration för S/H-kretsen.

## Bipolära signaler

För att kunna omvandla tidsvarierande AC-signaler kan det vara en fördel att låta det analoga inspänningsområdet vara symmetriskt kring 0 V. För D/A-omvandlaren kan vi förskjuta utsignalen genom att introducera en resistor R5 enligt figur 4.4.



Fig. 4.4: Kretsschemat för den analoga delen hos en bipolär D/A-omvandlare.

## Seriell mottagare

Överföringen kommer att ske asynkront och mottagaren måste känna till den datahastighet som vi sänder med. Synkronisering sker genom att mottagaren identifierar övergångarna från stoppbit till startbit. I stopptillståndet ligger utsignalen på logisk 0. Mottagaren känner av när det dyker upp en startbit och startar en sekvens med avläsningar av signalen vid respektive bitperiods mittpunkt. Efter stoppbiten kan mottagaren aktiveras på nytt så fort det kommer en ny startbit. Efter 8 mottagna bitar kan det erhållna dataordet omvandlas till en analog signal. Se exemplet i figur 3.5.

I verkligheten representeras logisk 1 av –8V och 0 av +8V på DE1-kortet. Detta görs automatiskt i kortets drivkretsar, så vi behöver endast bry oss om de logiska nivåerna (0 och 1) i labben.

## Förberedelseuppgifter

4.1 Gör ett kopplingsschema för S/H-kretsen LF398 based on Figure 4.3. Offset-ingången kan vara öppen.

4.2 Beräkna lämpligt värde på resistansen R5 så att omvandlingen omfattar bipolära analoga signaler inom området ±5 V.

4.3 Om du inte redan har gjort det, besvara frågorna på sid 1. Observera att man med protokollet som illustreras i figur 3.5 sänder 8 databitar och (minst) 2 signaleringsbitar för varje dataord.

4.4 Modifiera klockfrekvensen för SAR-kretsen på A/D-omvandlaren så att rätt bittakt enligt föregående uppgift erhålls.

4.5 Rita ett tillståndsdiagram för en 8-bitars seriell till parallell-omvandling där protokollet definieras av RS232-standarden. Tillståndsdiagrammet skall innehålla ett stopptillstånd och ett starttillstånd.

4.6 Konstruera i form av en tillståndsmaskin i VHDL en 8-bitars seriell till parallell-omvandling där protokollet definieras av RS232-standarden. Mottagarens klocksignal skall synkroniseras med startbiten och omvandlaren skall detektera signalvärdet i mitten av respektive bitperiod. Det senast mottagna parallella dataordet skall finnas tillgängligt för A/D-konvertering på kopplingsplattan. För felsökningsändamål presenteras det senaste dataordet presenteras på 8 lysdioder och mottagarens klocka på en annan LED. Definiera FPGA-kretsens pinnkonfiguration i en tabell i separat fil.

4.7 Simulera funktionerna i ModelSim. Visa tidsdiagram för signalerna på in och utgångar under en omvandlingscykel.

4.8 Vilket bitmönster kan man förvänta sig om datorn skickar ASCII-tecknen ’P’ och ’?’ till den aktuella mottagaren? Fyll i dessa bitsekvenser i tabellen under ”Mottagare” nedan.

## Utförande

### Modifikation av sändaren

Koppla upp kretsen LF398 på labplattan och anslut matningsspänningar ±15V. Anslut till den tidigare konstruktionen av A/D-omvandlaren från lab 3 och ladda ned sändarens VHDL-kod. Låt -signalen från SAR-kretsen styra S/H-kretsen (ben 7). Modifiera A/D-omvandlaren så att den omvandlar bipolära signaler inom området ±5V och arbetar med en samplingsfrekvens enligt sid 1. Anslut en triangelvåg med frekvensen 2 kHz och amplituden 10Vpp till ingången (ben 3) på S/H-kretsen och studera dess insignal och utsignal på oscilloskop. Frys oscilloskopbilden med knappen RUN/STOP. Förklara skillnaden mellan S/H-kretsens in- och utsignal.



Om signalen stämmer med den förväntade kan utgången från S/H-kretsen (ben 5) kopplas vidare till ANALOG IN på A/D-omvandlarens komparator. Kontrollera att omvandlingen fungerar för DC-signaler och mät upp det nya sambandet mellan analog insignal och digital utsignal.

Mät utsignalen från A/D-omvandlaren vid olika inställningar på den analoga insignalen:

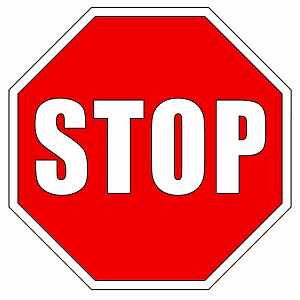
|  |  |  |
| --- | --- | --- |
| Analog in-signal DC (V) | Beräknad digital utsignal | Uppmätt digital utsignal |
| -5 |  |  |
| -2 |  |  |
| -1 |  |  |
| 0 |  |  |
| 1 |  |  |
| 2 |  |  |
| 5 |  |  |

### Hur väl stämmer mätningarna med beräkningarna? Kommentera eventuella avvikelser.

### Mottagare

Vi använder ett RS232-kompatibelt kommunikationsprogram på labdatorerna som sändare för att testa mottagaren. Se till att den inställda datatakten motsvarar 9600 bit/s och anslut datorn med hjälp av den speciella RS232-kabeln som finns i labbet. Se till att den inställda datahastigheten motsvarar 9600 bps, both your VHDL code and computer, och koppla ihop RS232-portarna med hjälp av den modemkabel som finns i labsalen. Testa mottagaren genom att detektera olika utsända ASCII-tecken och mät upp den analoga utspänningen.

|  |  |  |
| --- | --- | --- |
| ASCII-tecken | Mottagen bitsekvens | Uppmätt analog utsignal  (V) |
| P |  |  |
| ? |  |  |
| å |  |  |
| ! |  |  |
| = |  |  |
| A |  |  |



**Checkpoint.** Redovisa funktionen för assistenten. VHDL-delen av laborationen skall nu vara avklarad. Om VHDL-koden inte fungerar som avsett, be assistenten om hjälp. Korrekt kod är en förutsättning för att kommunikationssystemet i lab 6 skall fungera.

–

## Redovisning i rapporten

Tillståndsdiagram och VHDL-kod skall redovisas. Uppmätta resultat avseende utsignaler hos den modifierade A/D-omvandlaren skall redovisas. Mätningar från den seriella överföringen skall redovisas. The calculation of R5, should be presented. The two tables in Utförande should also be presented.

# Laboration nr 5, Audioförstärkare

I den femte laborationen skall vi studera audioförstärkare. Vi skall dels konstruera en mikrofonförstärkare och dels en effektförstärkare för att driva en hörlur eller högtalare.

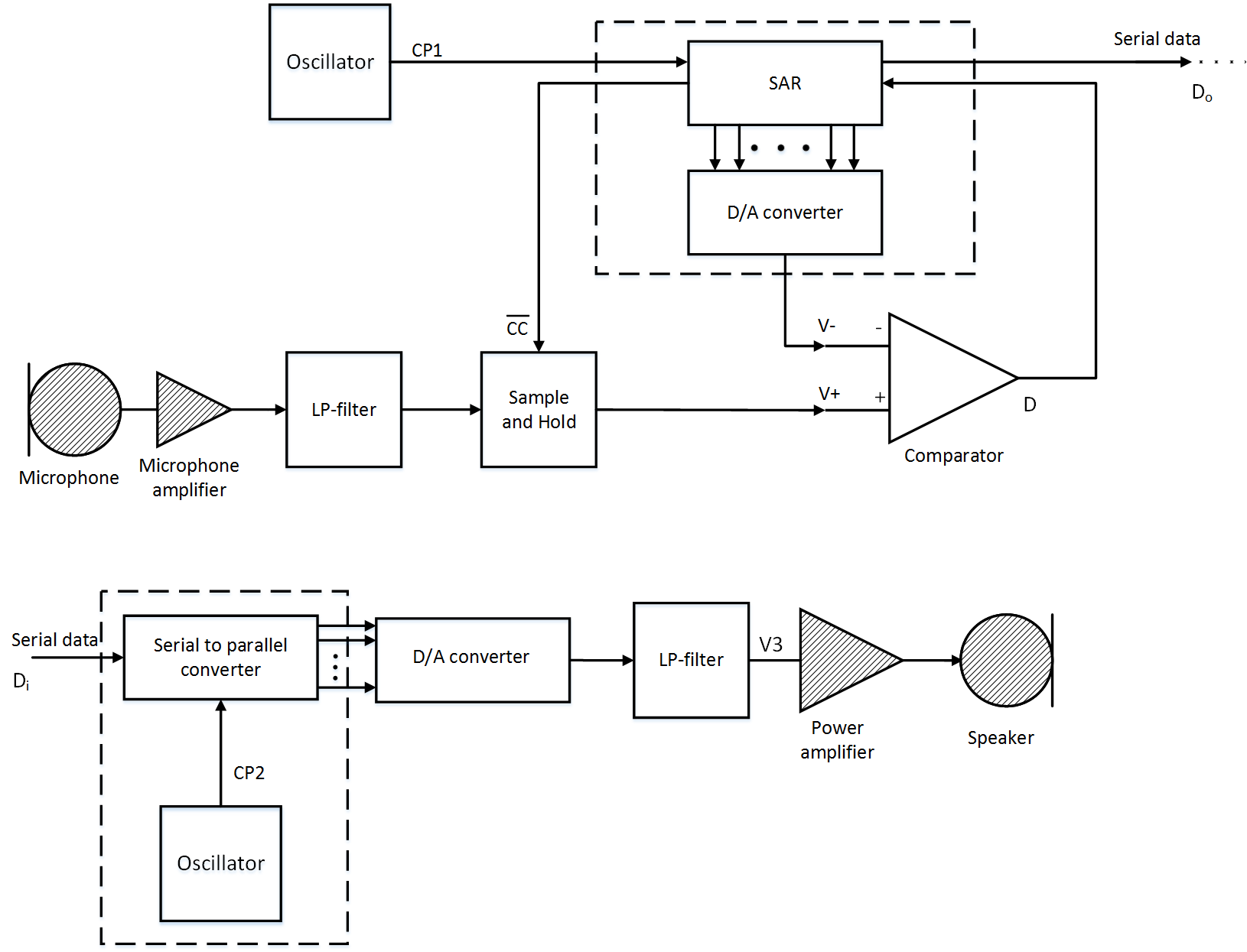


Fig. 5.1. Femte laborationens delsystem.

## Mikrofonförstärkare

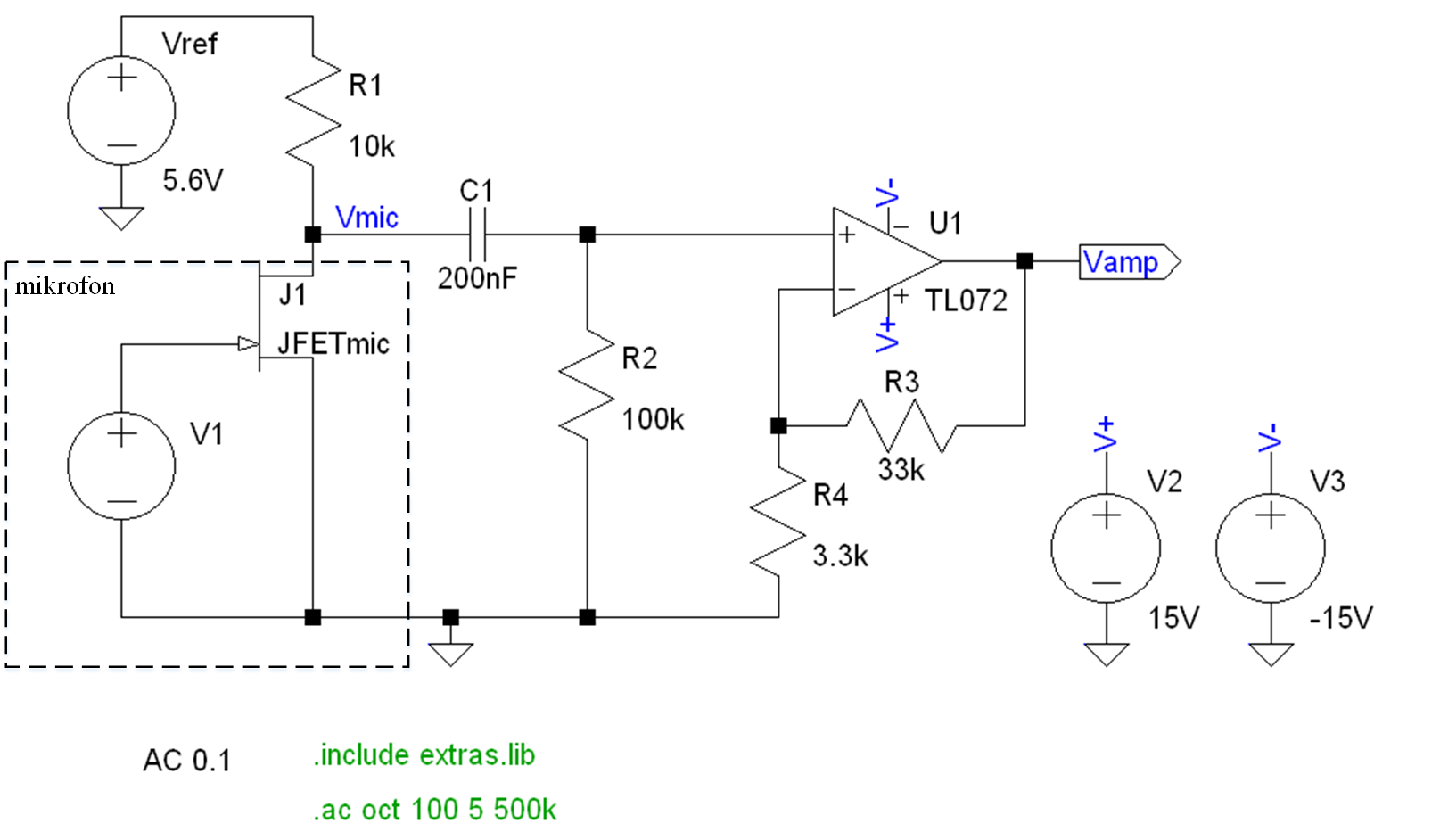
Ett förslag på en enkel mikrofonförstärkare visas i figur 5.2. Mikrofonen är en elektretmikrofon med en inbyggd JFET. En N-kanal JFET har samma ström-spänningskarakteristik som en MOS-transistor av utarmningstyp, d.v.s. med negativ tröskelspänning *V*T. Efter mikrofonen följer en högpasslänk till en icke-inverterande förstärkare. Utsignalen skall ha en maximal amplitud som ryms inom A/D-omvandlarens maximala spänningsintervall på ± 5V. Mikrofonens viloström är ca 0,25 mA vilket innebär att vi kan beräkna IDSS för JFET-transistorn. Eftersom styrepotentialen UGS = 0V kan vi anta att IDSS = viloströmmen = 0,25 mA.

Ljudtrycksnivå eller sound pressure level (SPL) definieras som:

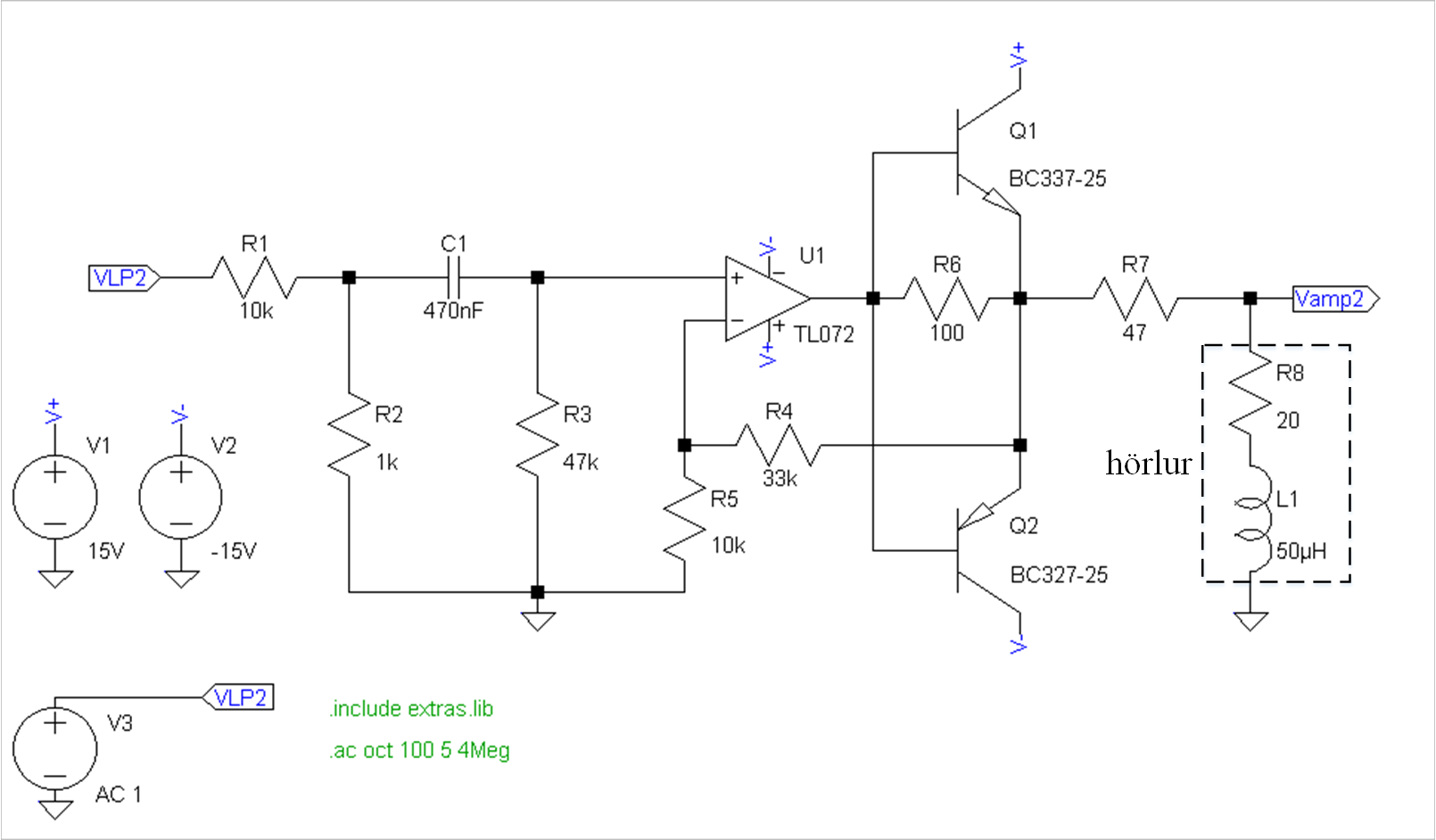


där *p* är ljudtrycket (Pascal (Pa) eller N/m2) och *pref* är ett referenstryck lika med 20 µPa vilket också anses vara en normal hörtröskel vid frekvensen 1000Hz. Ljudtrycket 1 Pa motsvarar 94 dB SPL.

*Specifikationer:* Vid 2 kΩ inimpedans kan en elektretmikrofon typiskt ha en känslighet på –39 dBV/Pa enligt datablad. Maximal utsignal för vår mikrofonförstärkare skall vara ± 5V i amplitud dvs ca 11 dBV, för att utnyttja A/D-omvandlarens fulla omfång.



Figur 5.2. Kretsschema för mikrofonförstärkaren. Mikrofonelementet representeras av en JFET (J1) och ljudvågen av en växelspänningsgenerator (V1). Add dashed rectangle ”mikrofon”



Figur 5.3. Kretsschema för effektförstärkaren. VLP2 representerar LP-filtrets utsignal och stereohörluren representeras av R8 . Remove L1

## Effektförstärkare

Effektförstärkaren är en klass B-förstärkare av push-pull-typ. Operationsförstärkaren TL072 kan inte ge den ström som vi behöver för att driva en högtalare eller en hörtelefon. En hörlur behöver en effekt av ca 10–20 mW och med en impedans på 20 Ω behöver förstärkaren kunna leverera minst 35 mAeff. Kopplingen i figur 5.3 fungerar även utan resistorn *R*6 men då riskerar vi att få övergångsdistortion på grund av att utsignalen från operationsförstärkaren inte hinner med när utgången skall passera 0V. Ingången *V*LP2 är tänkt att använda på signalen som kommer från D/A-omvandlaren efter filtrering. Om man vill lyssna på musik från t.ex. en telefon eller dator, kan man kortsluta R1 så att insignalen går direkt till *C*1, eftersom en typisk audioutgång arbetar vid lägre spänningsnivåer (ca ±0,5 V) än vårt transmissionssystem.

|  |  |
| --- | --- |
|  |  |

Figur 5.4. Pinkonfiguration för effekttransistorna BC337 och BC327.

## Specifikationer

Hörlurar kan typiskt ha känsligheten 100 dB SPL/mW.

## Läsanvisningar

Läs i Molins ”Analog elektronik”, 2009, om fälteffekttransistorer i avsnitt 8.3 och 9.4 samt om effektförstärkare av klass B i avsnitt 14.4.

## Förberedelseuppgifter

5.1 Skriv pin-numren vid varje anslutning på op-förstärkaren och transistorerna i figur 5.3.

5.2 Vilken inimpedans till mikrofonförstärkaren ser mikrofonen?

5.3 Beräkna det högsta ljudtryck i dB SPL som är möjligt utan att A/D-förstärkaren i figur 5.1 blir överstyrd. All students had problems solving this problem. We have to discuss what to do about it. Hint: …

5.4 Beräkna effektförstärkarens teoretiska spänningsförstärkning från *V*LP2 till *V*amp2 (*C*1 kan ignoreras för enkelhets skull).

5.5 Beräkna vilket maximalt ljudtryck i dB SPL vår effektförstärkare ger på en standard hörlur med inimpedansen 20 Ω när insignalen *V*LP2 har amplituden 5V. All students had problems solving this problem. We have to discuss what to do about it. Hint: …

5.6 Simulera mikrofonförstärkaren i Spice. Mikrofonen simuleras med hjälp av transistorn JFETmic, vars karakteristik definieras i filen extras.lib. Mät och beräkna vilospänningen (DC) på mikrofoningången, förstärkarens undre gränsfrekvens och förstärkningen (från*V*mic till *V*amp).

5.7 Simulera effektförstärkaren i Spice. Generera insignalen *V*LP2 som en växelspänning med amplituden 5V och variabel frekvens. Bestäm spänningsförstärkning och gränsfrekvenser. Jämför med beräknat resultat i uppgift 5.4.Studera utseendet på utsignalerna vid frekvensen 1 kHz. Studera signalen över hörluren och bestäm effektförstärkningen (från *V*LP2 till *V*amp2).

## Utförande

### Mikrofonförstärkare

Koppla upp konstruktionen av mikrofonförstärkaren på labplattan och anslut matningsspänningar ±15V till operationsförstärkaren. Spänningsmatningen på 5,6 V till mikrofonen tas från den tidigare gjorda referensspänningen. Börja med att mäta DC-spänningen på mikrofoningången. Beräkna därefter viloströmmen genom mikrofonelementet.

Spänningen på mikrofoningången uppmättes till …….. V

Viloströmmen genom mikrofonen beräknades till …….. mA

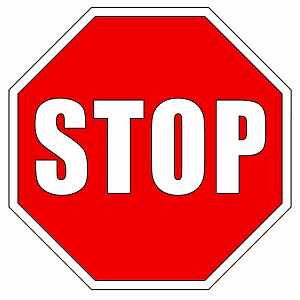
Studera utspänningen på ett oscilloskop och mät upp spänningsnivåer på utgången vid olika placeringar av mikrofonen och olika ljudkäller som tal och buller.

### Effektförstärkare

Koppla upp konstruktionen på kopplingsplattan. Använd operationsförstärkare nr 2 i samma kapsel som användes för mikrofonförstärkaren. Om hörluren har en volymkontroll så skall denna sätta på maximum. Använd funktionsgeneratorn för att koppla in en sinussignal på ingången *V*LP2. Ställ in signalamplituden 5 V (10 VPP) och mät inom frekvensintervallet 1 Hz till 20 kHz med 3 punkter per dekad. Mät därefter noggrannare vid undre gränsfrekvensen. Variera frekvensen och notera vid vilken frekvens signalamplituden sjunkit med 3 dB.

|  |  |  |  |
| --- | --- | --- | --- |
| **Frekvens** | **Insignal** | **Utsignal** | **Förstärkning** |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |

Undre gränsfrekvensen uppmättes till …………… Hz

Lyssna på radio eller musik i telefon eller dator. Kortslut *R*1 och anslut musiken direkt till *C*1. Lyssna dels direkt från telefonen/datorn och dels efter den egna effektförstärkaren. Har ljudet försämrats eller förbättrats?

–

**Checkpoint.** Spela upp ljudet genom effektförstärkaren för assistenten.

## Redovisning i rapporten

Manuella beräkningar och simuleringsresultat från Spice-simuleringarna skall redovisas. Resultat från mätningarna skall redovisas i form av data och plottade kurvor.

# Laboration nr 6, LP-filter och funktionstest

I den sjätte laborationen skall vi bygga LP-filter och funktionstesta hela konstruktionen.

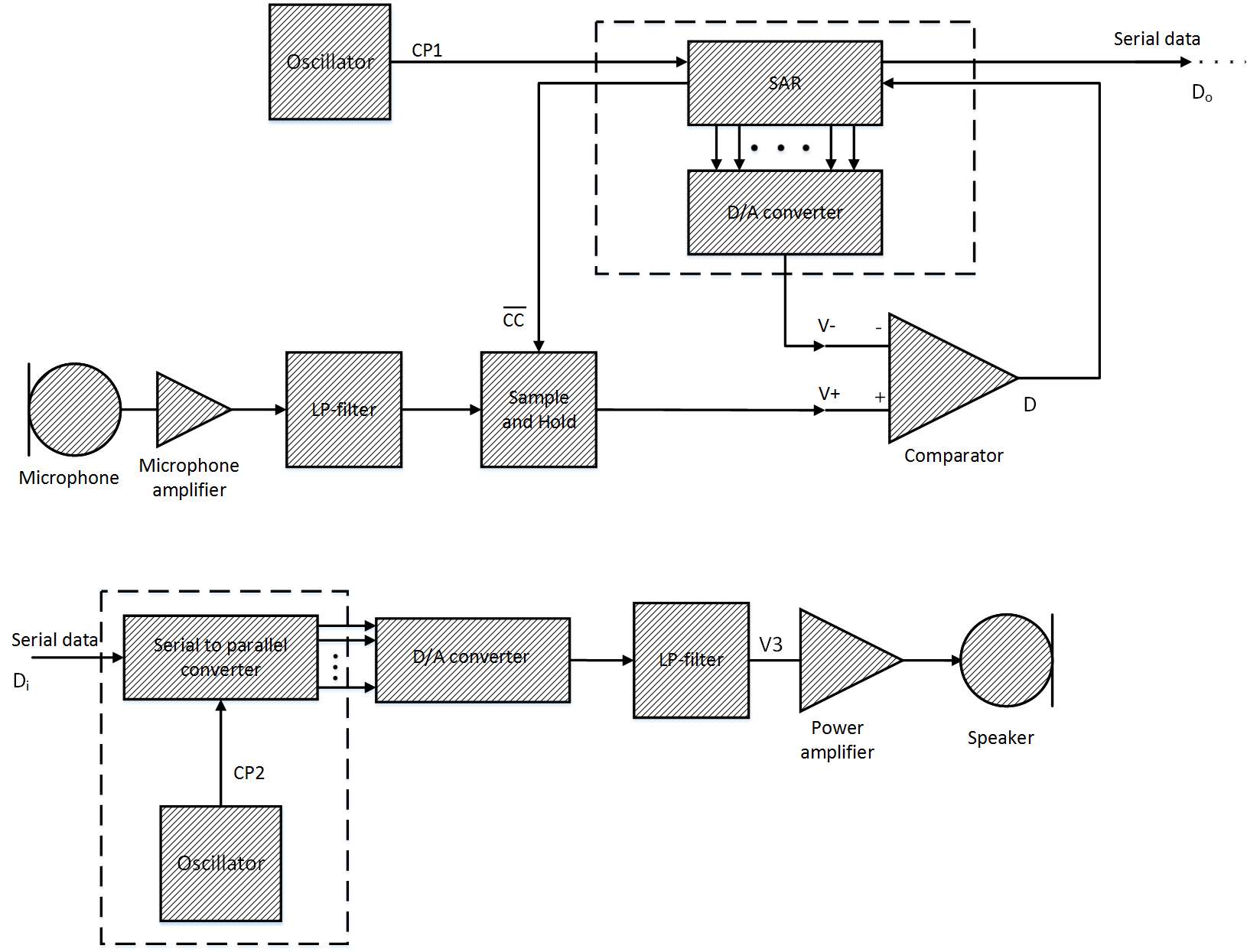


Fig. 6.1. Nu är slutligen alla delsystem markerade.

## LP-filter

Ett aktivt fjärdegrads lågpass Butterworthfilter kan konstrueras genom att kaskadkoppla två Sallen–Key-länkar. Vi skall arbeta med en samplingsfrekvens på drygt 24 kHz (vilket du förhoppningsvis redan har kommit fram till) och behöver därför ett LP-filter med övre gränsfrekvensen på halva samplingsfrekvensen dvs 12 kHz, vilket stämmer med det önskade frekvensomfånget (sid 1).

## Läsanvisningar

Läs om felsökning i Molins ”Analog elektronik”, 2009, avsnitt 4.5.

## Förberedelseuppgifter

6.1 Dimensionera ett fjärdegrads aktivt Butterworth lågpassfilter med gränsfrekvensen 12 kHz. Kaskadkoppla två andragradslänkar med hjälp av kretsen TL072, i vilken båda operationsförstärkarna kan användas. Välj motstånd mellan 1 koch 10 koch kondensatorer mellan 1 nF och 33 nF. (Ledtråd: de två andragradslänkarna skall vara olika!)

6.2 Simulera i Spice och välj lämpliga standardvärden på resistorer ur E12-serien och kapacitanser ur E6-serien. Starta med värden närmast de som beräknats i uppgift 1. Justera komponentvärdena så att frekvenskarakteristiken (Bodediagrammet) blir så nära ett Butterworthfilter som möjligt. Gränsfrekvensen skall vara så nära 12 kHz som möjligt men inte över (varför?) och amplitudkarakteristiken skall vara flat i passbandet.

6.3 Rita ett kopplingsschema för filtret.

6.4 Vad har våra filter för funktion? Vad kan hända om filtren saknas i vår konstruktion?

## Utförande

### LP-filter

Koppla upp konstruktionen på labplattan och anslut matningsspänningar ±15V. Anslut en funktionsgenerator med sinus 10Vpp till ingången och studera både insignal och utsignal på oscilloskop. Mät upp frekvenskarakteristiken för filtret inom frekvensområdet 1 kHz – 30 kHz. Mät därefter noggrannare vid gränsfrekvensen. Variera frekvensen och notera vid vilken frekvens signalamplituden sjunkit med 3 dB. Plotta frekvenskarakteristiken med logaritmiska axlar.

|  |  |  |  |
| --- | --- | --- | --- |
| **Frekvens (kHz)** | **Insignal** | **Utsignal** | **Dämpning (dB)** |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |

Uppmätt gränsfrekvens: …………….. kHz

Byt till fyrkantvåg med frekvensen 6 kHz på funktionsgeneratorn och studera utsignalen på oscilloskop. Beskriv signalen efter filtret, och förklara dina observationer med hjälp av Fourieranalys:

………………………………………………………………………………………………

………………………………………………………………………………………………

### Funktionstest

Samverka med en annan grupp där ena gruppen bygger ett sändarsystem och andra gruppen bygger ett mottagarsystem. Alternativt finns färdigbyggda sändar- och mottagarsystem att låna av handledaren. Sändare och mottagare måste förstås vara inställda på samma datatakt, och denna datatakt skall vara tillräcklig för att stödja audiokommunikation med upplösningen 8 bit/sampel. Se förberedelseuppgift 4.3.

*Sändare:* För A/D-omvandlaren laddas SAR-koden ned till DE1-kortet. Anslut LP-filter och S/H-krets till A/D-omvandlaren. Anslut inte ännu mikrofon och mikrofonförstärkare.

*Mottagare:* Programmera DE1-kortet för serie-till-parallell-omvandling enligt lab 4. Efter D/A-omvandlaren ansluts LP-filtret och därefter effektförstärkaren med hörlurar.

*Mätningar:* Koppla ihop RS232-kontakterna på sändar- och mottagarkort med den tillgängliga specialkabeln (inte den vanliga modemkabeln, som är avsedd för att koppla en dator (DTE) till ett modem (DCE), inte två DCE med varandra). Testa först systemet genom att mata LP-filtret med en variabel DC-spänning. Change the DC voltage randomly such that the receiver is synchronized with the transmitter, then observe the LED displays at both the transmitter and receiver side.

Testa därefter systemet med en sinusvåg med frekvens 1 kHz som insignal.

Vary the amplitude of the input signal in order to determine the minimum amplitude of the transmitter that can be detected by the receiver. Also determine the maximum input such that the output is not distorted.

Utsignalen The output sine signal is distorted at the top and bottom när insignalen är en sinussignal på …………. VPP.

Den minsta insignalamplitud som kan detekteras är …………. mVPP.

Överföringens dynamik (kvoten mellan maximal och minimal amplitud) är ………….. dB.

Observe the signals in oscilloscope at the following places:

1. The output of LP-filter at the transmitter VLP
2. The output of sample-and-hold at the transmitter VSH
3. Input to the LP-filter at the receiver VDA2
4. Output of the LP-filter at the receiver VLP2

Is VLP2 similar to VLP? Why or why not?

Now keep the amplitude of the input signal at the maximal distortion-free value and vary the frequency of the sine wave

Överföringens 3dB-bandbredd är från ………… Hz till ………….. kHz.

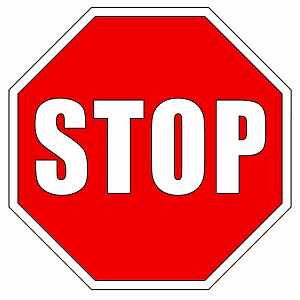
Anslut nu mikrofonen och mikrofonförstärkaren på sändarsidan och lyssna till ljudet i mottagarens hörlur.

Koppla in mikrofonförstärkaren på sändarsidan och lyssna på ljudet i hörtelefonen. Beskriv ljudkvaliteten:

……………………………………………………………………………………………….

Antalet bitar i överföringen kan minskas genom att jorda någon eller några av dataingångarna *A*1–*A*8 på DAC-kretsen i A/D-omvandlaren (figur 3.4) at the receiver side. Exempelvis blir det 6 bitars överföring om de minst signifikanta bitarna *A*7 och *A*8 jordas. Undersök hur ljudkvaliteten försämras om antalet bitar i överföringen minskas. Vilket är det minsta antalet bitar som behövs för att talet skall vara uppfattbart?

……………………………………………………………………………………………….

*I mån av tid:* Undersök även hur ljudkvaliteten påverkas av systemförändringar och fel. (Byt komponentvärden, bottna A/Dn, ändra eller ta bort filter, ta bort *R*6 i figur 5.3, ta bort *C*2 i figur 3.4, ändra samplingstakten etc. Använd fantasin!) Observera förändringar och försök förklara vad som händer teoretiskt.

**Checkpoint.** Visa assistenten hur bra eller dåligt överföringen fungerar.

## Redovisning i rapporten

* Manuella beräkningar och simuleringsresultat från Spice-simuleringarna för filtret
* Simulerad frekvenskarakteristik samt kopplingsschema
* Signalnivåer och kurvformer i de olika gränssnitten
* Uppmätta resultat avseende hela överföringens dynamik och bandbredd
* Resultaten av de experiment som gjorts kring ljudkvalitet och systemförändringar

# Appendix: Kopplingsplint JP1

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Stift # | Signal Name  (User Manual) | På ritningen  (User Manual) | FPGA Pin # | Signal labkort |
| 2 | GPIO\_0[1] | IO\_A1 | PIN\_B13 | A1(MSB) |
| 4 | GPIO\_0[3] | IO\_A3 | PIN\_B14 | A2 |
| 6 | GPIO\_0[5] | IO\_A5 | PIN\_B15 | A3 |
| 8 | GPIO\_0[7] | IO\_A7 | PIN\_B16 | A4 |
| 10 | GPIO\_0[9] | IO\_A9 | PIN\_B17 | A5 |
| 12 | GND | GND |  | Jord |
| 14 | GPIO\_0[11] | IO\_A11 | PIN\_B18 | A6 |
| 16 | GPIO\_0[13] | IO\_A13 | PIN\_B19 | A7 |
| 18 | GPIO\_0[15] | IO\_A15 | PIN\_B20 | A8(LSB) |
| 29 |  | VCC33 |  | 3,3 V |
| 32 | GPIO\_0[27] | IO\_A27 | PIN\_J22 | CP(klockpuls) |
| 34 | GPIO\_0[29] | IO\_A29 | PIN\_K22 | DATA UT |
| 36 | GPIO\_0[31] | IO\_A31 | PIN\_J20 | NCC |
| 38 | GPIO\_0[33] | IO\_A33 | PIN\_K20 | NS |
| 40 | GPIO\_0[35] | IO\_A35 | PIN\_L18 | D0(seriell data) |

|  |  |  |  |
| --- | --- | --- | --- |
|  | Plint sedd uppifrån | |  |
| 1 |  | A1 (MSB) | 2 |
| 3 |  | A2 | 4 |
| 5 |  | A3 | 6 |
| 7 |  | A4 | 8 |
| 9 |  | A5 | 10 |
| 11 |  | Jord | 12 |
| 13 |  | A6 | 14 |
| 15 |  | A7 | 16 |
| 17 |  | A8 | 18 |
| 19 |  |  | 20 |
| 21 |  |  | 22 |
| 23 |  |  | 24 |
| 25 |  |  | 26 |
| 27 |  |  | 28 |
| 29 | 3,3V |  | 30 |
| 31 |  | CP | 32 |
| 33 |  | DATA UT | 34 |
| 35 |  | NCC | 36 |
| 37 |  | NS | 38 |
| 39 |  | D0 | 40 |