
成都理工大学

本科生实验报告

实验课程 数字电路与逻辑设计

学院名称 核技术与自动化工程学院

专业名称 测控技术与仪器

学生姓名 李朝元

学生学号 202306010309

指导教师 钟贞

实验地点 综合实验大楼 431

实验成绩

二〇 年 月 —— 二〇 年 月

数字电子技术实验报告

实验项目：实验一 集成逻辑门的逻辑功能与参数测试

桌号 D04 同次实验者 李朝元、陈谦 实验日期 2024.10.24

成绩

一、实验目的

- 1、了解 TTL、CMOS 与非门电路的主要参数意义和测试方法。
- 2、了解 TTL，CMOS 门电路的基本区别。
- 3、掌握门电路的逻辑功能。

二、实验原理

1、TTL 门电路参数

(1) 低电平输入电流 I_{IL} 。 I_{IL} 是当一个输入端接地，其他输入端悬空时，流向接地端的电流。 I_{IL} 的大小关系到前一级门电路能带动负载的个数。 I_{IL} 太大会使前一级驱动门的负载门个数下降， I_{IL} 太小则影响门电路的正常工作。

(2) 高电平输入电流 I_{IH} 。 I_{IH} 是指当一个输入端接高电平，而其他输入端接地时，流过接高电平输入端的电流，此电流又称为交叉漏电流。它主要由多发射极的漏电流引起，而作为前级门输出为高电平的拉电流。当 I_{IH} 太大时，会使“拉电流”太大，使前级门输出高电平降低。

(3) 输出高电平 V_{OH} 。 V_{OH} 是指与非门至少有一个（以上）输入端接电平时，输出电平的大小。

(4) 输出低电平 V_{OL} 。 V_{OL} 是指与非门的所有输入端接高电平或悬空时，输出电平的大小。 V_{OL} 的大小受外接负载的倒灌电流的影响。

(5) 扇出系数 N_0 。 N_0 表示与非门能驱动的同类型门电路的数目。 N_0 的大小主要受输出低电平时，输入端允许灌入的最大负载电流限制。如果灌入负载电流超过该值，输出低电平将显示提高，造成下级逻辑的错误动作。

(6) 平均传输延迟时间 t_{pd}

t_{pd} 是衡量门电路开关速度的参数，它是指输出波形边沿的 0.5Vm 至输入波形对应边沿 0.5Vm 点的时间间隔，如图 1-1 所示

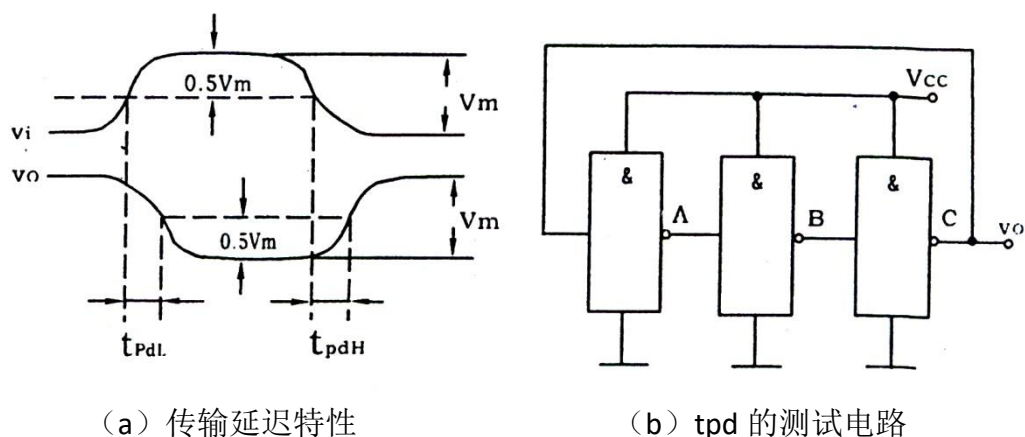


图 1-1

图 1-1 (a) 中的 t_{pdL} 为导通延迟时间, t_{pdH} 为截止延迟时间, 平均传输延迟

$$t_{pd} = \frac{1}{2}(t_{pdL} + t_{pdH})$$

时间为 t_{pd} 的测试电路如图 1-1 (b) 所示, 由于 TTL 门电路的延迟时间较小, 直接测量时对信号发生器和示波器的性能要求较高, 故实验采用测量由奇数个与非门组成的环形振荡器的振荡周期 T 来求得。其工作原理是: 假设电路在接通电源后某一瞬间, 电路中的 A 点为逻辑“1”, 经过三级门的延迟后, 使 A 点由原来的逻辑“1”变为逻辑“0”; 再经过三级门的延迟后, A 点电平又重新回到逻辑“1”。电路中其它各点电平也跟随变化。说明使 A 点发生一个周期的振荡, 必须经过 6 级门的延迟时间。因此平均传输延迟时间为

$$t_{pd} = \frac{T}{6}$$

平均传输延迟时间是衡量门电路开关速度的重要指标

2、CMOS 门电路的主要参数

(1) 输入电流 I_i 。在电路输入端分别接 V_{DD} 和 V_{SS} 时, 流经输入端的电流, 称为电路输入电流, 用 I_i 表示。当输入端接入 V_{DD} 时, 输入电流的方向由 V_{DD} 流向电路内部, 此电流称为 I_{iH} ; 当输入端接 V_{SS} 时, 输入电流的方向由电路内部流向 V_{SS} 端, 此电流称为 I_{iL} 。 I_{iH} 和 I_{iL} 的大小为微安数量级, 一般不进行测量。

(2) 输出逻辑高电平 V_{OH} 。 V_{OH} 是指在规定电流电压下, 输出端不接任何负载, 输入端接地时的输出电压大小。

(3) 输出逻辑低电平 V_{OL} 。 V_{OL} 是指规定的电源电压下, 输出端不计任何负载, 输入端都相同并接高电平时的输出电压的大小。

(4) 输出平均传输延迟时间 t_{pd} 。 t_{pd} 是指输出逻辑状态的变化相对于输出逻辑

状态变化所产生的延迟时间。

3、TTL 和 CMOS 电路的使用常识

a. 电源

对于 TTL 集成电路电源电压来说，其电压值+5V,允许偏差范围在上 $\pm 10\%$ 。

CMOS 电路电源电压适应范围较大，一般为 5-18V。

[注意]：TTL 电路对电源电压要求较严，电源电压 V_{cc} 只允许在+5V $\pm 10\%$ 的范围内工作，超过 5.5V 将损坏器件；低于 4.5V 器件的逻辑功能将不正常。

b. 多余端子的处理

TTL 集成电路输入端悬空，从逻辑功能上讲，端子相当于高电平“1”。但为了避免引起不必要的干扰，对多余端子采取措施。把所有多余端子接“1”电平或将其经 2K-3K Ω 电阻接到电源电压上。也可将多余端子与使用端子并联使用，CMOS 集成电路，它本身输入电阻高，容易引起静电感应，若多余输入端悬空，则会因静电感应使 MOS 管击穿，造成永久性损坏！或因受外界干扰，电路工作极不稳定。因此，对其多余输入端也需采取处理。例如，与门或者与非门的多余输入端应接至 V_{DD} 或高电平；而成门和或非门的多余输入端应与 V_{SS} 或低电平相连，如果电路的工作温度不高，功耗也不需要特别考虑的话，也可将多余输入端与使用端并按。

c. 严禁在接通电源的情况下拆装器件。

三、实验设备

- 1.逻辑实验箱一台
- 2.示波器一台
- 3.数学万用表一台
- 4.TTL 集成电路 74LS20 或 74LS00
- 5.CMOS 集成电路 4011 一片

四、实验内容，结果及分析

1. TTL 门电路的测试

(1) 验证 TTL 集成与非门 74LS20 的逻辑功能

本实验采用四输入双与非门 74LS20，即在一块集成块内含有两个互相独立的与非门，每个与非门有四个输入端。其逻辑框图、符号及引脚排列如图 1-2(a)、(b)、(c) 所示。

(2) 输入电流的测量

将万用表置于电流档，按图 1-4 (a) 和 (b) 所示电路连接，分别测量出 I_{iL} 与 I_{iH} 并记入表 1-2 中。

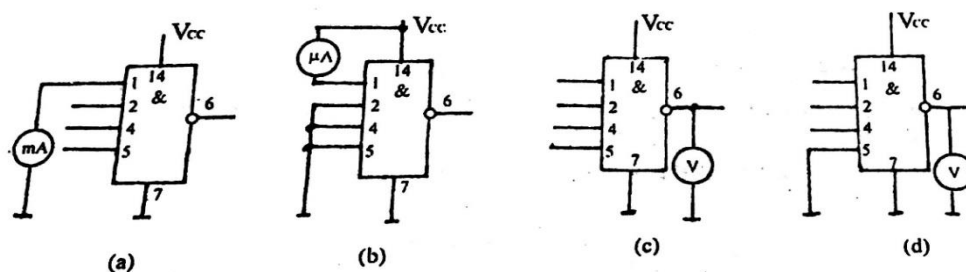


图 1-4 74LS20 输入电流及输出电压测试

表 1-2

引脚	
I_{iL}	
I_{iH}	
判别	

(3) 输出端电压测量

将万用表置于直流电压档(20V 档)先后接入图 1-4(c)和(d)所示电路中，分别测出 V_{oL} 和 V_{oH} 并将结果记入表 1-3 中。

表 1-3

V_{oL}	
V_{oH}	
判别	

(4) 传输延迟时间 t_{pd}

$t_{pd} = \frac{t_{pd1} + t_{pd2} + t_{pd3}}{3}$

其中 t_{pd} 的计算是假设 I、II、III 的平均延迟时间 t_{pd1} 、 t_{pd2} 相同，且 $2(t_{pd1} + t_{pd2} + t_{pd3})$ 等于 $t_{pd1} + t_{pd2} + t_{pd3} + t_{pd1} + t_{pd2} + t_{pd3} = 6t_{pd}$ ，而此值恰好等于周期 T。

则 T 为：
$$T = [(\text{TIME/DIV}) \times 0.2 \mu\text{s} \times \text{峰—峰间所占格数}] + S (\text{PULLXS})$$

图 1—2

图 1—4

2. CMOS 门电路测试

(1) 输出电平的测量

测 V_{oL} 电平，按图 1—5 (a) 所示。集成电路引脚图见图 1—8。并将结果填入表 1—3 中。

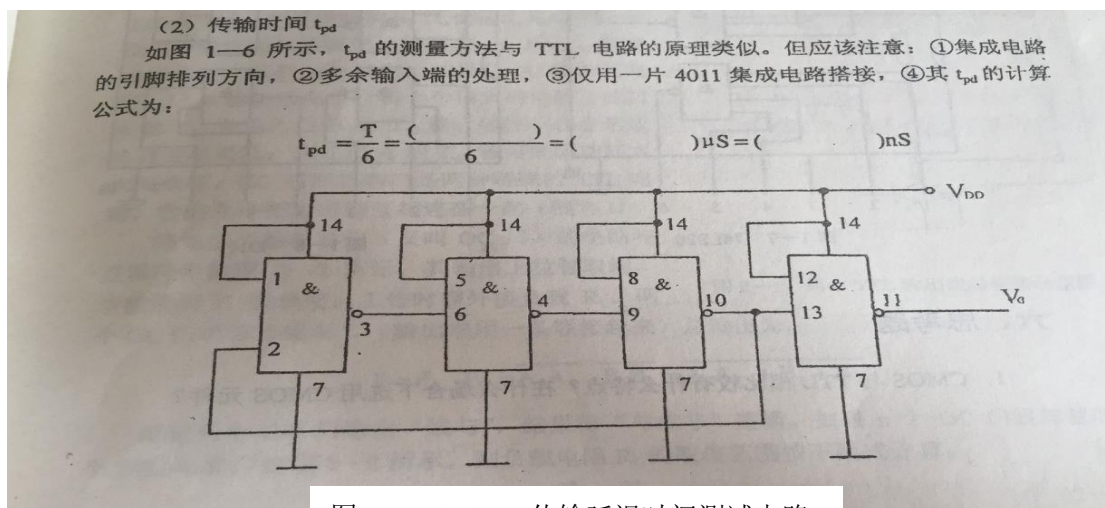


图 1-6 CC4011 传输延迟时间测试电路

t_{pd} 的测试电路如图 1-1 (b) 所示, 集成电路引脚图见图 1-2(c)。检查电路无误时, 接通电源, 用示波器观察 V_o 波形。

$$t_{pd} = \frac{T}{6} = \left(\frac{\quad}{6} \right) = (\quad) \mu s = (\quad) ns$$

2. CMOS 门电路测试

(1) 输出电平的测量

以 CC4011 为例: 测试时, 选好某一个 14P 插座, 插入被测器件, 其输入端 1、2 接逻辑开关的输出插口, 其输出端 Y 接至逻辑电平显示器输入插口, 拨动逻辑电平开关, 逐个测试各门的逻辑功能测 V_o 电平, 按图 1-5 (a) (b) 所示。并将结果填入表 1-4 中。

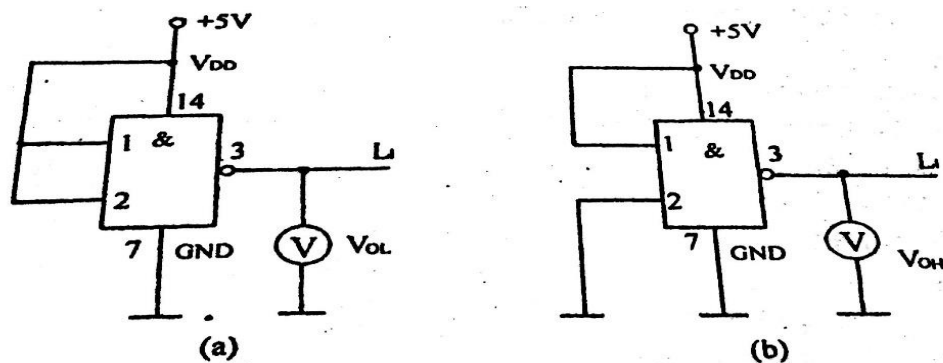


表 1-4

图 1-5 CC4011 输出电压测试

引脚	3	4	10	11
V_{oL}				
V_{oH}				

(2) 传输时间 t_{pd}

如图 1-6 所示， t_{pd} 的测量方法与 TTL 电路的原理类似。但应该注意：①集成电路的引脚排序方向，②多余输入端的处理③仅用一片 CC4011 集成电路搭接④其 t_{pd} 的计算公式为

$$t_{pd} = \frac{T}{6} = \left(\frac{\quad}{6} \right) \mu s = (\quad) ns$$

TTL 和 CMOS 集成电路指标

TTL:

$$V_{oL} \leq 0.35V$$

$$V_{oH} \leq 2.7V$$

$$I_{iL} \leq 1.5mA$$

$$I_{iH} \leq 70 \mu A$$

$$t_{pd} \leq 20ns$$

CMOS:

$$V_{oL} \text{ 接近等于 "0" } V$$

$$V_{oH} \text{ 接近等于电源电压 } V_{DD}$$

$$t_{pd} \leq 250ns$$

五. 实验报告

整理实验结果，比较

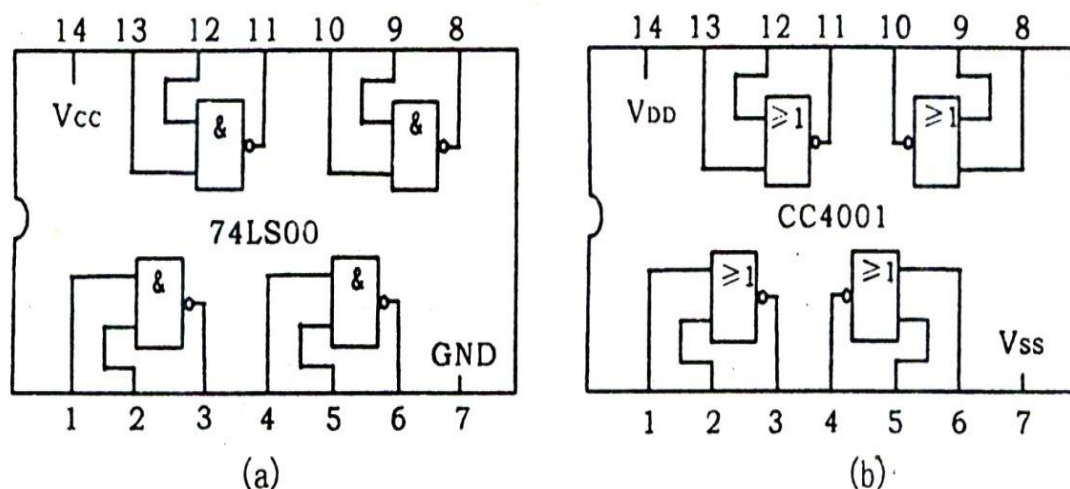


图 1-7 74LS00 与 CC4011 引脚排列图

实验一结果分析:

TTL 门电路 (74LS20)

(1) 功能测试

74LS20 逻辑功能

输入				输出	
A_n	B_n	C_n	D_n	Y_1	Y_2
1	1	1	1	0	0
1	1	1	0	1	1
1	1	0	1	1	1
1	1	0	0	1	1
1	0	1	1	1	1
1	0	1	0	1	1
1	0	0	1	1	1
1	0	0	0	1	1
0	1	1	1	1	1
0	1	1	0	1	1
0	1	0	1	1	1
0	1	0	0	1	1
0	0	1	1	1	1
0	0	1	0	1	1
0	0	0	1	1	1
0	0	0	0	1	1

(2) 输出电压测量

TTL : $V_{OL} = 0.033V$
(74LS20) $V_{OH} = 4.899V$ $t_{pd} = \frac{T}{6} = 14ns$

实验二结果分析:

CMOS 门电路 (CC4011)

(1) 功能测试

CC4011

输入		输出
A_n	B_n	Y
0	0	1
0	1	1
1	0	1
1	1	0

(2) 输出电压测量

CMOS : $V_{OL} = 0.007V$
(4011) $V_{OH} = 5.022V$ $t_{pd} = \frac{T}{6} = 32ns$

(3) 传输时间 t_{pd}

$T_{pd} = T/6 = 32ns$

五、思考题回答

1. CMOS 与 TTL 相比较各有什么特点？在什么场合下用 CMOS 元件？

答：

CMOS 的特点：

- 1) 低功耗：CMOS 技术在静态状态下几乎不消耗电流，只有在切换状态时才会有电流流动，适合于低功耗应用。
- 2) 高集成度：CMOS 能够在较小的芯片面积上集成更多的功能，适合于复杂电路。
- 3) 宽电源电压范围：CMOS 可以在较宽的电源电压范围内工作，通常从 3V 到 15V 不等。
- 4) 抗干扰能力强：CMOS 电路对噪声的抵抗力较强，适合于恶劣环境下的应用。
- 5) 速度相对较慢：相较于 TTL，CMOS 的开关速度较慢，尽管现代 CMOS 技术已大幅提高其速度。

TTL 的特点：

- 1) 较高的切换速度：TTL 电路的切换速度通常比 CMOS 快，适合于高速应用。
- 2) 功耗较高：在静态和动态状态下，TTL 的功耗较大，特别是在大规模集成时。
- 3) 较强的驱动能力：TTL 可以直接驱动多个负载，适合于需要较强输出驱动力的场合。
- 4) 较低的集成度：TTL 的集成度相对较低，比较适合简单逻辑电路。

CMOS 的适用场合：

- 1) 便携式设备：由于其低功耗特性，CMOS 非常适合用于电池供电的便携式设备。
- 2) 集成电路：在需要高集成度和复杂逻辑功能的应用中，如微处理器和 FPGA 等。
- 3) 传感器和无线通信：在需要长时间稳定运行且对功耗要求严格的传感器和无线通信设备中。
- 4) 消费电子产品：如手机、平板电脑等电子产品，CMOS 技术因其低功耗和集成度高而得到广泛应用。

TTL 的适用场合：

- 1) 计算机硬件：早期计算机的中央处理单元（CPU）和内存控制电路。
- 2) 数字信号处理：用于信号采集和数字信号处理模块。
- 3) 工业控制系统：PLC（可编程逻辑控制器）和自动化设备中的控制逻辑。
- 4) 计数器和定时器：设计用于事件计数和时间测量的电路。
- 5) 逻辑门电路：构建基本的与门、或门、非门等逻辑功能。
- 6) 数据转换器：数模转换器（DAC）和模数转换器（ADC）中的信号处理。
- 7) 通信设备：调制解调器、信号调制和解调的控制电路。
- 8) 音频设备：音频信号处理和混音器中的逻辑控制。
- 9) 显示系统：数字显示器（如七段显示器）中的驱动电路。

数字电子技术实验报告

实验项目：实验二 译码器及其应用
桌号 D04 同次实验者 李朝元、陈谦 实验日期 2024.10.31
成绩

一、实验目的

- 1.掌握中规模集成电路 74LS138 三线一八译码器的逻辑功能及其测试方法。
- 2.了解 74LS138 在组合逻辑电路中的简单应用。

二、实验原理

译码器是一个多输入、多输出的组合逻辑电路。它的作用是把给定的代码进行“翻译”，变成相应的状态，使输出通道中相应的一路有信号输出。译码器在数字系统中有广泛的用途，不仅用于代码的转换、终端的数字显示，还用于数据分配，存储器寻址和组合控制信号等。

以 3 线—8 线译码器 74LS138 为例进行分析，图 2-1（a）、（b）分别为其逻辑图及引脚排列。

其中 A_2 、 A_1 、 A_0 为地址输入端， $\bar{Y}_0 \sim \bar{Y}_7$ 为译码输出端， S_1 、 \bar{S}_2 、 \bar{S}_3 为使能端。实验时可将 A_2 、 A_1 、 A_0 分别接在逻辑电平开关 $K_1K_2K_3$ 上， S_1 、 \bar{S}_2 、 \bar{S}_3 可接在逻辑电平开关上，按动装置 $K_1K_2K_3$ 在上位（1）或下位（0）。译码输出 $\bar{Y}_0 \sim \bar{Y}_7$ 可接指示灯 $L1 \sim L8$ 。

表 2-1 为 74LS138 功能表

当 $S_1=1$ ， $\bar{S}_2+\bar{S}_3=0$ 时，器件使能，地址码所指定的输出端有信号（为 0）输出，其它所有输出端均无信号（全为 1）输出。当 $S_1=0$ ， $\bar{S}_2+\bar{S}_3=X$ 时，或 $S_1=X$ ， $\bar{S}_2+\bar{S}_3=1$ 时，译码器被禁止，所有输出同时为 1。

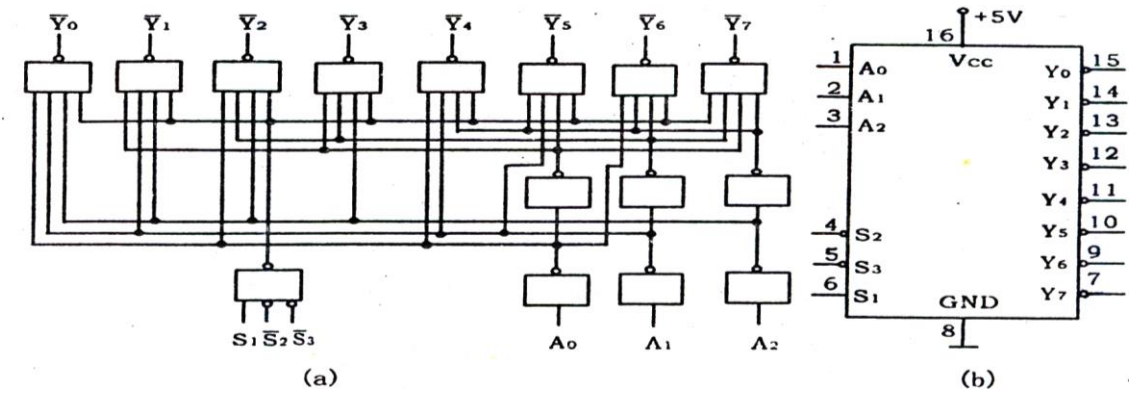


图 2-1 3—8 线译码器 74LS138 逻辑图及引脚排列

表 2-1

输入					输出							
S_1	$\overline{S_2} + \overline{S_3}$	A_2	A_1	A_0	$\overline{Y_0}$	$\overline{Y_1}$	$\overline{Y_2}$	$\overline{Y_3}$	$\overline{Y_4}$	$\overline{Y_5}$	$\overline{Y_6}$	$\overline{Y_7}$
1	0	0	0	0	0	1	1	1	1	1	1	1
1	0	0	0	1	1	0	1	1	1	1	1	1
1	0	0	1	0	1	1	0	1	1	1	1	1
1	0	0	1	1	1	1	1	0	1	1	1	1
1	0	1	0	0	1	1	1	1	0	1	1	1
1	0	1	0	1	1	1	1	1	1	0	1	1
1	0	1	1	0	1	1	1	1	1	1	0	1
1	0	1	1	1	1	1	1	1	1	1	1	0
0	×	×	×	×	1	1	1	1	1	1	1	1
×	1	×	×	×	1	1	1	1	1	1	1	1

1. 数据分配器

利用使能端中的一个输入端输入数据信息，器件就成为一个数据分配器（又称多路分配器），如图 2-2 所示。

若在 S_1 输入端输入数据信息， $\overline{S_2} = \overline{S_3} = 0$ ，地址码所对应的输出是 S_1 数据信息的反码；若从 $\overline{S_2}$ 端输入数据信息，令 $S_1=1$ 、 $\overline{S_3}=0$ ，地址码所对应的输出就是 $\overline{S_2}$ 端数据信息的原码。若数据信息是时钟脉冲，则数据分配器便成为时钟脉冲分配器。

根据输入地址的不同组合译出唯一地址，故可用作地址译码器。接成多路分配器，可将一个信号源的数据信息传输到不同的地点。

2. 实现逻辑函数

如图 2-3 所示，实现的逻辑函数是：

$$Z = \overline{A}\overline{B}\overline{C} + \overline{A}B\overline{C} + A\overline{B}\overline{C} + ABC$$

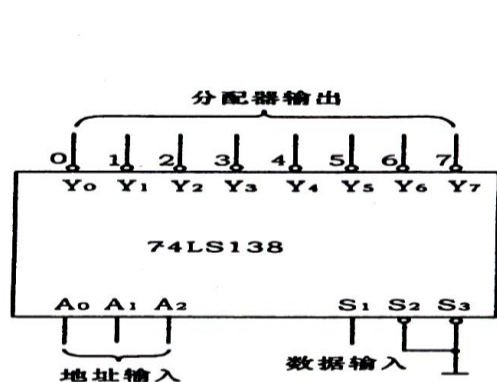


图 2-2 作数据分配器

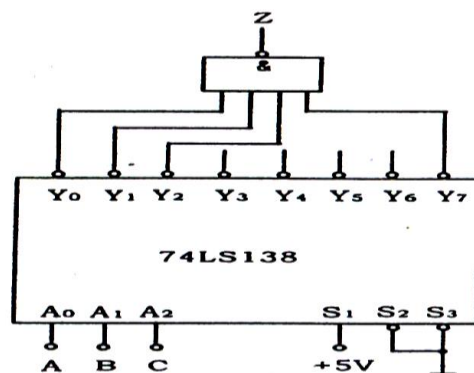


图 2-3 实现逻辑函数

利用使能端能方便地将两个 3/8 译码器组合成一个 4/16 译码器，如图 6-4 所示。

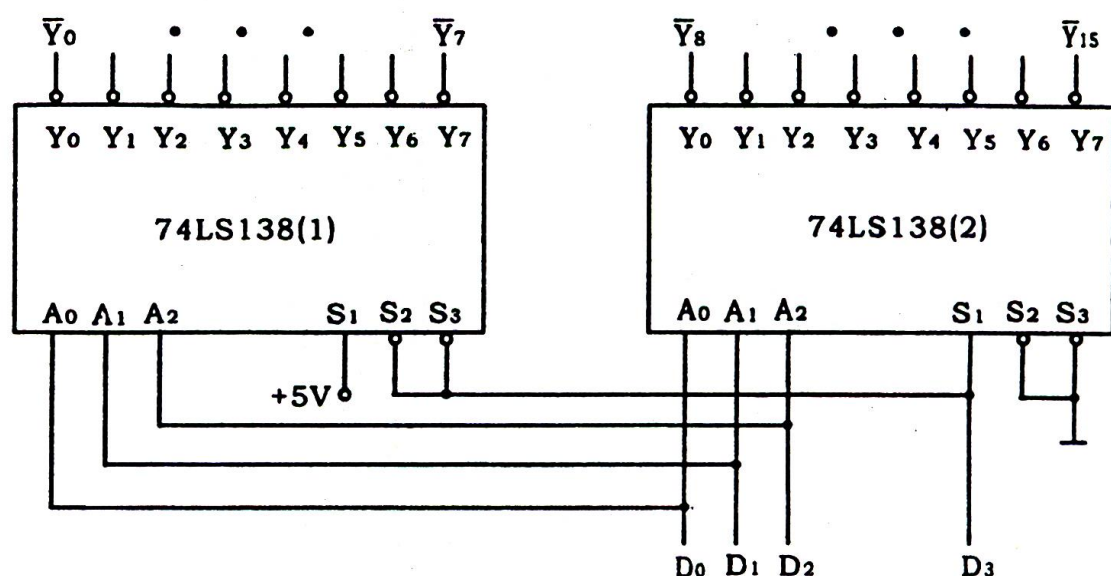


图 2-4 用两片 74LS138 组合成 4—16 译码器

三、实验设备和器件

1. +5V 直流电源
2. 双踪示波器
3. 连续脉冲源
4. 逻辑电平开关
5. 逻辑电平显示器
6. 拨码开关组
7. 译码显示器
8. 74LS138×2

四、实验内容

1. 译码器逻辑功能测试

将译码器使能端 S_1 、 \bar{S}_2 、 \bar{S}_3 及地址端 A_2 、 A_1 、 A_0 分别接至逻辑电平开关输出口，八个输出端 $\bar{Y}_7 \cdots \bar{Y}_0$ 依次连接在逻辑电平显示器的八个输入口上，拨动逻辑电平开关，按表 2-1 逐项测试 74LS138 的逻辑功能。

2. 时序脉冲分配器

参照图 2—2 和实验原理说明，时钟脉冲 CP 频率约为 10KHz，要求分配器输出端 $\bar{Y}_0 \cdots \bar{Y}_7$ 的信号与 CP 输入信号同相。

画出分配器的实验电路，用示波器观察和记录在地址端 A_2 、 A_1 、 A_0 分别取 000~111 八种不同状态时 $\bar{Y}_0 \cdots \bar{Y}_7$ 端的输出波形，注意输出波形与 CP 输入波形之间的相位关系，并记录波形。

表 2-2 时钟分配器波形表

A ₂	A ₁	A ₀	CP	
0	0	0	Y ₀	
0	0	1	Y ₁	
0	1	0	Y ₂	
0	1	1	Y ₃	
1	0	0	Y ₄	
1	0	1	Y ₅	
1	1	0	Y ₆	
1	1	1	Y ₇	

3.实现一组组合逻辑函数

由译码器 74LS138 和 “与非门” 可以产生一组组合逻辑电路。请用四个四输入 “与非门” 74LS20 和 74LS138 实现下列组合逻辑函数。电路自行设计，并按表 2-3 验证逻辑功能。

$$\begin{cases} Z_1 = \overline{A}BC + A\overline{B}C \\ Z_2 = BC + \overline{A}C \\ Z_3 = AB + \overline{A}\overline{B}C \\ Z_4 = \overline{A}BC + \overline{B}C \end{cases}$$

表 2-3

A B C	Z ₁	Z ₂	Z ₃	Z ₄
0 0 0				
0 0 1				
0 1 0				
0 1 1				
1 0 0				
1 0 1				
1 1 0				
1 1 1				

4. 用两片 74LS138 组合成一个 4 线—16 线译码器，并进行实验。

五、实验预习要求

1. 复习有关译码器和分配器的原理。
2. 根据实验任务，画出所需的实验线路及记录表格。

实验一结果分析:

(1) 74LS138 逻辑功能的测试

1. 译码器逻辑功能测试

S_1	$S_2 + S_3$	A_2	A_1	A_0	输出	$\overline{Y_0}$	$\overline{Y_1}$	$\overline{Y_2}$	$\overline{Y_3}$	$\overline{Y_4}$	$\overline{Y_5}$	$\overline{Y_6}$	$\overline{Y_7}$
1	0	0	0	0	0	1	1	1	1	1	1	1	1
1	0	0	0	1	1	0	1	1	1	1	1	1	1
1	0	0	1	0	1	1	0	1	1	1	1	1	1
1	0	0	1	1	1	1	1	0	1	1	1	1	1
1	0	1	0	0	1	1	1	1	0	1	1	1	1
1	0	1	0	1	1	1	1	1	0	1	1	1	1
1	0	1	1	0	1	1	1	1	1	0	1	1	1
1	0	1	1	1	1	1	1	1	1	1	0	1	1
0	X	X	X	X	1	1	1	1	1	1	1	1	0
X	1	X	X	X	1	1	1	1	1	1	1	1	1

根据实验模块上 LED 指示灯得出实验结果与逻辑输出一致, 74LS138 功能正常

实验二结果分析:

2. 实现组合逻辑函数

$$Z_1 = A'BC + AB'C$$

$$Z_2 = ABC + A'BC + A'B'C$$

$$Z_3 = ABC + ABC' + A'B'C$$

$$Z_4 = A'BC' + AB'C' + A'B'C'$$

3. 时序脉冲分配器

A	B	C	Z_1	Z_2	Z_3	Z_4
0	0	0	0	0	0	1
0	0	1	0	0	0	0
0	1	0	0	0	0	0
0	1	1	0	0	0	0
1	0	0	0	0	0	0
1	0	1	1	0	0	0
1	1	0	0	1	0	0
1	1	1	1	1	1	0

实验三结果分析:

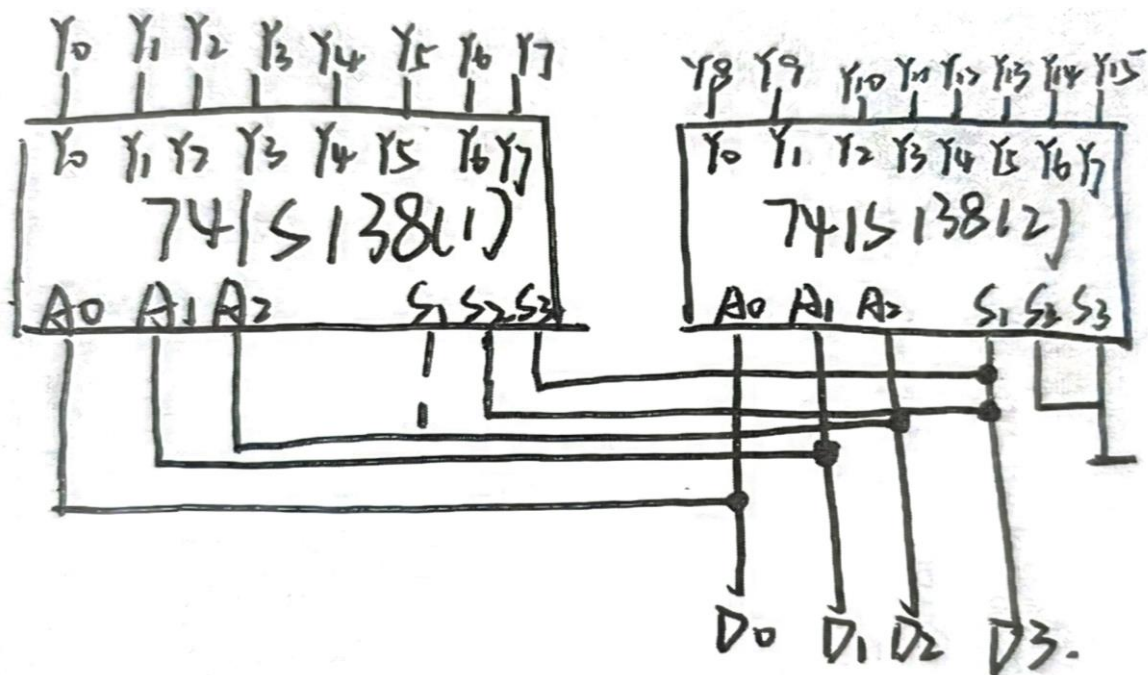
时序脉冲分配器

3. 时序脉冲分配器

A_2	A_1	A_0	CP	输出
0	0	0	Y_0	($Y_0 - Y_7$ 为 "1")
0	0	1	Y_1	($Y_0, Y_2 - Y_7$ 为 "1")
0	1	0	Y_2	($Y_0, Y_1, Y_3 - Y_7$ 为 "1")
0	1	1	Y_3	($Y_0 - Y_2, Y_4 - Y_7$ 为 "1")
1	0	0	Y_4	($Y_0 - Y_3, Y_5 - Y_7$ 为 "1")
1	0	1	Y_5	($Y_0 - Y_4, Y_6 - Y_7$ 为 "1")
1	1	0	Y_6	($Y_0 - Y_5, Y_7$ 为 "1")
1	1	1	Y_7	($Y_0 - Y_6$ 为 "1")

七、思考题

1. 如果将 74LS138 扩展成 4 线-16 线译码器，画出扩展后的电路图。



2. 比较 74LS138 和 T331 (4 线-10 线) 译码器在电路结构和性能上的异同点？

1) . 电路结构

74LS138: 是一个 3 线-8 线译码器，具有 3 个输入端 (A_2, A_1, A_0)，可选择 8 条输出线 (Y_0-Y_7)。具有使能输入 (G_1, G_2A, G_2B)，可以控制译码器的启用状态。输出为低电平有效，只有一个输出为低电平，其余为高电平。

T331: 是一个 4 线-10 线译码器。具有 4 个输入端 (A_3, A_2, A_1, A_0)，可选择 10 条输出线 (Y_0-Y_9)。通常也有使能输入，具体取决于型号。输出形式可能是高电平有效或低电平有效，需根据具体型号确认。

2) . 性能

74LS138: 响应时间较快，适用于高速应用。低功耗，适合多种数字电路。适用于较简单的逻辑电路，需要的输入线较少。

T331: 通常适用于需要更多输出的应用，能提供 10 个输出。响应时间可能会稍慢，具体取决于设计和工艺。适用于更复杂的逻辑电路，可以处理更多的输入组合。

若将图 6-1 稍加改动, 即将低位触发器的 Q 端与高一位的 CP 端相连接, 即构成了一个 4 位二进制减法计数器。

输入脉冲数		0	1	2	3	4	5	6	7	8	9
输出	Q ₃	0	0	0	0	0	0	0	0	1	1
	Q ₂	0	0	0	0	1	1	1	1	0	0
	Q ₁	0	0	1	1	0	0	1	1	0	0
	Q ₀	0	1	0	1	0	1	0	1	0	1

(2) 74LS161 是常用的四位二进制可预置的同步加法计数器，他可以灵活的运用在各种数字电路，以及单片机系统种实现分频器等很多重要的功能。它是具有异步清零、同步计数的十六进制计数器。

其引脚排列及逻辑符号如图 6-3 所示。

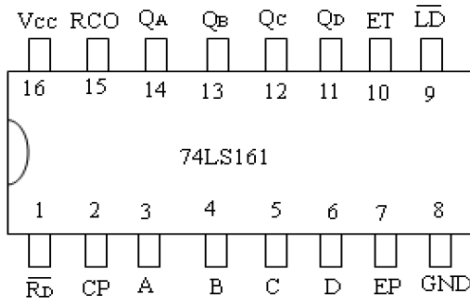


图 6-3 74LS161 引脚排列

管脚符号说明：电源正端 V_{cc} ，接+5V；异步置零（复位）端 R_d ；时钟脉冲 CP ；预置数控制端 A 、 B 、 C 、 D ；数据输出端 QA 、 QB 、 QC 、 QD ；进位输出端 RCO ；使能端 EP ， ET ；预置端 \overline{LD} ；

该计数器由于内部采用了快速进位电路，所以具有较高的计数速度。各触发器翻转是靠时钟脉冲信号的正跳变上升沿来完成的。时钟脉冲每正跳变一次，计数器内各触发器就同时翻转一次，74LS161 的功能表如表 6-4 所示：

表 6-4 74LS161 功能表

输 入									输 出			
$\overline{R_d}$	\overline{LD}	ET	EP	CP	A	B	C	D	QA	QB	QC	QD
L	x	x	x	x	x	x	x	x	L	L	L	L
H	L	x	x	↑	a	b	c	d	a	b	c	d
H	H	H	H	↑	x	x	x	x	计 数			
H	H	L	x	x	x	x	x	x	保 持			
H	H	x	L	x	x	x	x	x	保 持			

3. 计数器的功能扩展

为了扩大计数器范围，常用多个计数器级联使用。

同步计数器往往设有进位（或借位）输出端，故可选用其进位（或借位）输出信号驱动下一级计数器。

图 6-4 是由 CC40192 利用进位输出 \overline{CO} 控制高一位的 CP_U 端构成的加计数级联图。

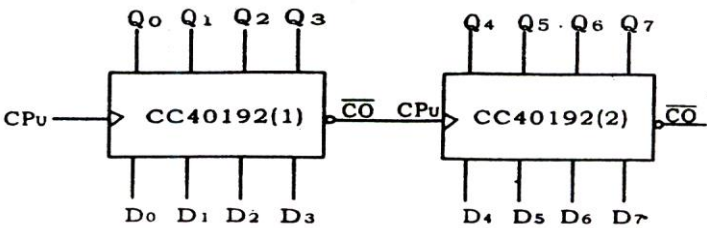


图 6-4 CC40192 的功能扩展级联电路

图 6-5 是由 74LS161 利用进位输出 \overline{CO} 控制高一位的 CP_U 端构成的加计数级联图。

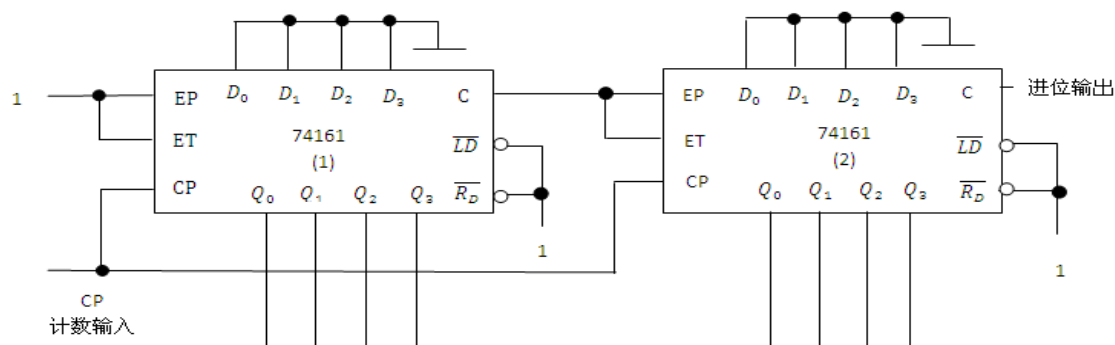


图 6-5 74161 的功能扩展级联电路

原理：低位片的输出 C 作为高位片的 $EPET$ 输入；最低位片的 $EPET$ 恒为 1 始终处于计数工作状态。（例如当低位片计数值为 1001，且 $C=1$ 时，则高位片 $EPET$ 等于 1，当下一个 $CP \uparrow$ 到达时，高位片计数加 1，低位片计成 0000， C 端变为 0。）

4. 实现任意进制计数

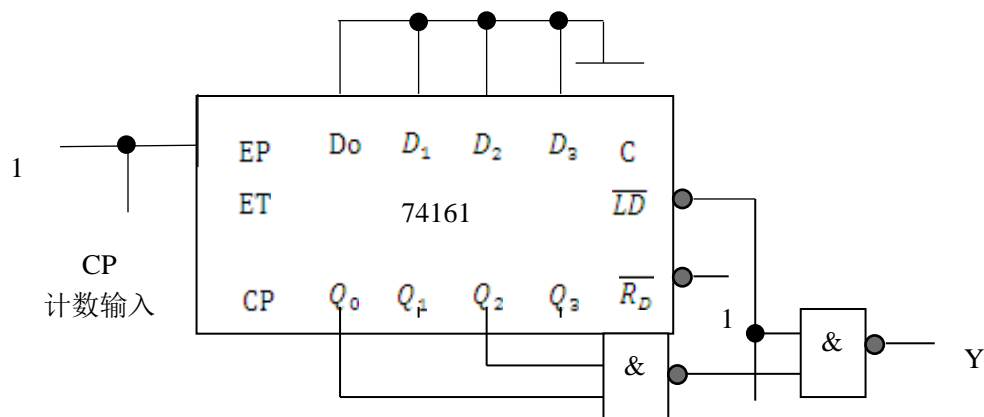
目前集成计数器产品的模多为二、十进制及十六进制。在需要其它任意一种进制的计数器时，只能用已有计数器产品外加适当电路连接而成。采用异步复位及置数，复/置数不等于进位条件，有不稳定状态出现，一般不采用。采用同步复位置数的方法，复/置数等于进位条件，消除了不稳定状态。已有集成计数器的模为 N ，而需要得到一个模为 M 的计数器。

(1) $M < N$

只需一片 N 进制计数器，例如：构成六进制计数器。一般采用预置端置数法

A、预置端复位法

预置端复位法是取前 M 个状态构成模为 M 的计数器。如图 6-6 所示为一个由 74161 构成的 M 为 6 的计数器。



(a) 逻辑图

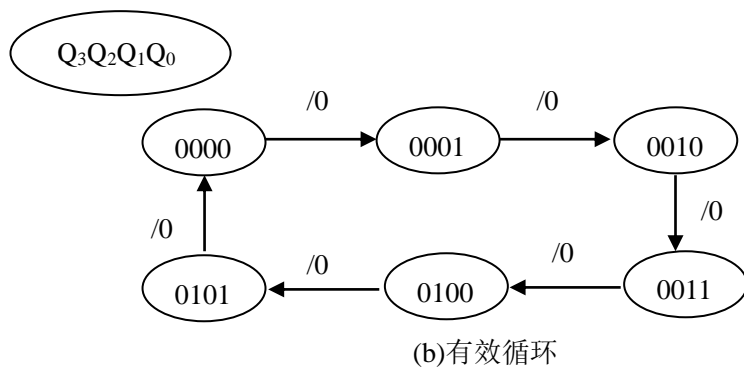


图 6-6 预置复位法构成模为 M 的计数器

B、预置任意数

采用预置的办法，可以预置任意的数 D 从而跳越 N-M 个状态得到模为 M 的计数器。

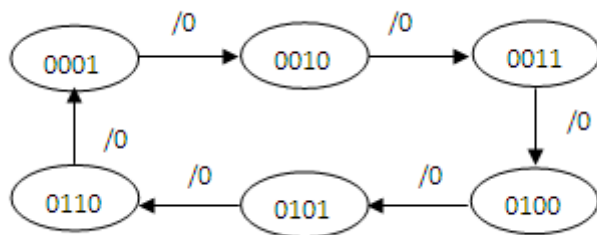
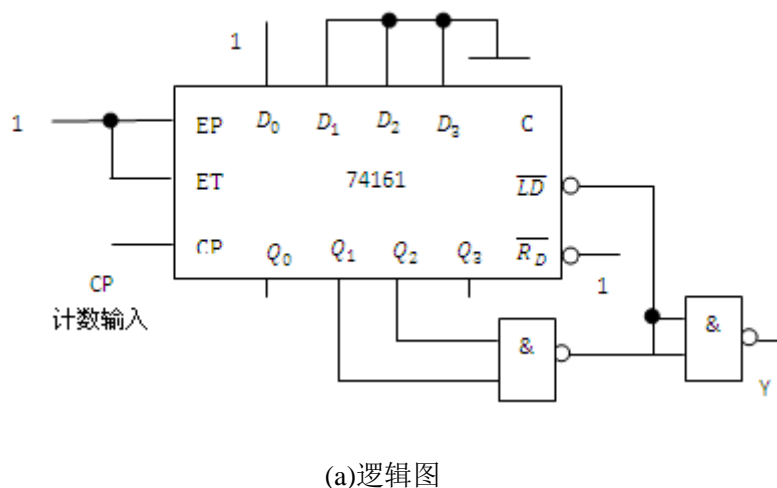
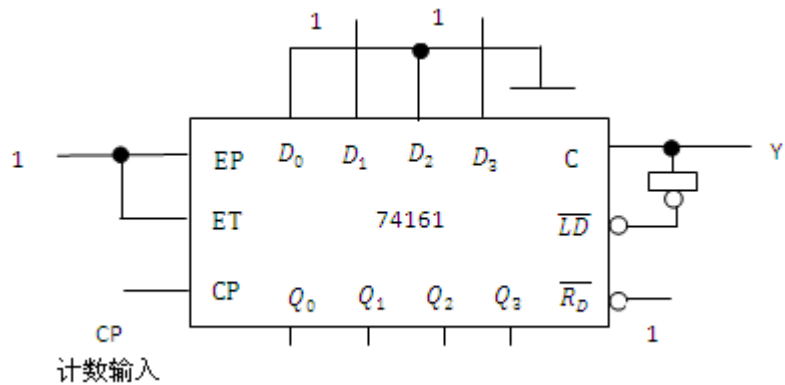


图 6-7 预置任意数构成模为 M 的计数器

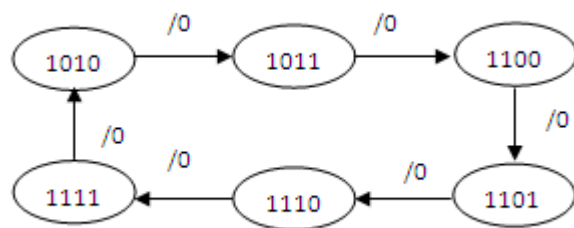
C、进位输出端预置法

利用进位输出端作为预置条件，预置数 $D=N-M$ ，计数从 D (N-M) 到 N，构成模为 M 的计数器。

预置数 $D=16-6=10$ (1010)



(a)逻辑图



(b)有效循环

图 6-8 进位输出端预置法构成模为 M 的计数器

(2) $M > N$

此时必须用多片 N 进制计数器才能构成模为 M 的计数器。

A、 $M = \prod M_i$

将 M 分解为 $M_i (< N)$, 再级联扩展构成 $M = \prod M_i$ 计数器, 如图 6-9 所示, $M_1 = 7$ 、 $M_2 = 9$, 则 $M = M_1 M_2 = 63$

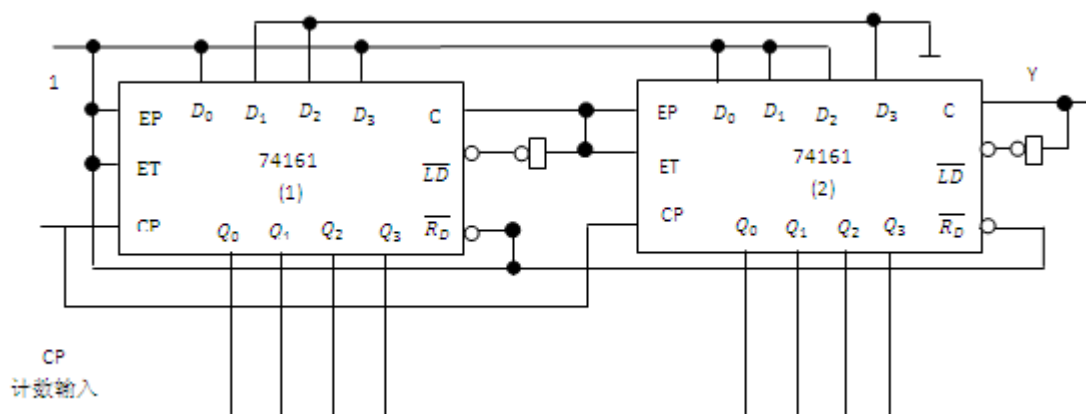


图 6-9 用 $\prod M$ 法构成模为 M 的计数器

B、整体预置法

当 M 为大于 N 的素数时, 不能分解为 $\prod M_i$ 时, 就必须采取整体置零法和整体置数法。

例如构成 $M=83$ 的计数器，如图 (a) 采用整体置零法，由低位片 (1) 和高位片 (2) 构成计数状态由 0 至 82 的计数器。(b) 采用整体置数法，计数状态由 173 到 255， $M=83$ 。

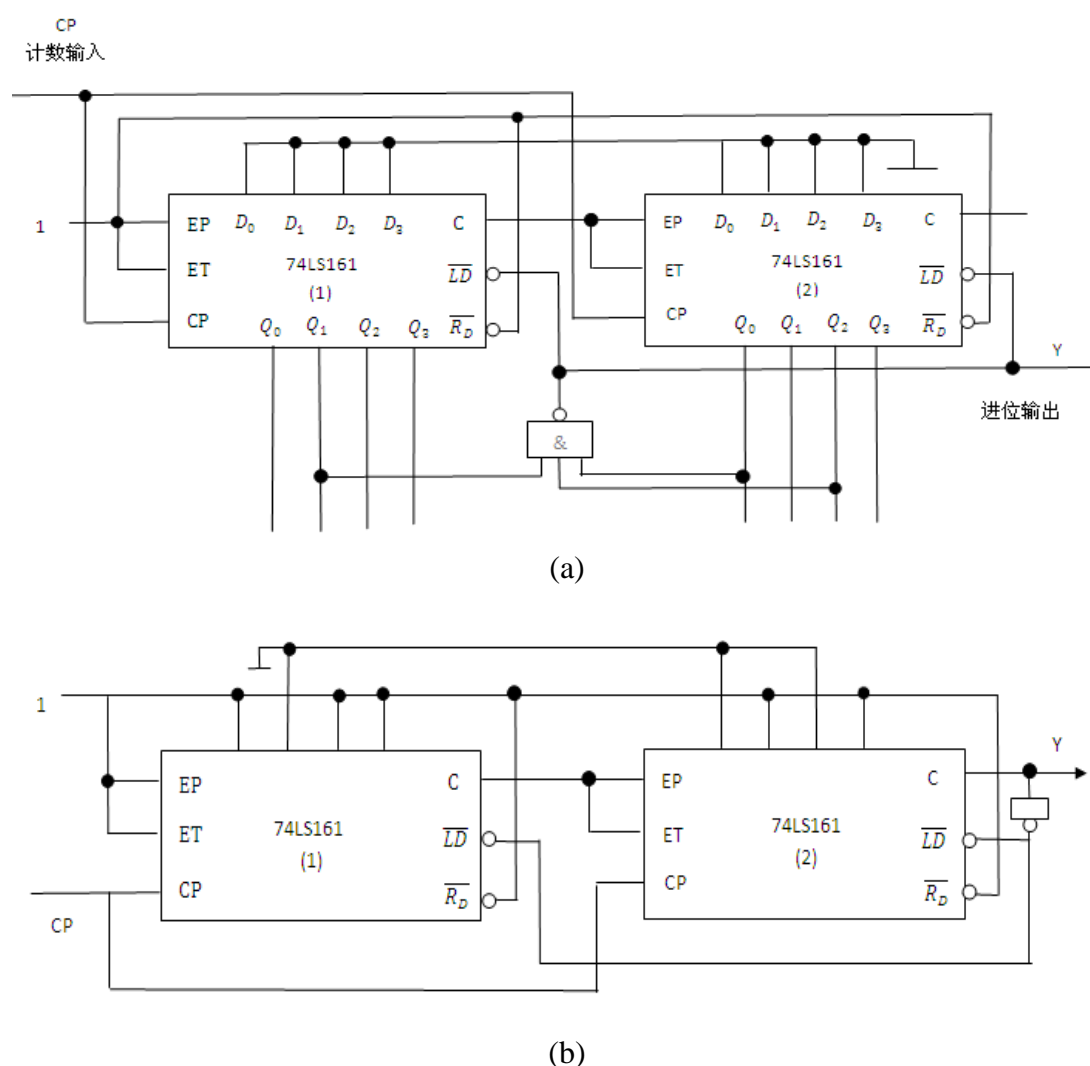


图 6-10 整体预置法构成模为 M 的计数器

(3) 计数器的其它应用

① 分频器

模为 M 的计数器，进位输出端的脉冲频率 f_0 对输入 CP 端的信号频率进行了分频 $f = \frac{f_{CP}}{M}$ 。

② 顺序脉冲发生器

又称为节拍发生器，给出一组在时间上有先后顺序的脉冲信号的电路。如图。

③ 序列信号发生器

产生一组特定的串行数字信号的电路。

三、实验设备与器件

- | | |
|----------------------|------------|
| 1. +5V 直流电源 | 2. 双踪示波器 |
| 3. 连续脉冲源 | 4. 单次脉冲源 |
| 5. 逻辑电平开关 | 6. 逻辑电平显示器 |
| 7. 译码显示器 | |
| 8. CC4013×2 (74LS74) | |
| CC40192×3 (74LS192) | |

四、实验内容

1. 测试 CC40192 或 74LS192 同步十进制可逆计数器的逻辑功能

计数脉冲由单次脉冲源提供,清除端 \overline{CR} 、置数端 \overline{LD} 、数据输入端 D_3 、 D_2 、 D_1 、 D_0 分别接逻辑开关,输出端 Q_3 、 Q_2 、 Q_1 、 Q_0 接实验设备的一个译码显示输入相应插口 A、B、C、D; \overline{CO} 和 \overline{BO} 接逻辑电平显示插口。按表 9-1 逐项测试并判断该集成块的功能是否正常。

(1) 清除

令 $\overline{CR}=1$, 其它输入为任意态, 这时 $Q_3Q_2Q_1Q_0=0000$, 译码数字显示为 0。清除功能完成后, 置 $\overline{CR}=0$

(2) 置数

$\overline{CR}=0$, CP_U , CP_D 任意, 数据输入端输入任意一组二进制数, 令 $\overline{LD}=0$, 观察计数译码显示输出, 予置功能是否完成, 此后置 $\overline{LD}=1$ 。

(3) 加计数

$\overline{CR}=0$, $\overline{LD}=CP_D=1$, CP_U 接单次脉冲源。清零后送入 10 个单次脉冲, 观察译码数字显示是否按 8421 码十进制状态转换表进行; 输出状态变化是否发生在 CP_U 的上升沿。

(4) 减计数

$\overline{CR}=0$, $\overline{LD}=CP_U=1$, CP_D 接单次脉冲源。参照 (3) 进行实验。

2. 验证 74LS161 的逻辑功能。分别用预置端复位法及进位端预置法, 构成 $M < N$ 的 9 进制计数器。

3. 采用 $M=Mi$ 法构成 $M > N$ 的 $M=25$ 计数器。

用两片 74LS161 组成 $M=25$ 加法计数器, 输入 1Hz 连续计数脉冲, 进行由 00-25 累加计数, 记录之。

4*. 与 74LS151 构成序列信号发生器。

实验一结果分析:

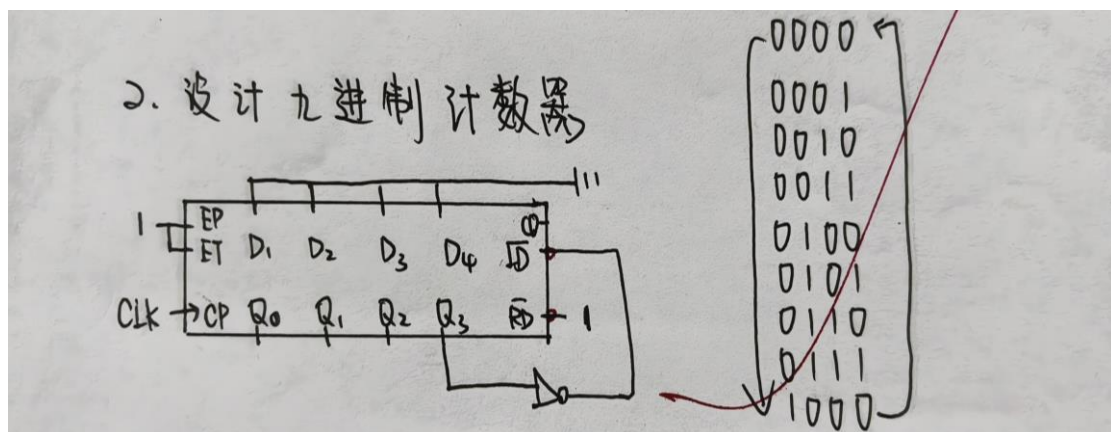
(1) 测试 74LS161 同步十进制可逆计数器的逻辑功能

1.	\overline{RD}	\overline{LD}	ET	EP	CP	A	B	C	D	Q_A	Q_B	Q_C	Q_D
0	X	X	X	X	X	X	X	X	X	0	0	0	0
1	0	X	X	X	\uparrow	a	b	c	d	a	b	c	d
1	1	1	1	1	\uparrow	X	X	X	X	计数			
1	1	0	X	X	X	X	X	X	X	保持			
1	1	X	0	X	X	X	X	X	X	保持			

输出端连接 LED，根据 LED 的亮灭判断是否正确输出计数，或者连接数码管

实验二结果分析:

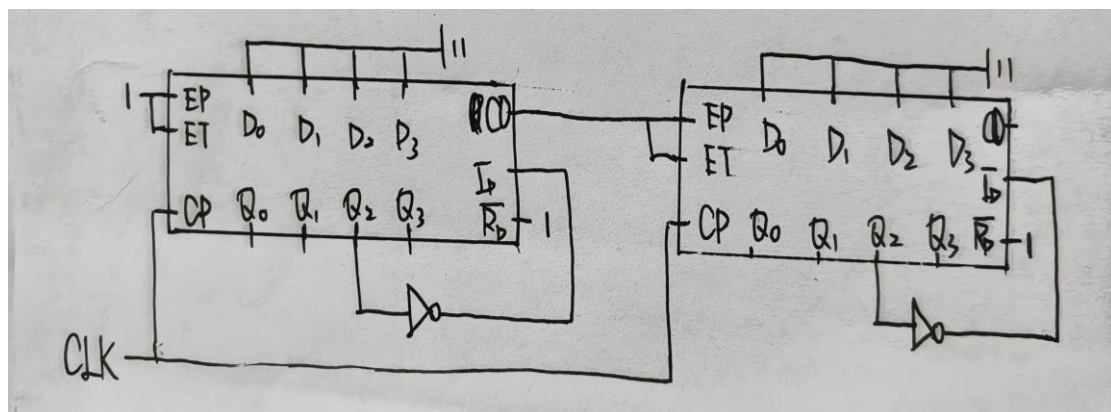
(2) 设计一个九进制计数器



九进制计数器和计数逻辑过程，当达到计数达到 1000，第四位 Q_3 输出 1，取反为 0，接入 LD 清零，重新计数，实现一个九进制的计数器

实验三结果分析:

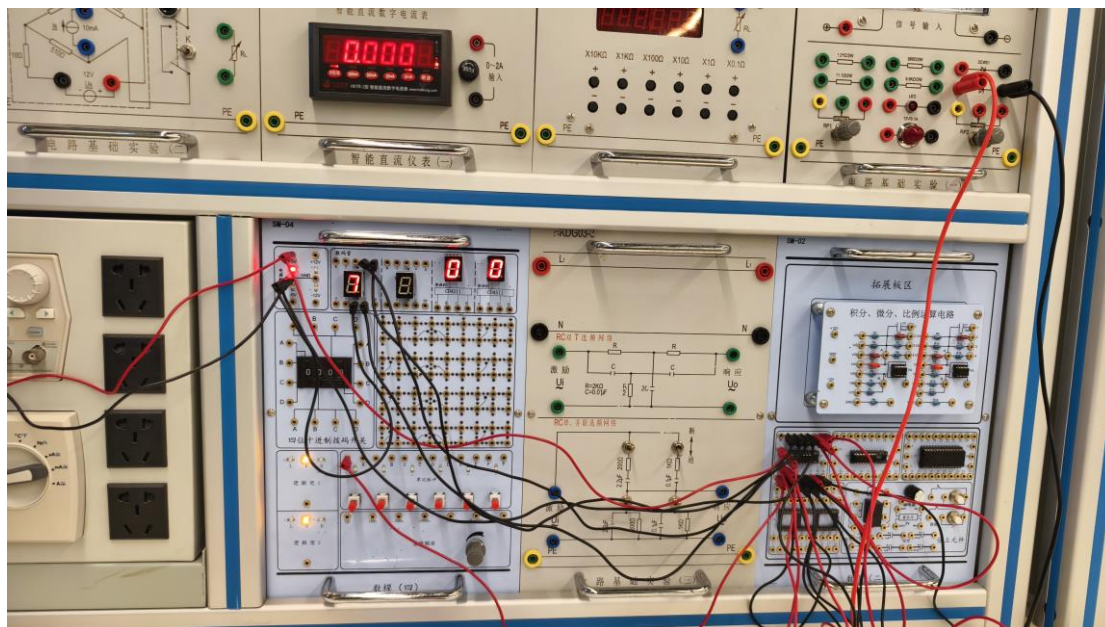
(3) 设计一个 25 进制计数器



使用两个 74LS161, 第一个做一个 5 进制的计数器，当计数达到 100 (4)，第三位 Q_2 为 1 时，然后取反为 0 接入 LD 清零，并且将 CO 接入下一级的 EP, ET，开启第二个 5 进制的计数器，原理同上，CLK 时钟并行接入两个计数器的 CP 端

六、思考

1. 画出实验线路图，记录、整理实验现象及实验所得的有关波形。对实验结果进行分析。



（使用数码管的段码对计数输出进行显示）

2. 总结使用集成计数器的体会。

使用集成计数器在数字电路设计中具有显著优势。首先，它们简化了电路设计，减少了所需元件的数量，从而节省了 PCB 空间。集成计数器提供多种计数模式，如向上计数和向下计数，具有灵活性，能够满足不同应用需求。此外，集成计数器的高可靠性和抗干扰能力使其适合各种工作环境，确保稳定的性能。这些计数器通常广泛应用于数字时钟、频率计和事件计数器等领域，同时与其他数字逻辑电路（如译码器和显示器）兼容，便于构建复杂功能。在学习过程中，使用集成计数器加深了对数字电路基本概念的理解，提升了调试能力。然而，设计时需特别注意时钟信号的稳定性和电源管理，以防止计数错误。总的来说，集成计数器是实现复杂数字功能的重要工具，适合各种电子应用。

数字电子技术实验报告

实验项目：实验四 555 时基电路及其应用

桌号 D04 同次实验者 李朝元、陈谦 实验日期 2024. 11. 14

成绩

一、实验目的

1. 熟悉 555 集成时基电路结构、工作原理及其特点
2. 掌握 555 集成时基电路的基本应用

二、实验原理

集成时基电路又称为集成定时器或 555 电路，是一种数字、模拟混合型的中规模集成电路，应用十分广泛。它是一种产生时间延迟和多种脉冲信号的电路，由于内部电压标准使用了三个 5K 电阻，故取名 555 电路。其电路类型有双极型和 CMOS 型两大类，二者的结构与工作原理类似。几乎所有的双极型产品型号最后的三位数码都是 555 或 556；所有的 CMOS 产品型号最后四位数码都是 7555 或 7556，二者的逻辑功能和引脚排列完全相同，易于互换。555 和 7555 是单定时器。556 和 7556 是双定时器。双极型的电源电压 $V_{CC}=+5V\sim+15V$ ，输出的最大电流可过 200mA，CMOS 型的电源电压为 $+3\sim+18V$ 。

1. 555 电路的工作原理

555 电路的内部电路方框图如图 8-1 所示。它含有两个电压比较器，一个基本 RS 触发器，一个放电开关管 T，比较器的参考电压由三只 5K Ω 的电阻器构成的分压器提供。它们分别使高电平比较器 A₁ 的同相输入端和低电平比较器 A₂ 的反相输入端的参考电平为 $\frac{2}{3}V_{CC}$ 和 $\frac{1}{3}V_{CC}$ 。A₁ 与 A₂ 的输出端控制 RS 触发器状态和放电管开关状态。当输入信号自 6 脚，即高电平触发输入并超过参考电平 $\frac{2}{3}V_{CC}$ 时，触发器复位，555 的输出端 3 脚输出低电平，同时放电开关管导通；当输入信号自 2 脚输入并低于 $\frac{1}{3}V_{CC}$ 时，触发器置位，555 的 3 脚输出高电平，同时放电开关管截止。

\bar{R}_D 是复位端（4 脚），当 $\bar{R}_D=0$ ，555 输出低电平。平时 \bar{R}_D 端开路或接 V_{CC} 。

V_C 是控制电压端（5 脚），平时输出 $\frac{2}{3}V_{CC}$ 作为比较器 A₁ 的参考电平，当 5 脚外接一个输入电压，即改变了比较器的参考电平，从而实现对输出的另一种控制，在不接外加电压时，通常接一个 0.01 μ f 的电容器到地，起滤波作用，以消除外来的干扰，以确保参考电平的稳定。

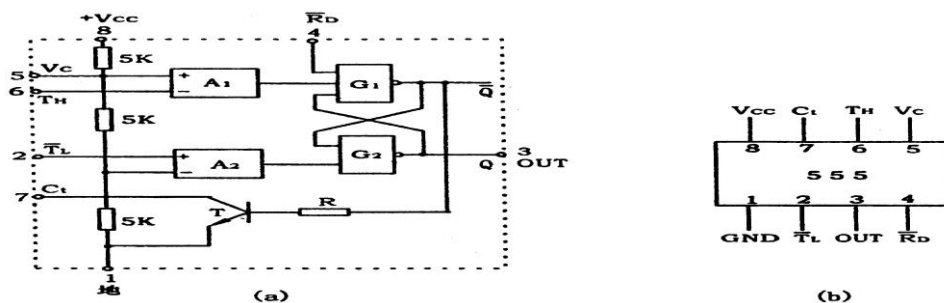


图 8-1 555 定时器内部框图及引脚排列

T 为放电管，当 T 导通时，将给接于 7 脚的电容器提供低阻放电通路。

555 定时器主要是与电阻、电容构成充放电电路，并由两个比较器来检测电容器上的电压，以确定输出电平的高低和放电开关管的通断。这就很方便地构成从微秒到数十分钟的延时电路，可方便地构成单稳态触发器，多谐振荡器，施密特触发器等脉冲产生或波形变换电路。

2. 555 定时器的典型应用

(1) 构成单稳态触发器

图 8-2 (a) 为由 555 定时器和外接定时元件 R、C 构成的单稳态触发器。触发电路由 C_1 、 R_1 、D 构成，其中 D 为钳位二极管，稳态时 555 电路输入端处于电源电平，内部放电开关管 T 导通，输出端 F 输出低电平，当有一个外部负脉冲触发信号经 C_1 加到 2 端。并使 2 端电位瞬时低于 $\frac{1}{3}V_{CC}$ ，低电平比较器动作，单稳态电路即开始一个暂态过程，电容 C 开始充电， V_C 按指数规律增长。当 V_C 充电到 $\frac{2}{3}V_{CC}$ 时，高电平比较器动作，比较器 A_1 翻转，输出 V_O 从高电平返回低电平，放电开关管 T 重新导通，电容 C 上的电荷很快经放电开关管放电，暂态结束，恢复稳态，为下个触发脉冲的到来作好准备。波形图如图 8-2 (b) 所示。

暂稳态的持续时间 t_w (即为延时时间) 决定于外接元件 R、C 值的大小。

$$t_w = 1.1RC$$

通过改变 R、C 的大小，可使延时时间在几个微秒到几十分钟之间变化。当这种单稳态电路作为计时器时，可直接驱动小型继电器，并可使用复位端 (4 脚) 接地的方法来中止暂态，重新计时。此外沿须用一个续流二极管与继电器线圈并接，以防继电器线圈反电势损坏内部功率管。

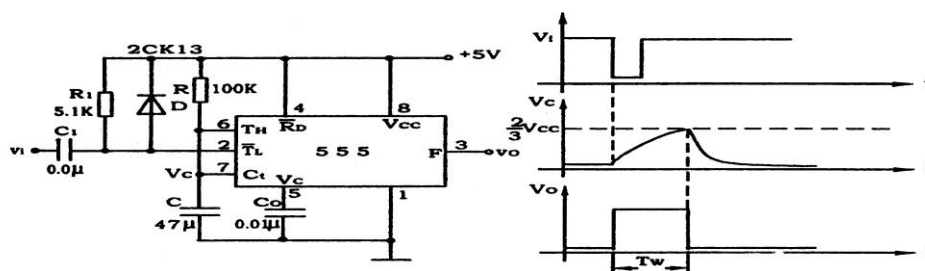


图 8-2 单稳态触发器

(2) 构成多谐振荡器

如图 8-3 (a), 由 555 定时器和外接元件 R_1 、 R_2 、 C 构成多谐振荡器, 脚 2 与脚 6 直接相连。电路没有稳态, 仅存在两个暂稳态, 电路亦不需要外加触发信号, 利用电源通过 R_1 、 R_2 向 C 充电, 以及 C 通过 R_2 向放电端 C_1 放电, 使电路产生振荡。电容 C 在 $\frac{1}{3}V_{CC}$ 和 $\frac{2}{3}V_{CC}$ 之间充电和放电, 其波形如图 8-3 (b) 所示。输出信号的时间参数是 $T = t_{w1} + t_{w2}$ $t_{w1} = 0.7(R_1 + R_2)C$ $t_{w2} = 0.7R_2C$

555 电路要求 R_1 与 R_2 均应大于或等于 $1K\Omega$, 但 R_1+R_2 应小于或等于 $3.3M\Omega$ 。

外部元件的稳定性决定了多谐振荡器的稳定性, 555 定时器配以少量的元件即可获得较高精度的振荡频率和具有较强的功率输出能力。因此这种形式的多谐振荡器应用很广。

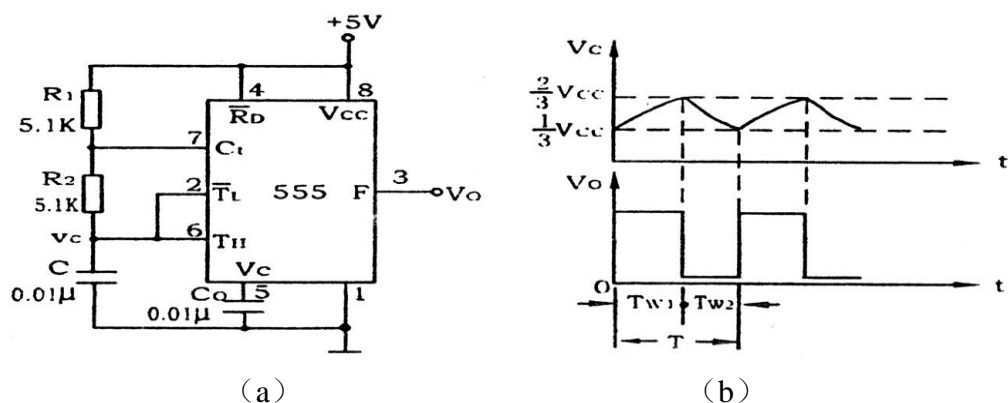


图 8-3 多谐振荡器

(3) 组成占空比可调的多谐振荡器

电路如图 8-4, 它比图 8-3 所示电路增加了一个电位器和两个导引二极管。 D_1 、 D_2 用来决定电容充、放电电流流经电阻的途径 (充电时 D_1 导通, D_2 截止; 放电时 D_2 导通, D_1 截止)。

$$\text{占空比 } P = \frac{t_{w1}}{t_{w1} + t_{w2}} \approx \frac{0.7R_A C}{0.7C(R_A + R_B)} = \frac{R_A}{R_A + R_B}$$

可见, 若取 $R_A = R_B$ 电路即可输出占空比为 50% 的方波信号。

(4) 组成占空比连续可调并能调节振荡频率的多谐振荡器

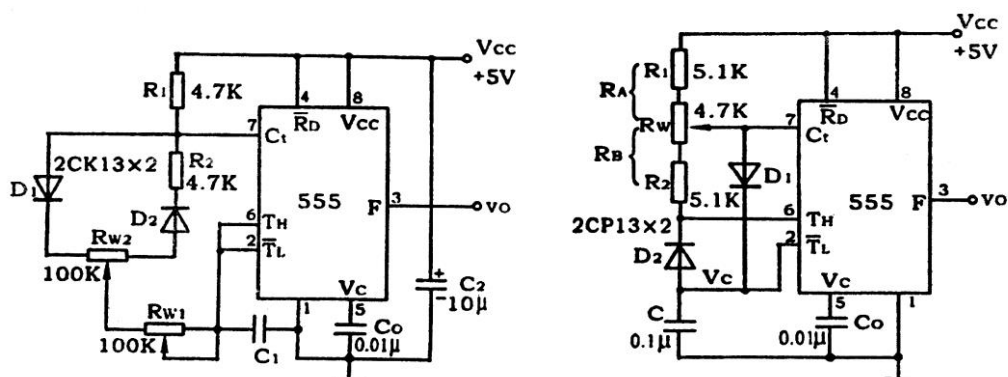


图 8-4 占空比可调的多谐振荡器

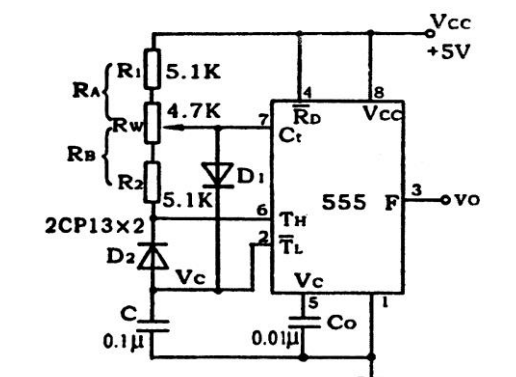


图 8-5 占空比与频率均可调的多谐振荡器

电路如图 8-5 所示。对 C_1 充电时，充电电流通过 R_1 、 D_1 、 R_{W2} 和 R_{W1} ；放电时通过 R_{W2} 、 R_{W1} 、 D_2 、 R_2 。当 $R_1 = R_2$ 、 R_{W2} 调至中心点，因充放电时间基本相等，其占空比约为 50%，此时调节 R_{W1} 仅改变频率，占空比不变。如 R_{W2} 调至偏离中心点，再调节 R_{W1} ，不仅振荡频率改变，而且对占空比也有影响。 R_{W1} 不变，调节 R_{W2} ，仅改变占空比，对频率无影响。因此，当接通电源后，就首先调节 R_{W1} 使频率至规定值，再调节 R_{W2} ，以获得需要的占空比。若频率调节的范围比较大，还可以用波段开关改变 C_1 的值。

(5) 组成施密特触发器

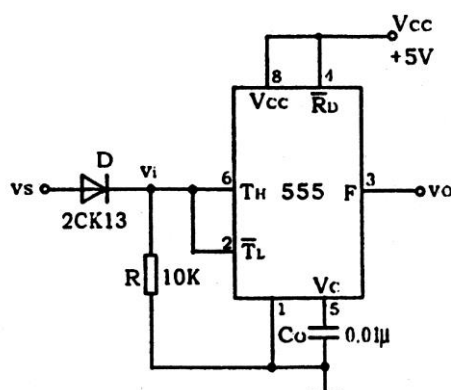


图 8-6 施密特触发器

电路如图 8-6，只要将脚 2、6 连在一起作为信号输入端，即得到施密特触发器。图 8-7 示出了 V_s ， V_i 和 V_o 的波形图。

设被整形变换的电压为正弦波 V_s ，其正半波通过二极管 D 同时加到 555 定时器的 2 脚和 6 脚，得 V_i 为半波整流波形。当 V_i 上升到 $\frac{2}{3}V_{cc}$ 时， V_o 从高电平翻转为低电平；当 V_i 下降到 $\frac{1}{3}V_{cc}$ 时， V_o 又从低电平翻转为高电平。电路的电压传输特性曲线如图 8-8 所示。

$$\text{回差电压 } \Delta V = \frac{2}{3}V_{cc} - \frac{1}{3}V_{cc} = \frac{1}{3}V_{cc}$$

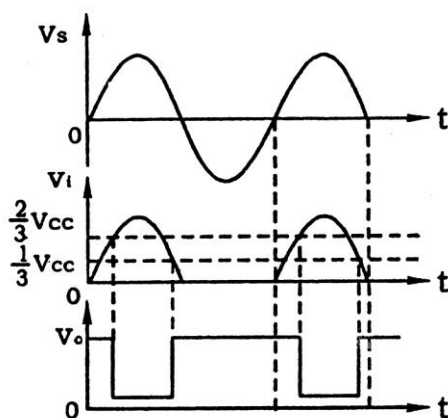


图 8-7 波形变换图

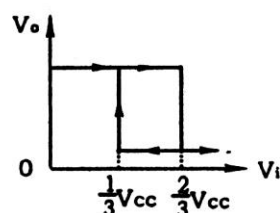


图 8-8 电压传输特性

三、实验设备与器件

- | | |
|---------------------|-------------|
| 1. +5V 直流电源 | 2. 双踪示波器 |
| 3. 连续脉冲源 | 4. 单次脉冲源 |
| 5. 音频信号源 | 6. 数字频率计 |
| 7. 逻辑电平显示器 | |
| 8. 555×2 2CK13×2 | 电位器、电阻、电容若干 |

四、实验内容

1. 单稳态触发器

(1) 按图 8-2 连线, 取 $R=100K$, $C=47\mu f$, 输入信号 V_i 由单次脉冲源提供, 用双踪示波器观测 V_i 、 V_C 、 V_O 波形。测定幅度与暂稳时间。

(2) 将 R 改为 $1K$, C 改为 $0.1\mu f$, 输入端加 $1KHz$ 的连续脉冲, 观测波形 V_i 、 V_C 、 V_O , 测定幅度及暂稳时间。

2. 多谐振荡器

(1) 按图 8-3 接线, 用双踪示波器观测 V_C 和 V_O 的波形, 测定频率。

(2) 按图 8-4 接线, 组成占空比为 50% 的方波信号发生器。观测 V_C 、 V_O 波形, 测定波形参数。

(3) 按图 8-5 接线, 通过调节 R_{W1} 和 R_{W2} 来观测输出波形。

3. 施密特触发器

按图 8-6 接线, 输入信号由音频信号源提供, 预先调好 V_s 的频率为 $1KHz$, 接通电源, 逐渐加大 V_s 的幅度, 观测输出波形, 测绘电压传输特性, 算出回差电压 ΔU 。

4. 模拟声响电路

按图 8-9 接线, 组成两个多谐振荡器, 调节定时元件, 使 I 输出较低频率, II 输出较高频率, 连好线, 接通电源, 试听音响效果。调换外接阻容元件, 再试听音响效果。

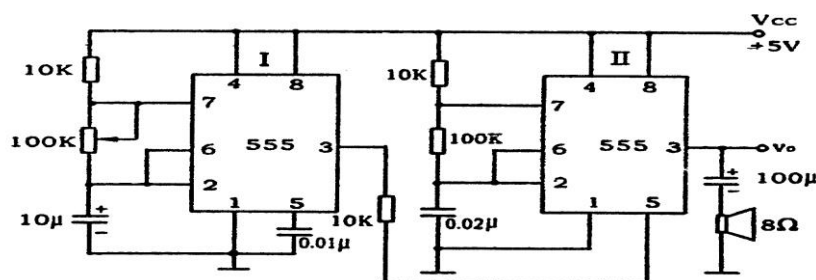
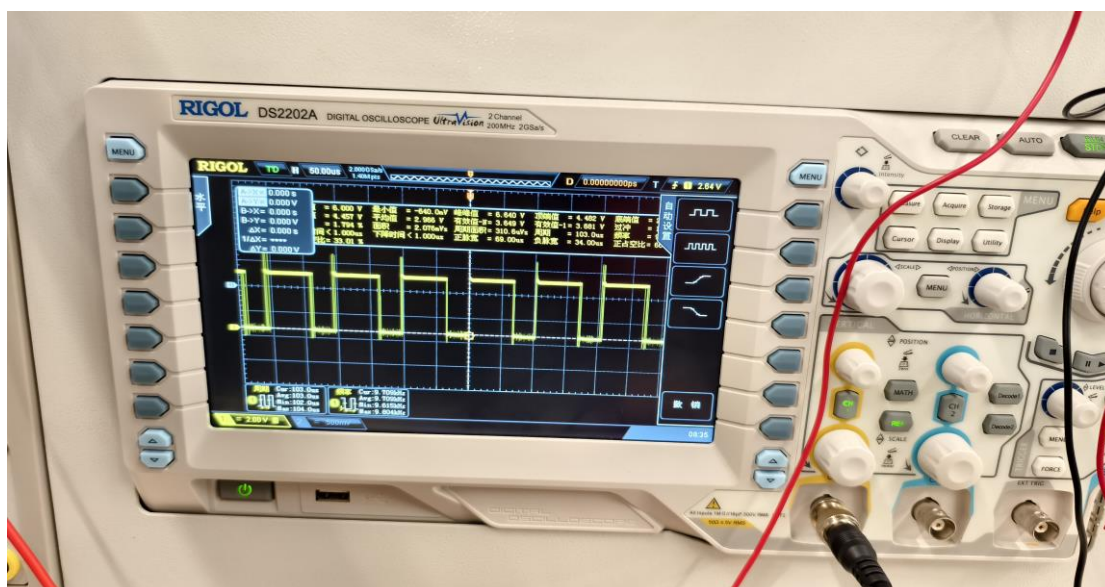
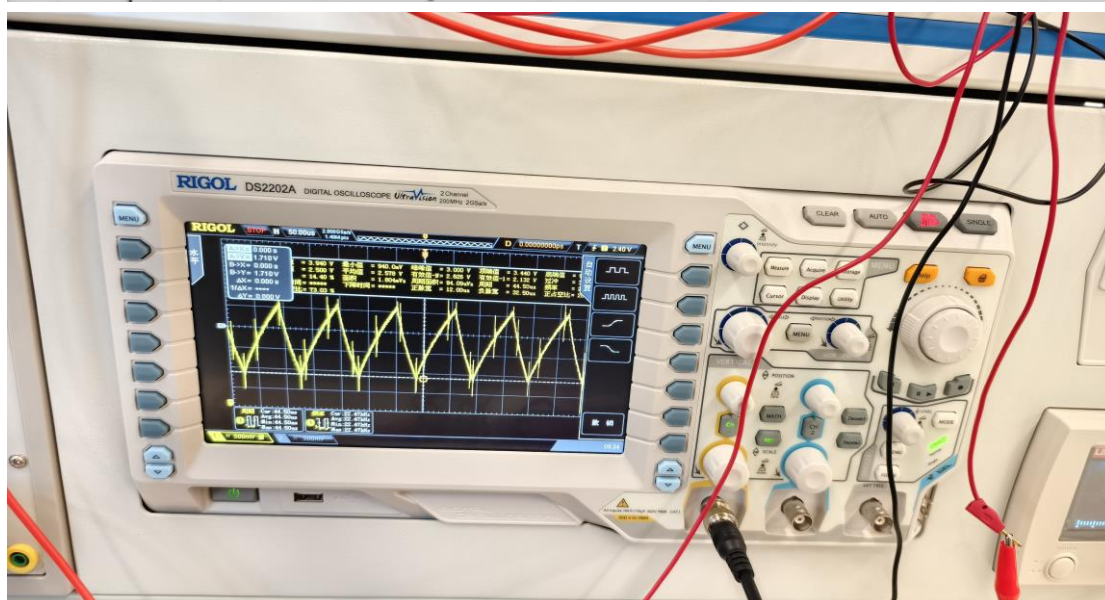
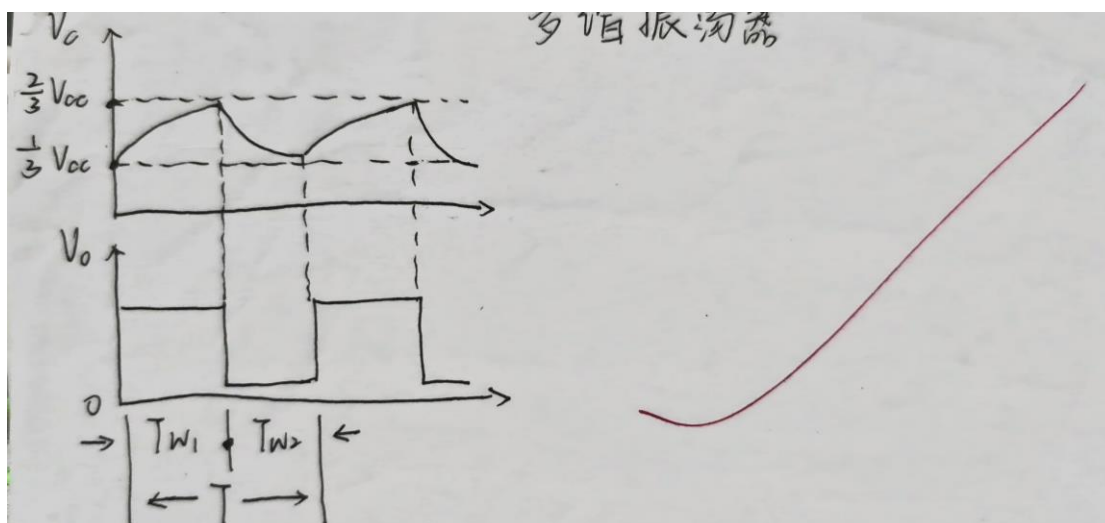


图 8-9 模拟声响电路

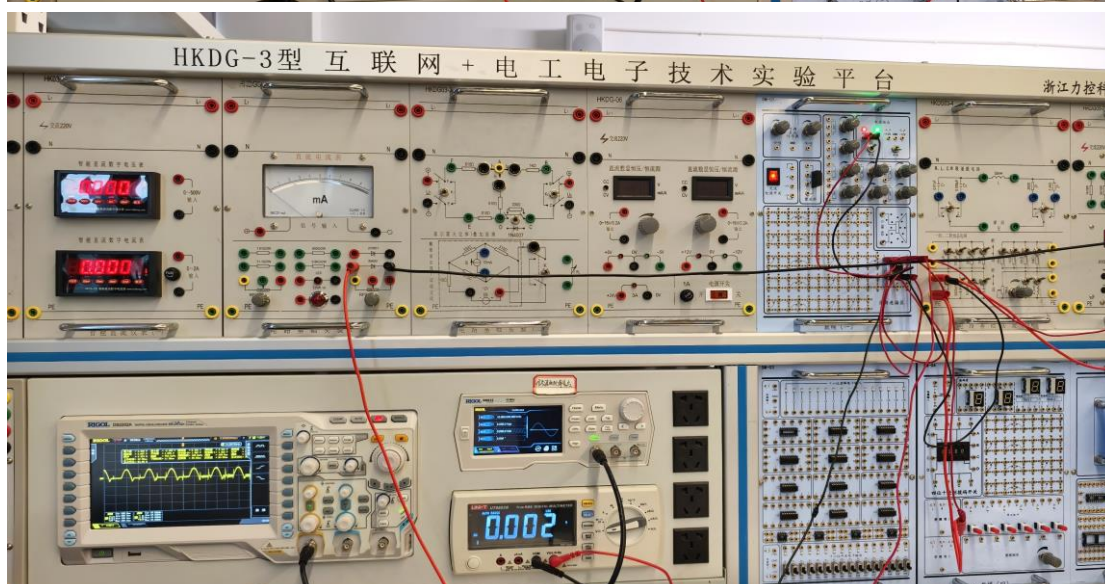
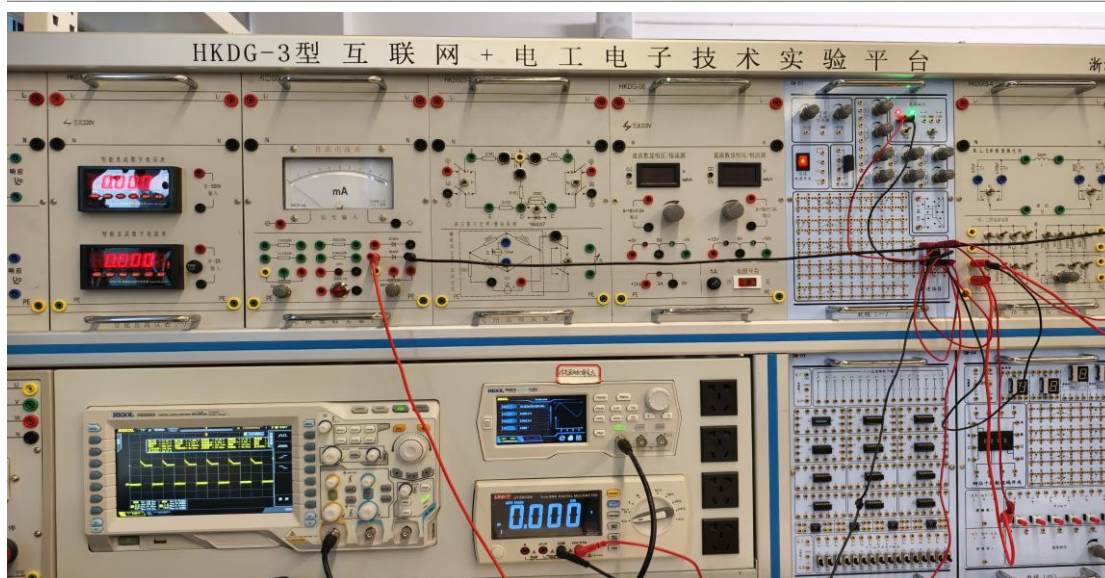
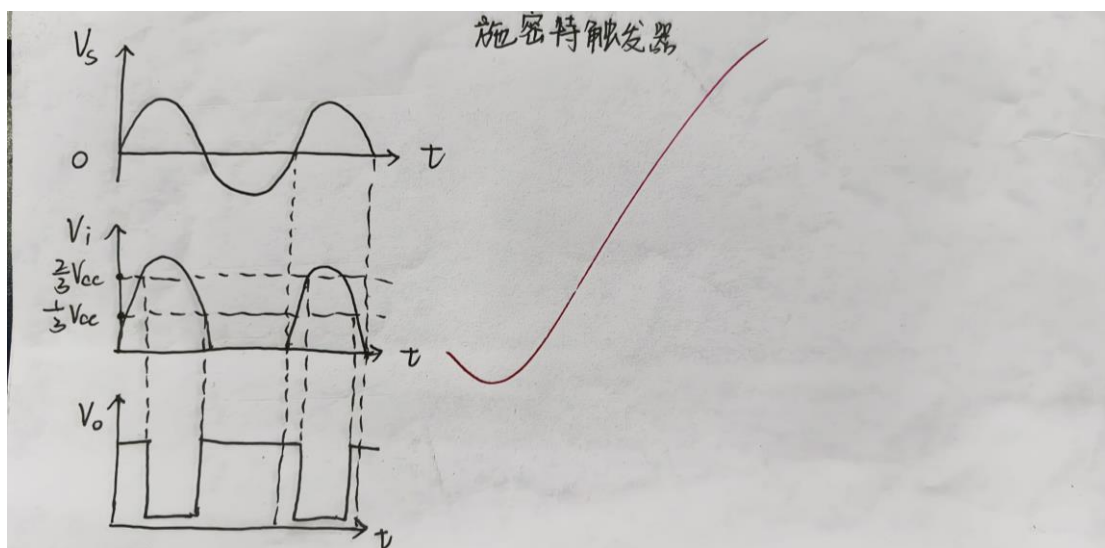
实验一结果分析:

(1) 多谐振荡器



实验二结果分析:

(2) 施密特触发器



<div> <div>学生实验心得</div> </div>	<div> <p>在这学期的数字电路技术基础实验课中，我们进行了四个重要的实验，分别是集成逻辑门的逻辑功能与参数测试、译码器及其应用、计数器及其应用，以及 555 时基电路及其应用。通过实验，我对数字电路的基本原理有了更深入的理解。</p> <p>在集成逻辑门实验中，我们通过搭建电路测试了与门、或门、非门等的逻辑功能，掌握了它们的输入输出关系，并学习了如何使用示波器和多用电表进行参数测试。接着，译码器实验让我了解了译码器在数据选择和地址解码中的重要作用，我们模拟了不同输入情况下的输出变化，体会到了其在存储器和数据传输中的实际应用。计数器实验让我认识到状态变化的重要性，我们设计了不同类型的计数器，观察了其计数过程及实际应用。最后，在 555 时基电路实验中，我们实现了多谐振荡器和施密特触发器的功能，最后输出方波信号。</p> <p>这些实验让我深刻体会到理论与实践结合的重要性，增强了我的动手能力。在此，我要感谢老师的耐心指导和知识分享，让我在实验中收获良多。希望未来能继续探索数字电路的更多应用。</p> <div> <div>学生 (签名):</div> <div> <div>年</div> <div>月</div> <div>日</div> </div> </div> </div>
<div> <div>指导教师评语</div> </div>	<div> <div> <div>成绩评定:</div> <div> <div>指导教师 (签名):</div> <div> <div>年</div> <div>月</div> <div>日</div> </div> </div> </div> </div>
