



目录

Quartus II 开发软件的使用	2
1.1 简介	2
1.2 创建工程	3
1.3 设计输入	9
1.3.1 建立图形设计文件.....	9
1.3.2 建立文本设计文件.....	12
1.4 设计的编译	13
1.5 设计的仿真验证	15
1.5.1 基于原理图输入法的仿真:	15
1.5.2 基于代码设计输入法的 Modelsim 仿真:	19
1.6 引脚分配	28
1.7 器件配置	29



Quartus II 开发软件的使用

1.1 简介

Quartus II 是 Altera 公司在 21 世纪初推出的可编程逻辑器件的集成开发软件，这个软件是该公司前一代可编程逻辑集成开发软件 MAX+PLUSII 的更新换代产品。Quartus II 集成开发软件支持可编程逻辑器件的整个过程，它提供一种与器件结构无关的设计环境。软件界面友好，使设计者能方便地进行设计输入、设计处理和器件编程。

Quartus II 集成开发软件提供了完整的多平台设计环境，能满足各种特定设计的需要。Quartus II 设计工具支持 VHDL, Verilog HDL 硬件描述语言的设计环境。它也是片上可编程系统 (System on a Programmable Chip, SOPC) 的综合设计环境。另外，Quartus II 集成开发软件也可以利用第三方软件的结果，并支持第三方软件的工作。

本次所有的设计中均在 Quartus II 13.0 上开发完成。相比于之前的版本，Quartus II 软件 13.0 支持 Altera 新的 MAX[®] V CPLD 系列和 Arria[®] II GZ FPGA 系列，提供对 Stratix[®] V FPGA 系列的扩展支持。软件继续提供新效能特性和增强功能，包括更新后的 ModelSim[®]-Altera[®]版仿真器，新的外部存储器接口工具包，以及新的时序逼近功能等。

利用 Quartus II 集成开发软件进行可编程逻辑器件开发的全部过程包括以下步骤：设计输入、综合、布局 and 布线、验证和仿真，以及可编程逻辑器件的编程和配置。

设计输入是将设计者所要的设计构思以开发软件要求的形式表达出来。Quartus II 软件支持模块/原理图输入方式、文本输入方式、Core 输入方式和第三方 EDA 工具输入方式等。Quartus II 软件同时允许用户在需要对器件的编译或变成进行必要的条件约束的环境下，使用分配编辑器 (Assignment Editor) 设定初始设计的约束条件。

综合是将 HDL 语言、原理图等设计输入的一句给定的硬件结构组件和约束控制条件进行编译、优化、转换和综合，生成门级电路，或更底层的电路的描述网表文件，以供适配器实现。

适配也称为布局布线，这个步骤利用适配器将逻辑综合生成的网表文件映射到某一具体的器件。

仿真包括功能仿真和时序仿真。功能仿真是在不考虑器件延时的理想情况下仿真设计项目，以验证器件功能逻辑的正确性，时序仿真是在考虑具体适配器件的各种延时的情况下的设计项目仿真，它是接近真实器件运行特性的仿真。

器件编程与配置是指设计输入编译成功后，设计者使用器件编程器将编程文件下载到实际器件的过程。

Quartus II 集成开发软件允许用户在开发过程中使用 Quartus II 图形用户界面、EDA 工具界面和命令行界面。用户在整个开发过程中可以使用这些界面中的任意一个，也可以在开发过程的不同步骤中使用不同的界面。

相信通过本课程的学习，同学们不但能够通过 AC101 开发板掌握基本数字电路实验的方法，

- 1、加深数字电子电路课程中各种典型器件的理解，
- 2、还可以学习到利用 Quartus II 软件的原理图输入法和 VerilogHDL 语言常规开发使用流程，
- 3、更可以通过小实验的方式在学习过程中不断熟悉和运用 VerilogHDL 实用基本语法，为以后同学们进行大型 EDA 逻辑工程设计和集成电路设计打下良好基础。



1.2 创建工程

Quartus II 集成开发软件对设计过程的管理采用工程(Project)方式。在开始新的设计输入之前首先应该建立一个工程。新建一个工程之前还要新建一个文件夹，后面产生的工程文件、设计输入文件等都将存储在这个文件夹中。不同的工程应放在不同的文件夹中，同一工程的所有文件都必须放在同一文件夹中。

打开软件 Quartus II 13.0，显示如下用户窗口，

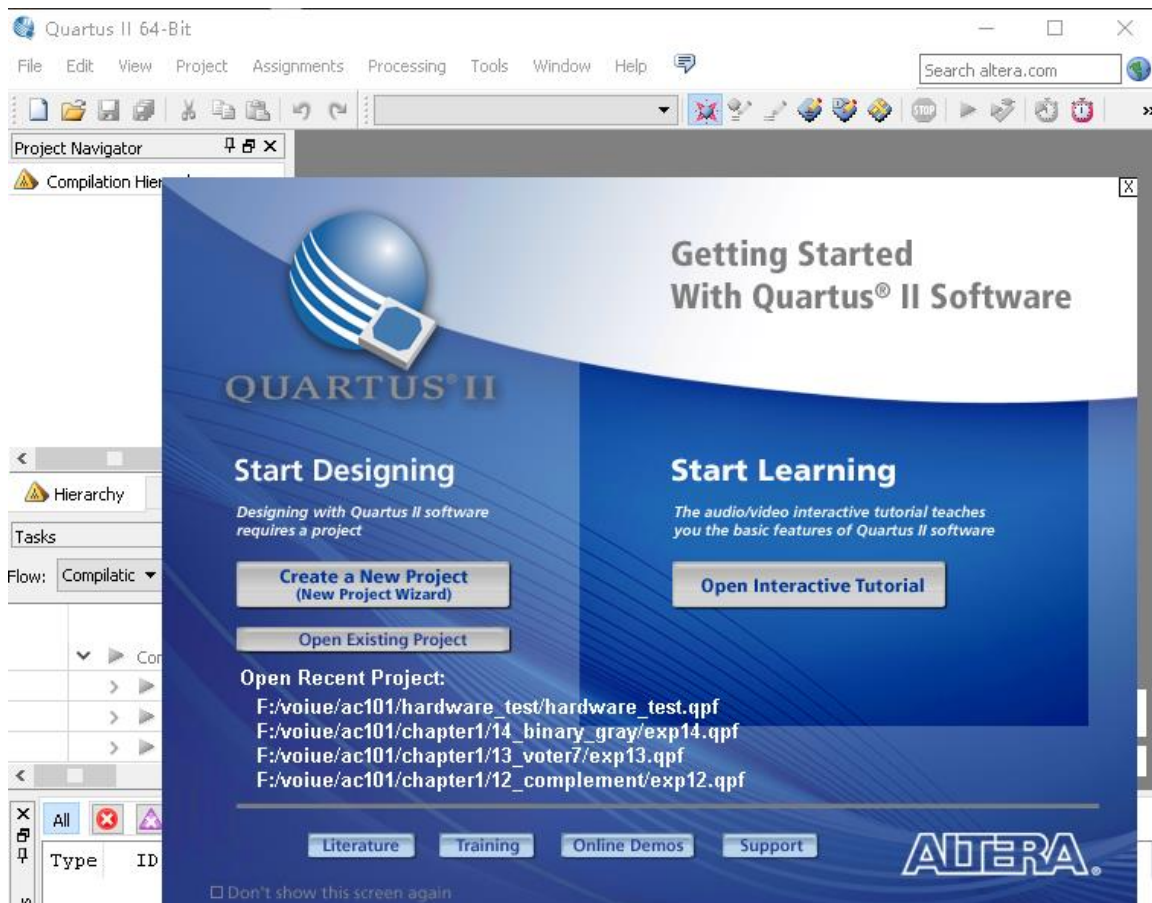


图 1 Quartus II 集成开发软件的界面

如上图所示，用户可以根据需要选择“Create a New Project(New Project Wizard)”或“Open Existing Project”。选择“Create a New Project(New Project Wizard)”，出现以下的工程向导，

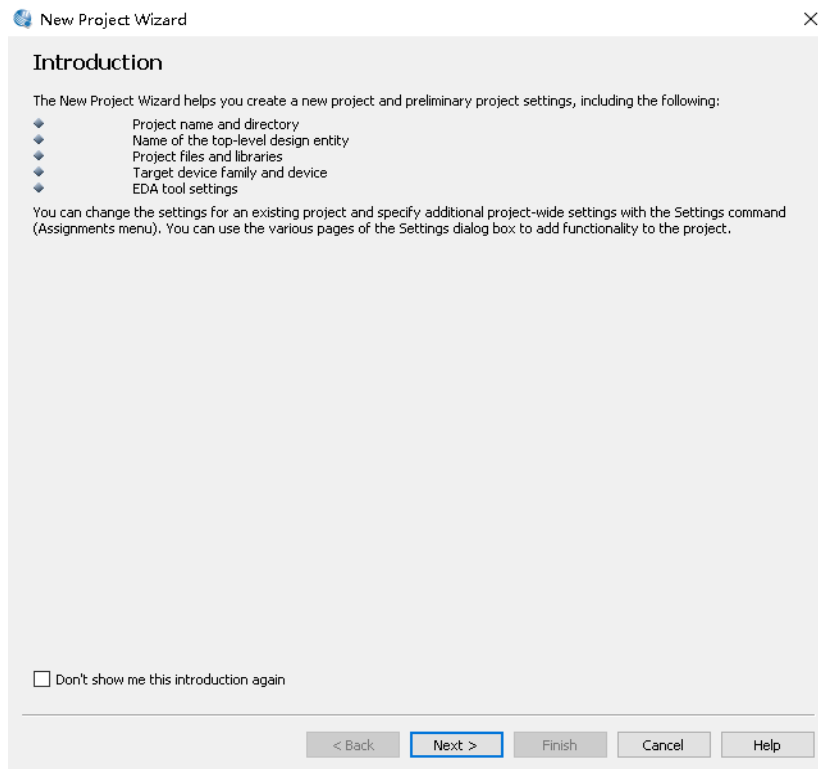


图 2 新工程向导介绍

点击“Next”按钮打开“Next”打开“New Project Wizard”对话框，如下图所示：

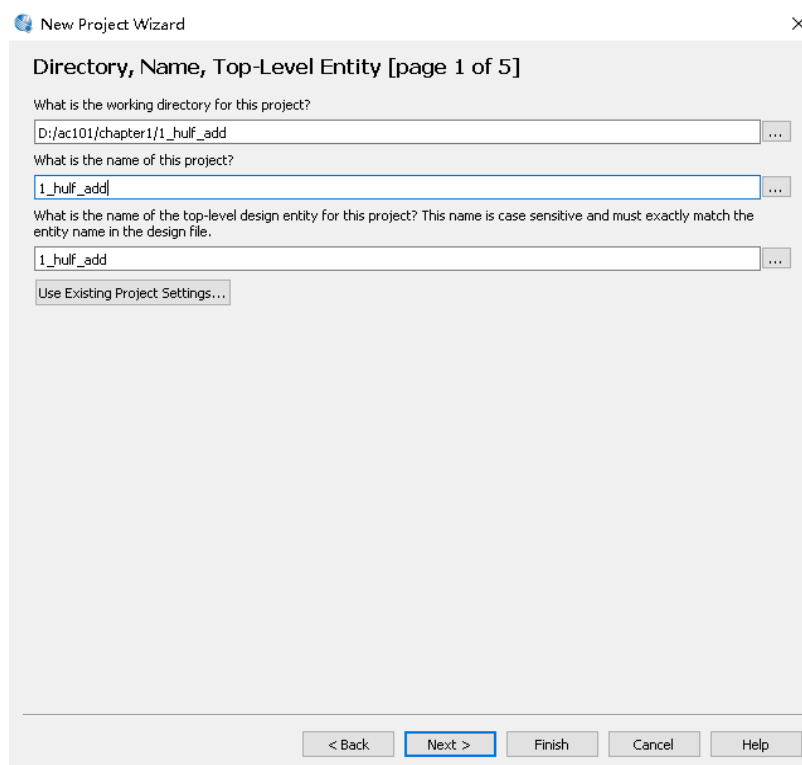


图 3 新工程目录和文件名称对话框

在第一个文本输入行输入工程文件将被存储的文件夹名称，或者使用浏览按钮“...”找到这个文件夹。在第二个文本行中，应该输入新建的工程文件的名称。这个行后面的浏览按钮“...”



用于找出已经存在，这里还将使用的工程文件。在第三个文本行中，应该输入顶层文件的名称。该行后面的浏览按钮“...”用于找出已经存在，这里还将使用的工程顶层文件。

建议文件夹的名称、顶层文件的名称和模块的名称保持一致。这里将顶层文件的名称和工程的名称都命名为“half_add”。点击“Next”，打开“Add Files”对话框，如下所示。单击“Add”按钮添加设计输入文件，输入文件可以是原理图文件也可以是文本文件。如果工程中用到用户自定义的库，则需要单击“User Libraries”按钮，添加相应的库文件。添加文件后，单击“Next”按钮进入目标芯片选择对话框。

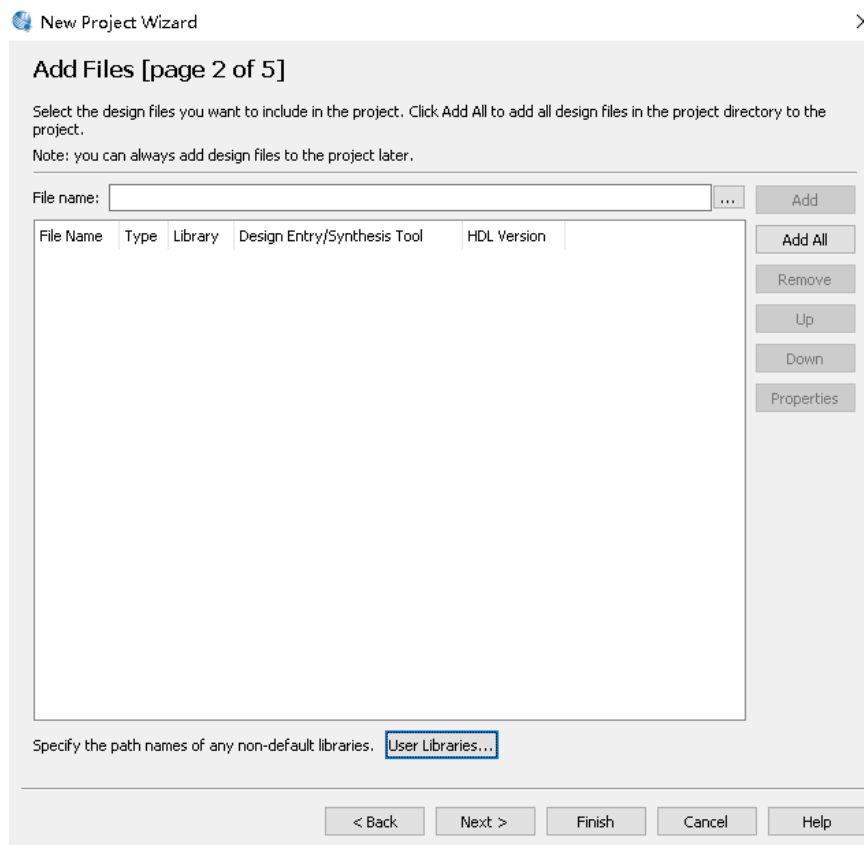


图 4 向工程加入文件对话框

目标芯片就是将要装载用户设计的可编程逻辑芯片。当可编程逻辑器件被编程/配置之后，这个可编程逻辑器件变具有了相应的功能。



New Project Wizard

Family & Device Settings [page 3 of 5]

Select the family and device you want to target for compilation.
You can install additional device support with the Install Devices command on the Tools menu.

Device family

Family: Cyclone IV E

Devices: All

Target device

☐ Auto device selected by the Filter

☒ Specific device selected in 'Available devices' list

☐ Other: n/a

Show in 'Available devices' list

Package: Any

Pin count: 144

Speed grade: 8

Name filter:

☒ Show advanced devices ☐ HardCopy compatible only

Available devices:

Name	Core Voltage	LEs	User I/Os	Memory Bits	Embedded multiplier 9-bit e
EP4CE6E22C8	1.2V	6272	92	276480	30
EP4CE10E22C8	1.2V	10320	92	423936	46
EP4CE15E22C8	1.2V	15408	82	516096	112
EP4CE22E22C8	1.2V	22320	80	608256	132

Companion device

HardCopy:

☐ Limit DSP & RAM to HardCopy device resources

< Back Next > Finish Cancel Help

图 5 目标芯片选择对话框

上图中的“Family”下拉菜单中罗列出 Quartus II 13.0 集成开发软件支持的所有 Altera 公司的可编程逻辑器件系列。这里选择“Cyclone IV E”系列。完成可编程逻辑器件系列的选择以后，在“Available device”栏中选择具体目标芯片型号，同一芯片系列具有许多不同的规格、包装形式和质量等级的芯片，这里选择的具体芯片为“EP4CE6E22C8”。

完成目标芯片选择后，单击“Next”按钮进入 EDA 工具选择对话框。在该对话框中可以选择其他 EDA 工具。

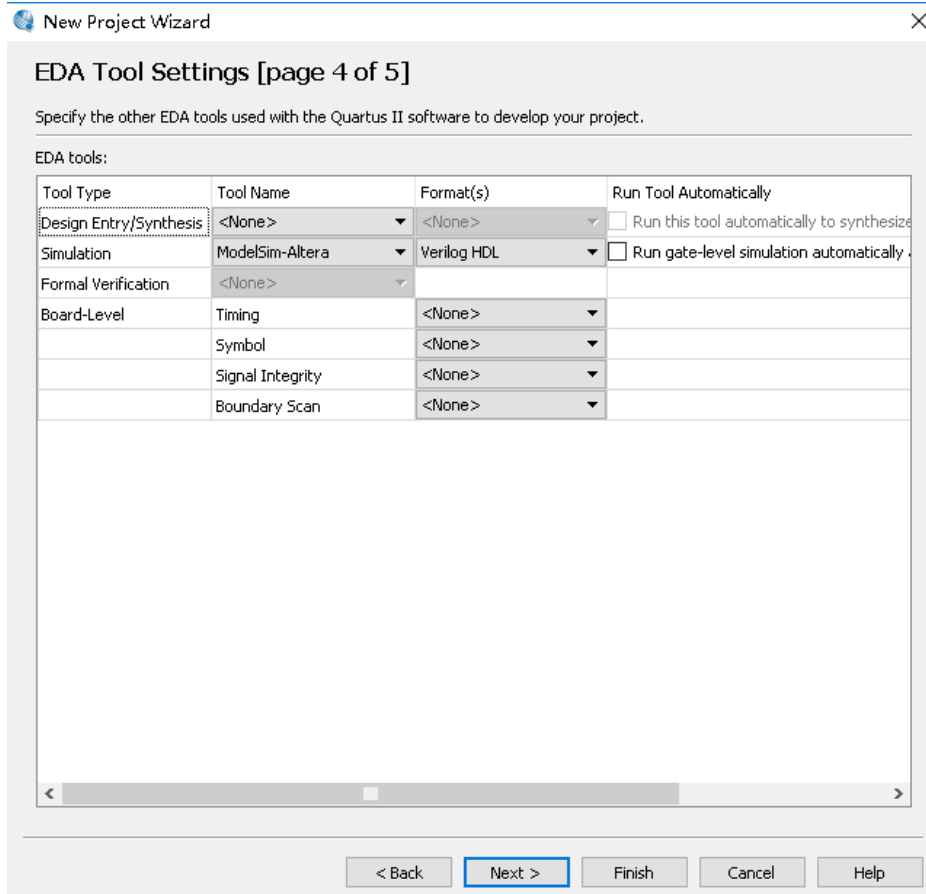


图 6 EDA 工具选择对话框

这里采用默认的选择“None”，对该对话框不做变更，表示使用 Quartus II 集成开发软件中自带的综合器、仿真器等 EDA 工具。

完成 EDA 工具的选择后，单击“Next”按钮将出现工程设置信息总结框。检查参数设置，若无误，单击“Finish”按钮完成工程的创建；若有错误，可以单击“Back”按钮返回，重新设置。



图 7 新工程设置总结框



1.3 设计输入

Quartus II 集成开发支持多种设计输入方式，为用户的设计输入提供方便。在 Quartus II 的菜单栏中单击“File—>New”可以打开如图 8 所示的新建文件对话框。

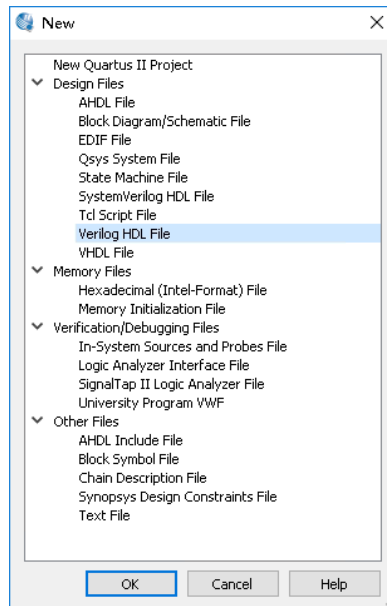


图 8 新建输入文件对话框

该对话框提供了多种设计输入方法。其中“Block Diagram/Schematic File”为图形输入方式，它利用电路结构图和原理图和输入设计信息。“EDIF File”支持 EDIF 网表编辑器产生的网表文件的输入。“AHDL File”、“VHDL”和“Verilog HDL”都是文本输入方法，它们支持不同的硬件描述语言。

1.3.1 建立图形设计文件

除文本输入方式外，原理图输入方式也是常用的一种。原理图由逻辑器件和连线构成。原理图输入方式操作直观，可以方便地使用 Quartus II 软件提供的各种元件。原理图输入方式可以使用开发软件提供的各种元件完成系统，也可以将设计者完成的设计工作结合在一起，实现一个完整的系统。在 Quartus II 软件中，把多个设计文件结合在一起的称为顶层文件，它可以把一系列子系统组合成一个完整的系统。每个单独的设计文件，都可以转换成可调用的文件。转换成的可调用的文件可以像 Quartus II 软件提供的各种元件一样在原理图输入方式中使用。

下面介绍采用原理图方式进行一位半加器的设计。

打开 Quartus II，单击“File—>New”，打开如图 8 所示的信件输入文件对话框，选择“Block Diagram/Schematic File”，然后单击“OK”按钮，打开原理图编辑窗口，如图 10 所示。

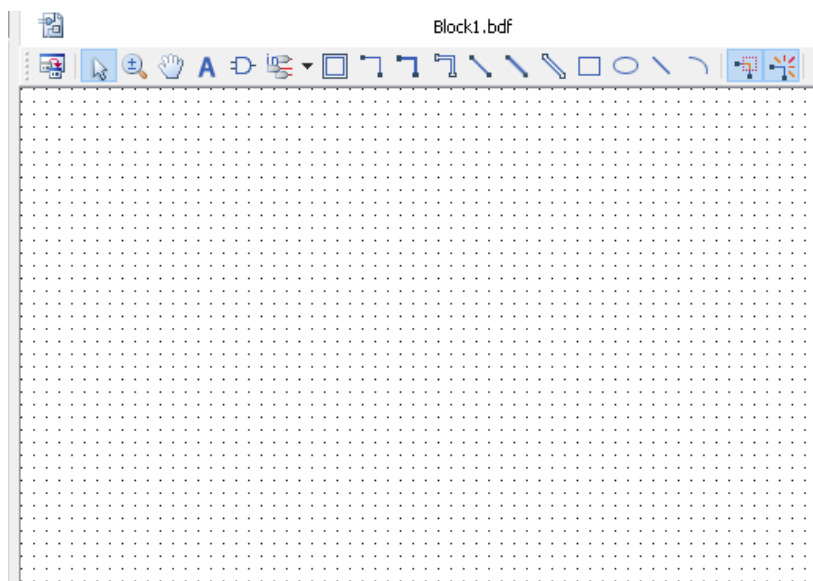


图 9 原理图编辑窗口

Quartus II 软件为实现不同的逻辑功能提供了大量的基本单元和宏功能模块，这些模块可以在原理图编译过程中直接调用。在原理图编辑窗口中双击鼠标左键或右键“Insert→Symbol”都可以打开如图 11 所示的“Symbol”对话框。

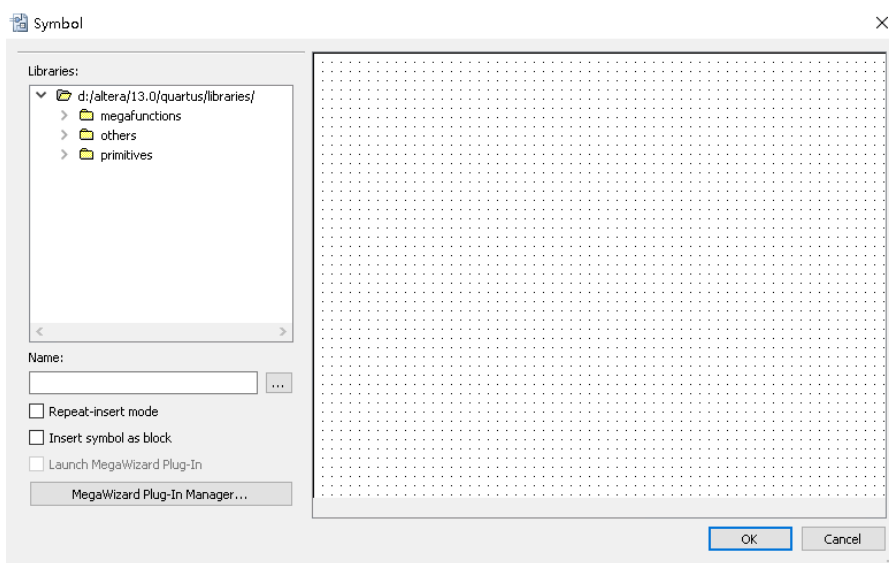


图 10 “Symbol”对话框

“Symbol”对话框左上角的“libraries”选择框可以用来选择需要的模块。Quartus II 软件提供的模块库包括“megafunctions”、“others”和“primitives”三种类型。基本单元(primitives)库中包括逻辑门、触发器，以及输入/输出引脚。其他(others)库中包括各系列标准逻辑器件。兆功能函数(megafunctions)库中包括很多参数可调整模块，如累加器、加法器等算术运算模块；时钟数据恢复(CDR)、锁相环(PLL)等输入/输出模块；FIFO、ROM、RAM 等存储器模块。在这里可设置调用模块的参数。

“Name”文本框可以用来直接输入需要使用的模块名称。无论利用“Libraries”选择框选定模块，还是利用“Name”文本框指定模块，一点完成，在右侧的窗口中都将出现该模块的符号，单击“OK”按钮，这个模块就会出现在原理图编辑窗口中。



利用逻辑门可以完成半加器的设计。半加器的设计需要用到一个与门(AND)和一个异或门。按照上述文字的介绍，这两个基本单元可从“primitives”中选择得到。打开“primitives—>logic”，“and2”即为需要添加的 2 输入与门，点击”OK”添加成功，如图 12 所示。

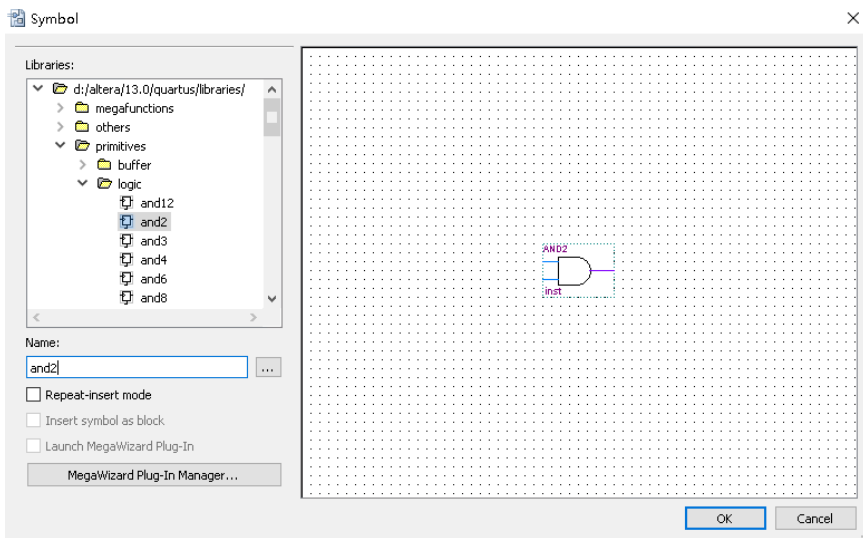


图 11 原理图输入添加与门窗口

同样，添加异或门。通过“primitives—>pin”或图形编辑栏中快捷按钮(图 13)添加输入和输出端口。

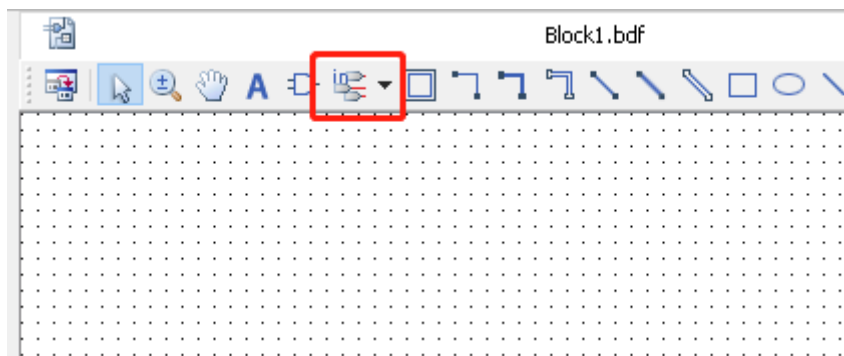


图 12 原理图输入快捷按钮栏

在调用所需要的模块后，还需要根据所设计的电路完成各个模块之间的连线，并为输入和输出管脚命名，后建立一个完整的原理图设计文件。后完成的半加器的原理图编辑窗口如下所示：

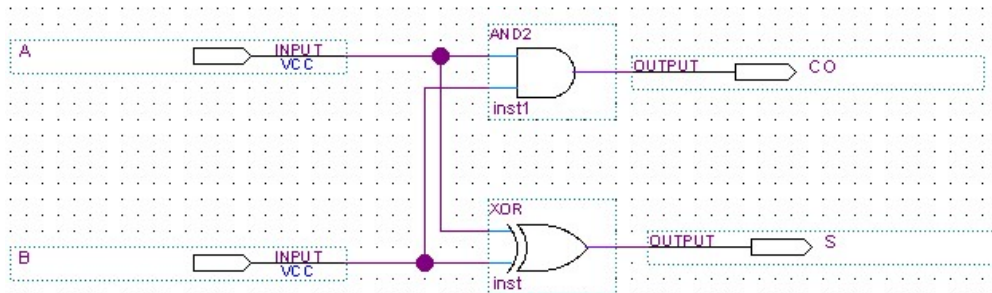


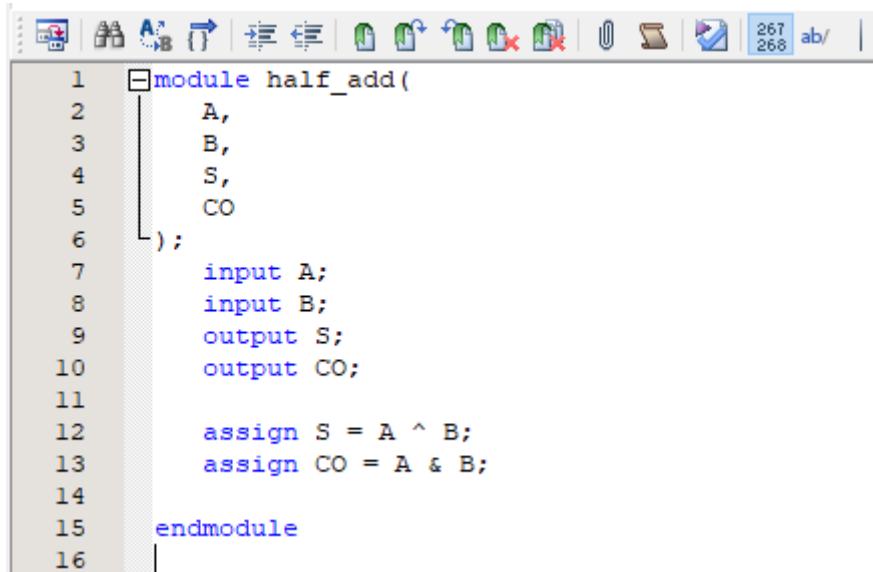
图 13 半加器原理图输入

在原理图编辑窗口中完成图形编辑之后，利用菜单“File—>Save As”可以完成第一次存储。这里将其同样命名为“half_add”，扩展名为“.bdf”。



1.3.2 建立文本设计文件

文本输入方式是指应用硬件描述语言进行电路设计。本节利用“Verilog HDL”输入设计信息。完成选择后，单击“OK”按钮打开一个新的编译框，如图 9 所示。



```
1 module half_add(  
2     A,  
3     B,  
4     S,  
5     CO  
6 );  
7     input A;  
8     input B;  
9     output S;  
10    output CO;  
11  
12    assign S = A ^ B;  
13    assign CO = A & B;  
14  
15 endmodule  
16
```

图 14 文本编辑窗口


在图 9 的文本编辑窗口中，Verilog 已经输入，这个代码用来实现一个半加器的设计。在文本编辑窗口输入上述程序后，利用菜单“File—>Save As”可以完成程序的第一次存储，这里输入的文件命名为“half_add”，扩展名采用“.v”。图 4 为将已编辑好的文本文件加入工程。



1.4 设计的编译

工程创建完成且添加了相应的设计文件后，即可对设计进行编译，这个过程也被称为综合。编译将产生描述电路结构的网表文件，网表文件不依赖于任何特定的硬件结构，可以轻易地移植到任意通用硬件环境中。

Quartus II 编译器主要完成设计项目的检查和逻辑综合，将项目设计结果生成可编程逻辑器件的下载文件，并未模拟和编程产生输出文件。

Quartus II 软件的编译器包括多个独立的模块，各个模块可以单独运行，也可以启动全编译过程。单击“Processing→Start Compilation”或直接点击菜单栏上的  标志，可启动全编译过程，如下图所示。

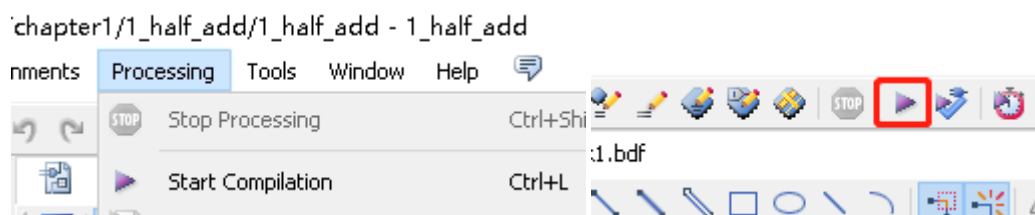


图 15 编译按钮

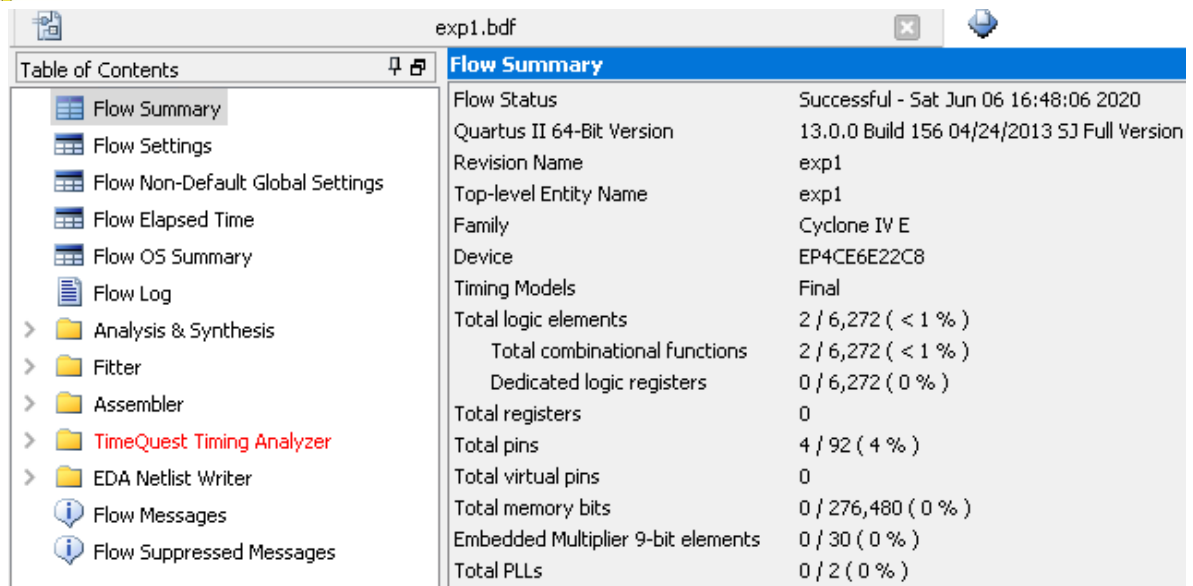
全编译启动后，Quartus II 软件工作窗口左边中间的任务窗口将显示编译的进度，如图 16 所示。

Tasks			⌵	⌵	✕
Flow: Compilation			▼	Customize...	
	Task	⌵	Time		
✓	▶ Compile Design		00:00:14		
✓	> ▶ Analysis & Synthesis		00:00:05		
✓	> ▶ Fitter (Place & Route)		00:00:04		
✓	> ▶ Assembler (Generate programming files)		00:00:02		
✓	> ▶ TimeQuest Timing Analysis		00:00:02		
✓	> ▶ EDA Netlist Writer		00:00:01		
	⌵ Program Device (Open Programmer)				

图 16 编译进度显示窗口

下面的信息窗口在编译的过程中将不断显示编译信息。编译结束后，窗口将显示编译是否成功，是否有错误信息，是否有警告信息。如果有错误，编译将不会成功。

编译报告显示了设计的系统占用所使用器件的资源情况，如逻辑单元数目，引脚以及存储器资源等。该半加器所用到的资源如下所示：



exp1.bdf		
Flow Summary		
Flow Status	Successful - Sat Jun 06 16:48:06 2020	
Quartus II 64-Bit Version	13.0.0 Build 156 04/24/2013 SJ Full Version	
Revision Name	exp1	
Top-level Entity Name	exp1	
Family	Cyclone IV E	
Device	EP4CE6E22C8	
Timing Models	Final	
Total logic elements	2 / 6,272 (< 1 %)	
Total combinational functions	2 / 6,272 (< 1 %)	
Dedicated logic registers	0 / 6,272 (0 %)	
Total registers	0	
Total pins	4 / 92 (4 %)	
Total virtual pins	0	
Total memory bits	0 / 276,480 (0 %)	
Embedded Multiplier 9-bit elements	0 / 30 (0 %)	
Total PLLs	0 / 2 (0 %)	

图 17 编译报告窗口



1.5 设计的仿真验证

完成了设计的输入和编译，还需要利用仿真工具对设计进行仿真。

1.5.1 基于原理图输入法的仿真：

如果使用原理图输入法，我们可以使用 Vector Waveform File 波形文件生成工具，进行时序仿真。方法如下：

第一步：建立 vwf 文件：

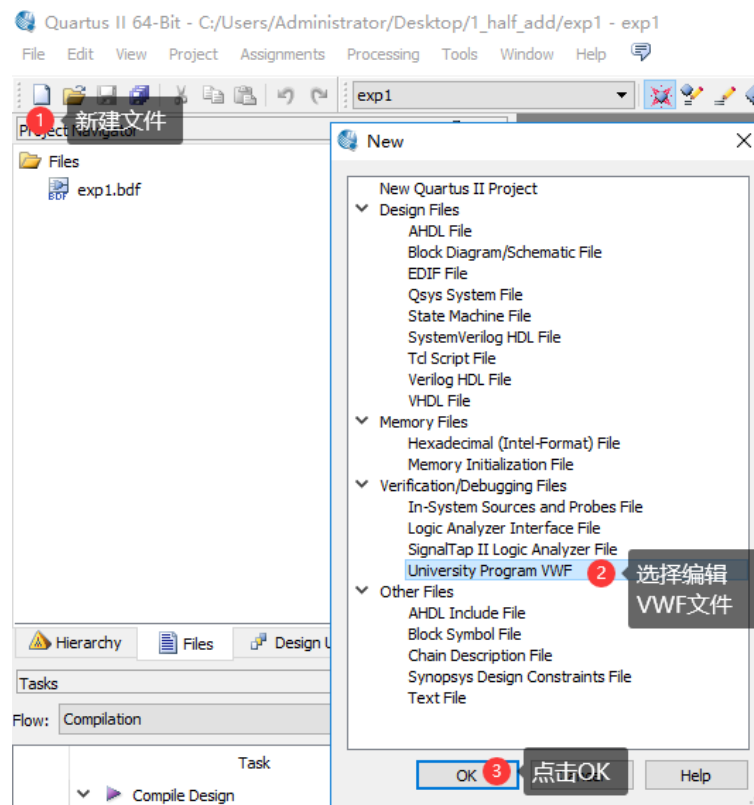


图 18：建立 vwf 文件

第二步：添加端口名称、输入/输出类型、位宽和初始状态

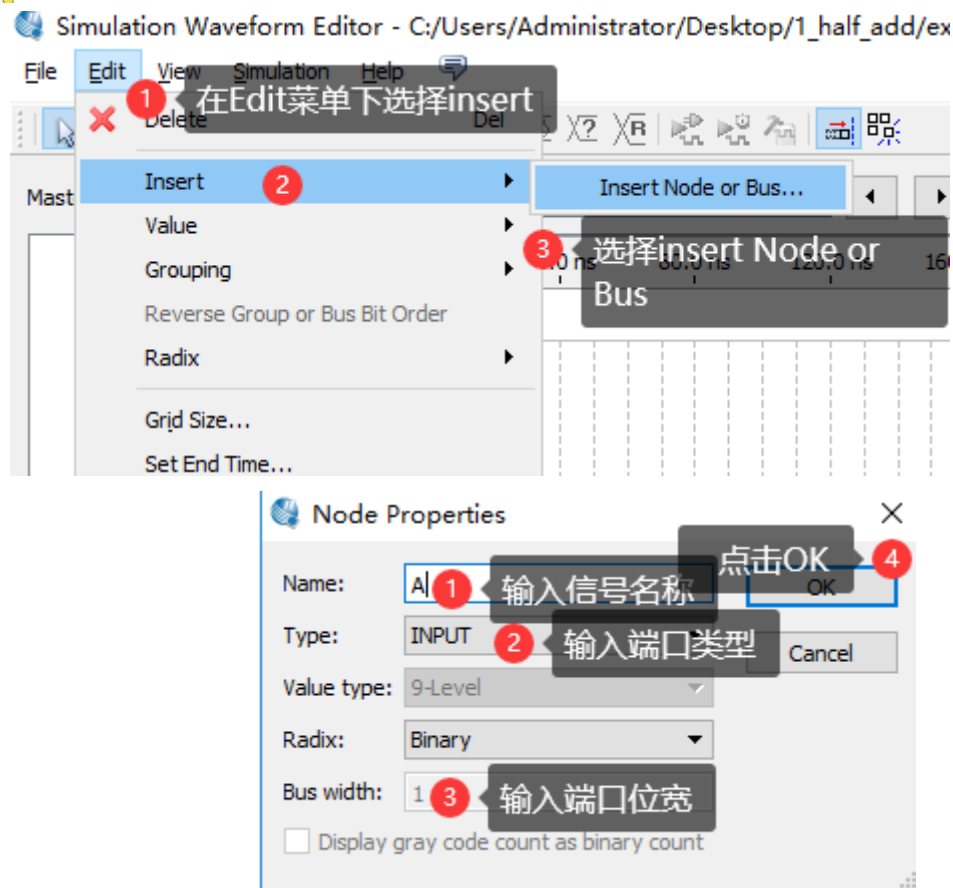


图 19 设置端口信息

第三步：设置仿真结束时间

点击 Edit 菜单下 Set End Time 选项：

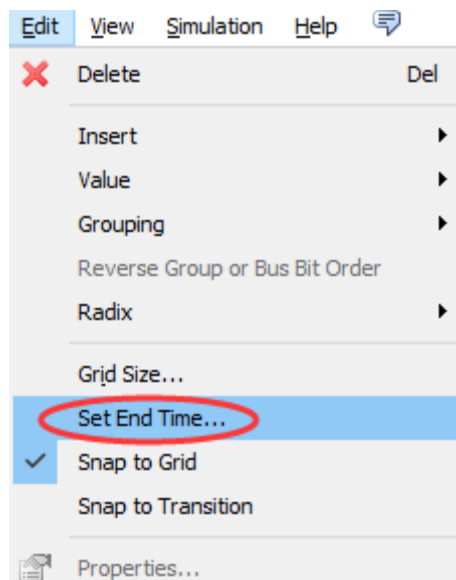


图 20 设置结束时间菜单

输入仿真的时间并确定仿真时间单位，完成后点击 OK。

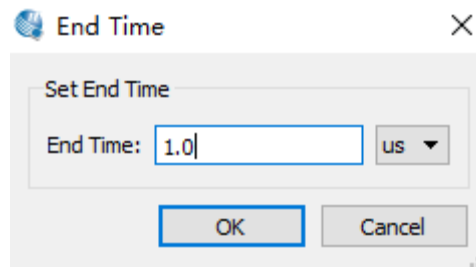


图 21 设置结束时间

第四步：编辑激励波形

在这一步，我们使用鼠标，框选我们需要编辑的激励信号名称和时间区间，然后设置为置 1。

例如这里，我们对信号进行 260ns~300ns 置 1 的赋值操作。鼠标框选 260ns~300ns 的时间区间后，点击置 1 按钮即可。

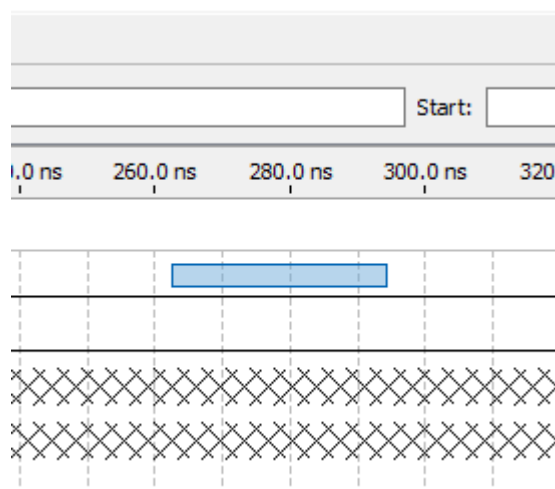


图 22：鼠标框选编辑的信号和区间

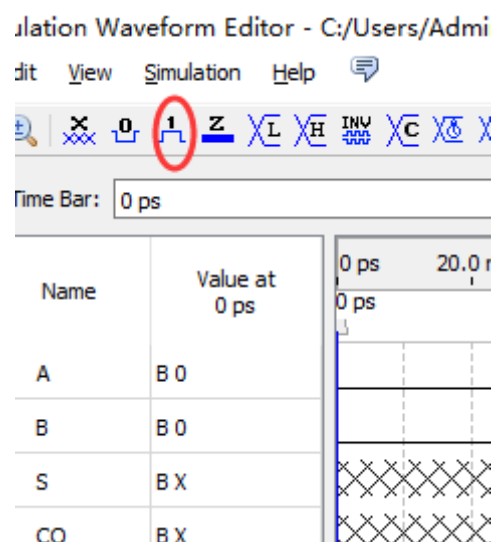


图 23：置 1 操作

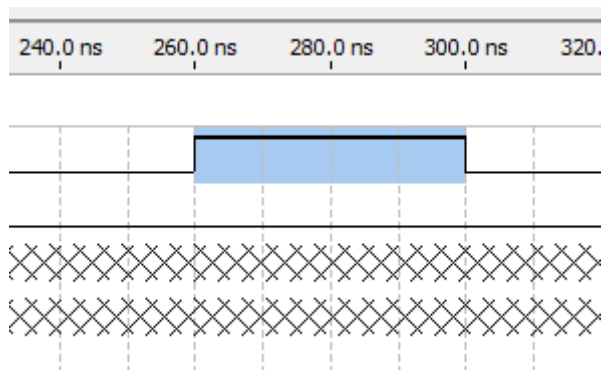


图 24: 置 1 后效果

第五步: 确认仿真工具

在 simulation 菜单下, 选择 option 选项

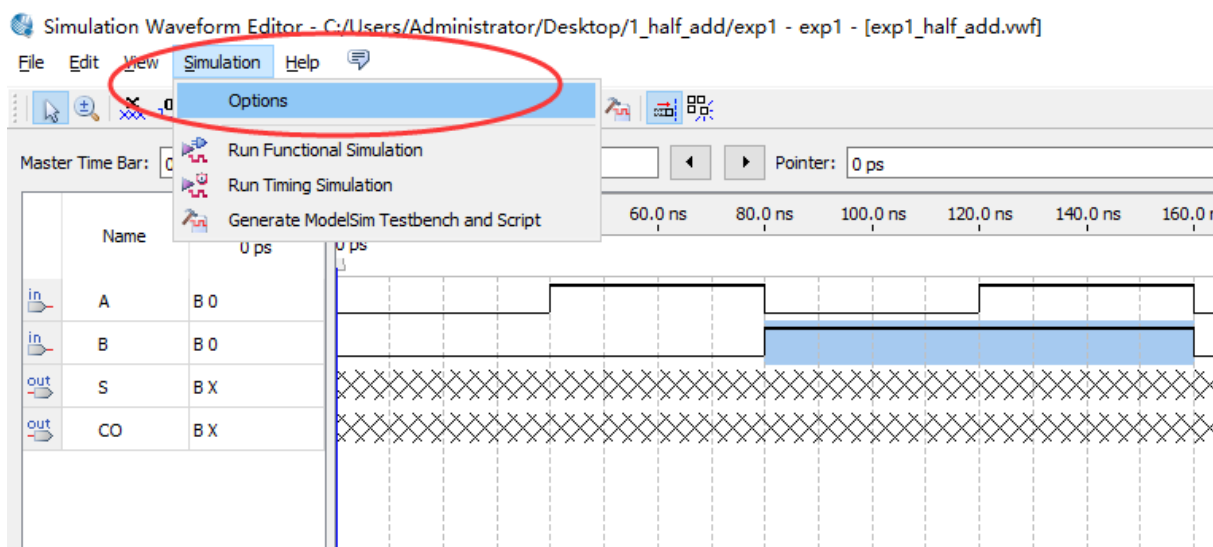


图 25

确认仿真软件为 Quartus II Simulator 后, 点击 OK。

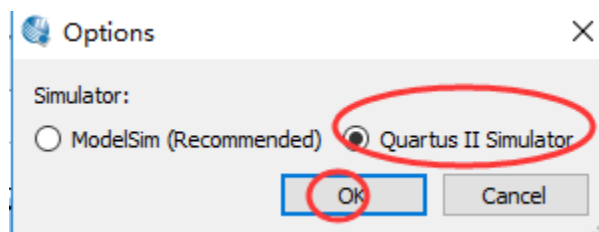


图 26

对提示框点击 OK 确认。

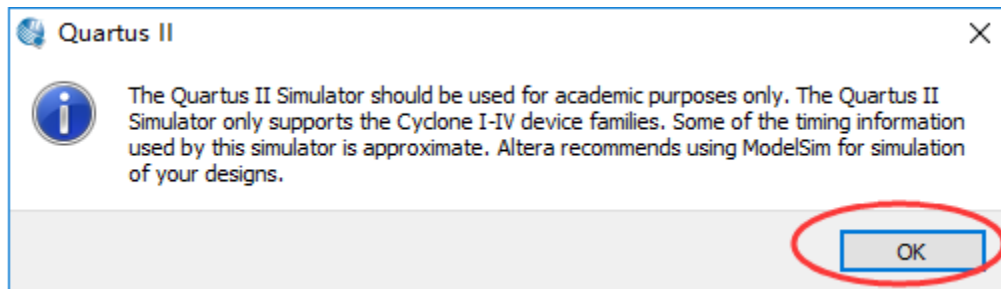


图 27

注意：Quartus II Simulator 仅支持 Cyclone I—IV 代的器件，而原理图输入法仅支持 Quartus II Simulator 的仿真而不支持 Modelsim 的仿真。

第六步：启动仿真

进行完仿真设置，我们就可以点击启动仿真，观察仿真输出结果了。

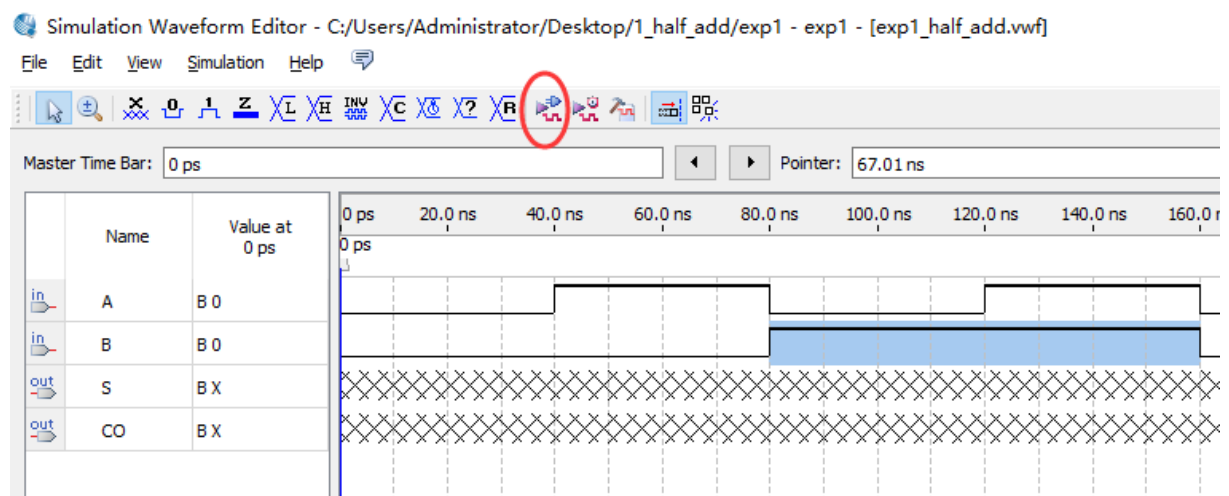


图 28

以上内容为使用原理图输入法的仿真设计验证流程，请同学们在学习后续课程的过程中，加以练习体会。

1.5.2 基于代码设计输入法的 Modelsim 仿真：

如果您的设计采用的是 Verilog HDL 或 VHDL 输入法而需要使用 Modlesim 软件进行仿真验证，则按如下方法进行：

使用 Verilog HDL 语言设计的过程中，因为编译过程只检查了设计是否具有规则错误和所选择器件的资源是否满足设计要求，并没有检查逻辑功能是否能满足。仿真的过程就是让计算机根据一定的算法和一定的仿真库对设计进行模拟，以验证设计，找出错误。

Quartus II 13.0 软件提供了 ModelSim-Altera 入门版 10.1d 软件来实现仿真的功能，在安装 Quartus II 的安装步骤中选择安装 Modelsim 即可，用户也可以根据自己的需要安装独立的 Modelsim 软件。

ModeSim 的仿真分为前仿真和后仿真。前仿真为纯粹的功能仿真，在理想的情况仿真验证设计的功能是否正确，后仿真需要添加仿真库、网表和延时文件等。下面以半加器的设计为例，详细的介绍 ModelSim 前仿真的实现。点击 Modelsim 的图标(这里演示的 Modelsim 在 Quartus II 13.0 的



安装目录下 D:\altera\13.0\modelsim_ae\win32aloem), 随即弹出 Modelsim10.1d 的主窗口如下图所示:

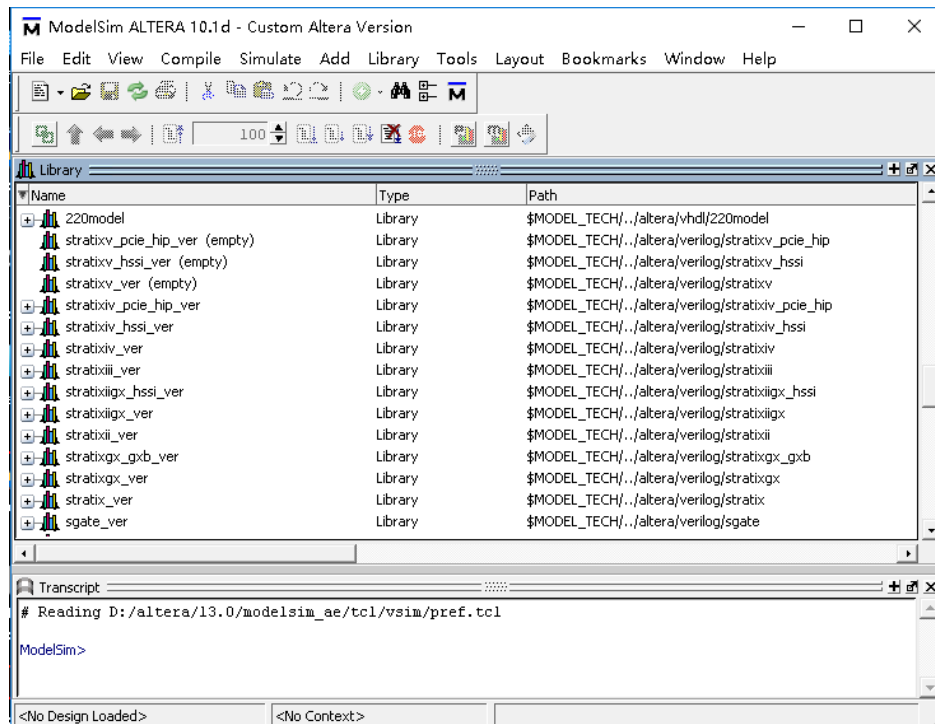


图 29 ModelSim 软件界面

1)新建工程

点击 File→New→Project, 出现如下对话框, 在 Project Name 中添加工程名为 half_add; 在 Project Location 中选择工程所在的路径, 默认情况下的 default Library Name 为 work。建议为 Modelsim 软件的工程重新建立一个新的路径, 避免与 Quartus II 的工程在同一个文件夹下。

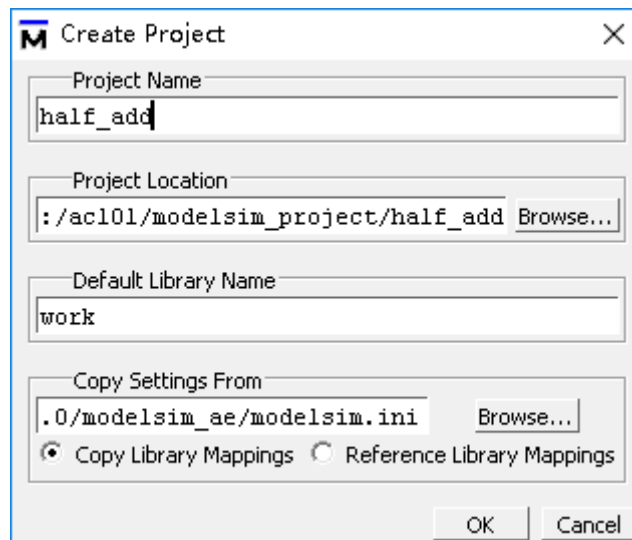


图 30 新建工程对话框

2) 添加文件。新建工程后, 出现添加项目对话框:

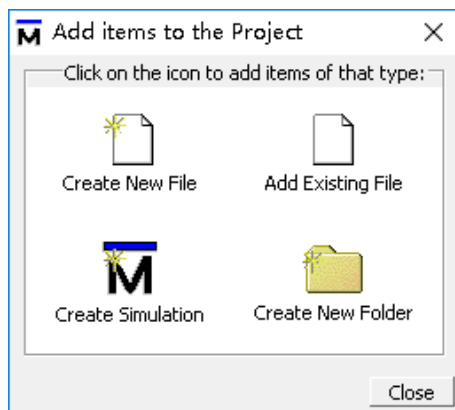


图 31 工程添加项目对话框

点击“Add Existing File”，通过“Browser”按钮将 half_add.v 文件添加到工程中。点击 Create New File，新建测试文件。在出现的对话框中输入测试文件的名称为 half_add_tb，“Add file as type”选择为 Verilog，如下图所示。点击 OK，该测试文件成功加入工程：

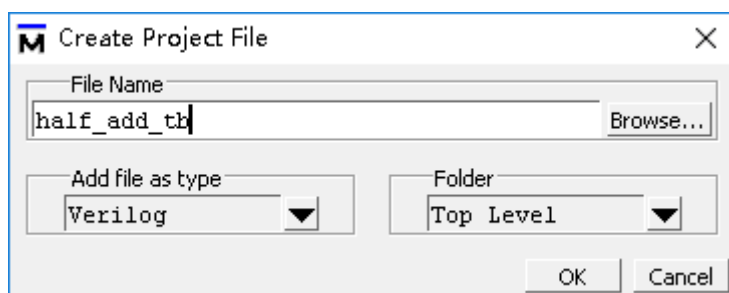



图 32 添加测试文件对话框

在“Project”窗口中双击“half_add_tb”或右键单击选择“Edit”，可对该文件进行编辑，编辑后的内容如下所示：

```
D:\ac101\modelsim_project\half_add\half_add_tb.v - Default
Ln#
1      module half_add_tb;
2      reg A, B;
3      wire S, CO;
4
5      half_add u_half_add(A,B,S,CO);
6
7      initial begin
8          A = 0; B = 0; #4;
9          A = 0; B = 1; #4;
10         A = 1; B = 0; #4;
11         A = 1; B = 1; #4;
12         $finish;
13     end
14
15 endmodule
```

图 33 测试文件文本编辑窗口

3)编译文件

在 Project 窗口中选中文件 half_add.v 和 half_add_tb.v，右键选择 Compile—>Compile Selected，如下图所示。或者在选中文件后，直接点击菜单栏上的图标进行编译。

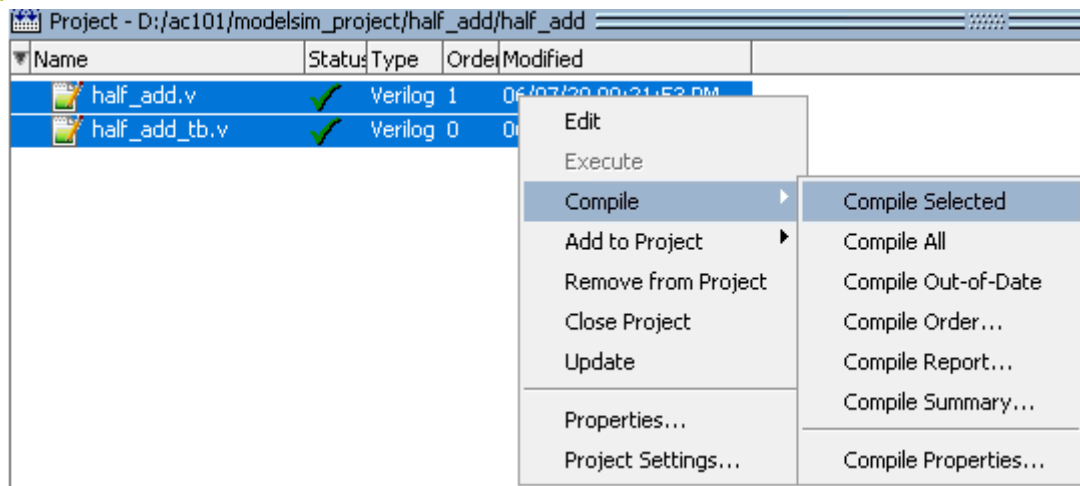


图 34 文件编译操作

编译完成后，在 Transcript 窗口中出现如下文字，说明编译成功。

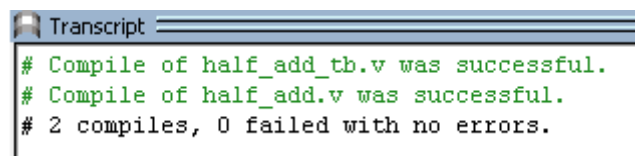


图 35 编译成功显示

4) 仿真

打开 library 窗口，如下所示，

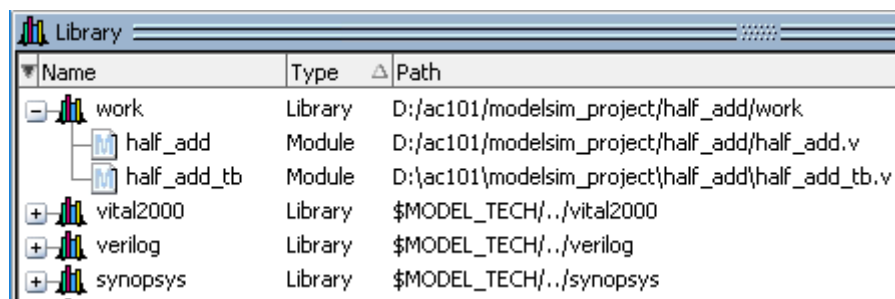


图 36 仿真操作

双击测试文件 half_add_tb, 即可实现仿真的功能，随即出现对话框如下：

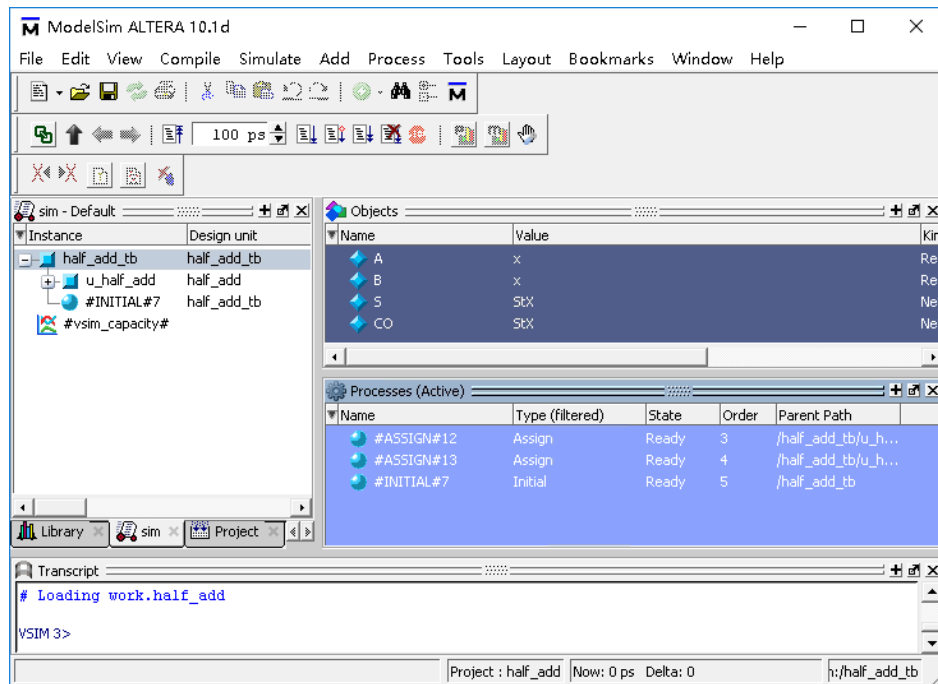


图 37 仿真过程 Objects 窗口

在 Objects 窗口中选择我们想要仿真的波形信号 A, B, S, CO, 右键选择 Add To -> Wave->Selected Signals, 如下所示。

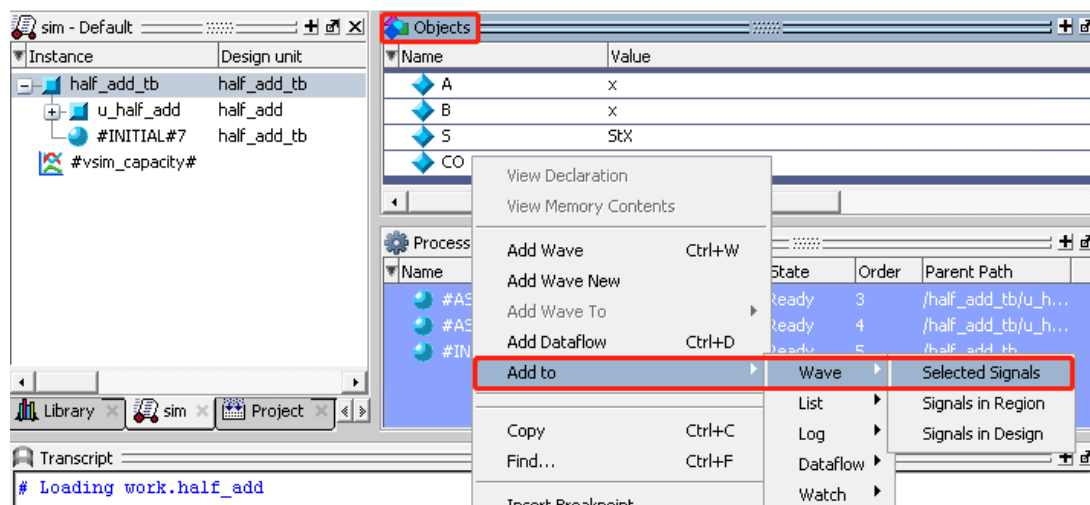
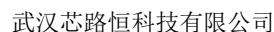


图 38 添加特定信号到波形文件

之后弹出波形窗口，如下：



ModelSim ALTERA 10.1d

File Edit View Compile Simulate Add Wave Tools Layout Bookmarks Window Help

100 ps

Wave - Default

Signal	Value	Time
/half_add_tb/A	x	0.00 ns
/half_add_tb/B	x	0.00 ns
/half_add_tb/S	StX	0.00 ns
/half_add_tb/CO	StX	0.00 ns

Transcript

```
sim:/half_add_tb/CO
VSIM 4>
```

0 ps to 4600 ps Project : half_add Now: 0 ps Delta: 0 sim:/half_add_tb/A

上图的波形窗口界面配色做了修改，以方便打印出来纸质阅读，具体修改方法可以参考论坛链接：<http://www.corecourse.cn/forum.php?mod=viewthread&tid=28356>

ModelSim ALTERA 10.1d

File Edit View **1** **Simulate** Add Source Tools Layout Bookmarks

Design Optimization...
Start Simulation...
Runtime Options...

sim - Default **4**

Instance Design

half_add_tb half_ac
+ u_half_add half_ac
#INITIAL#7 half_ac

#vsim_capacity#

5 Run Step Restart... Break Break End Simulation

Run 100 F9
Run -All
Continue F10
Run -Next

St1

仿真波形如下:

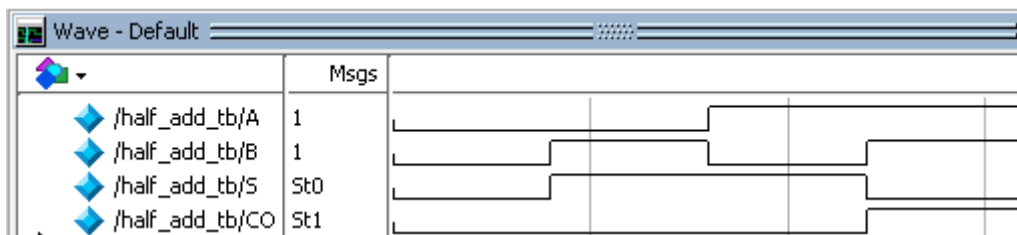


图 41 生成仿真波形

到此，前仿真操作结束。

后仿真的前提是 Quartus II 已将要对仿真的目标文件进行编译，并生成 Modelsim 仿真所需要的 .vo（网表文件）和 .sdo（延时文件）。后仿真可以通过 Quartus II 软件调用 Modelsim 的方式把所需要的文件及其仿真库加载到 Modelsim 中，操作较简单。首先要在 Quartus II 中进行相应的设置。

打开 Quartus II，运行将要仿真的工程，点击菜单栏中“Assignment—>Settings”，出现如下对话框，在左侧 Category 栏中选择“EDA Tools Setting”下的“Simulation”。例如如果 PC 机上装载了 Modelsim10.1d，那么在右侧“Tool name”可选择“ModelSim-Altera”（注意：此处选择为 ModelSim Altera 而不是 Modelsim）。“Format for output netlist”和“Time scale”等用户可根据自己的需要进行设置。用户可选择“Run gate-level simulation automatically after compilation”，前提是已经设置好了仿真软件的安装路径。

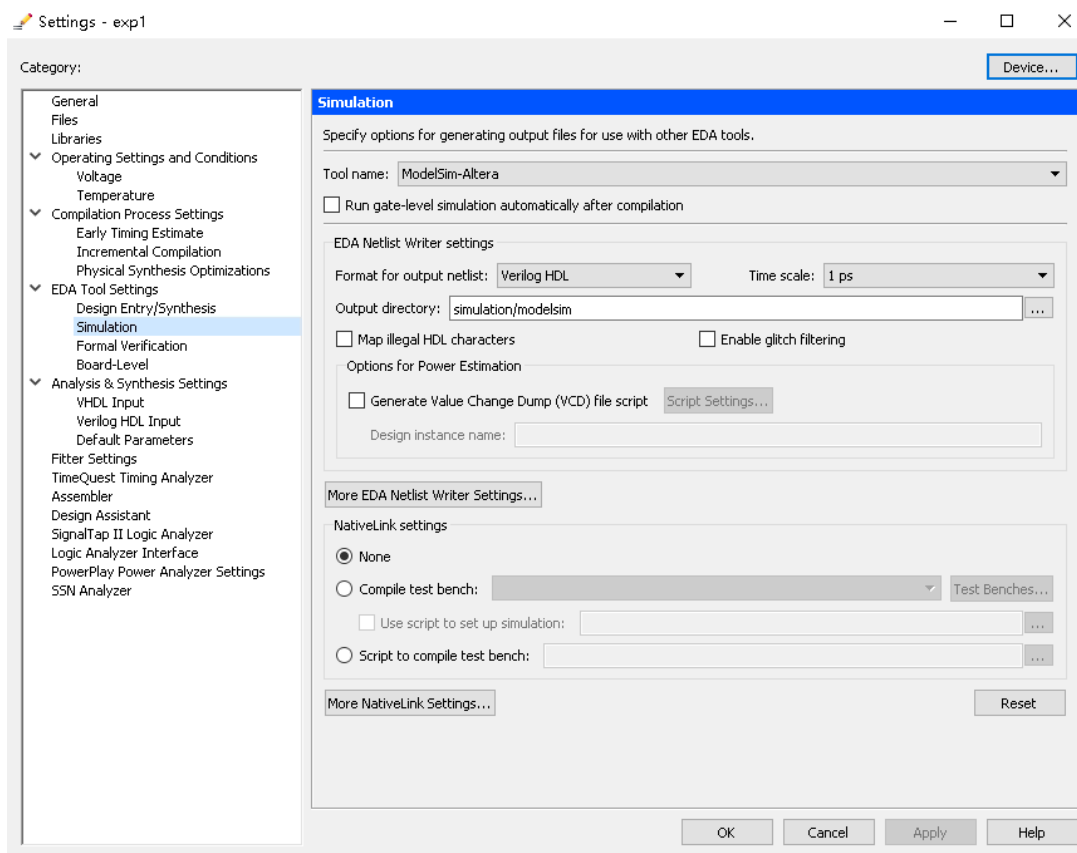


图 42



在菜单栏点击“Tools—>Options”，设置安装路径，出现如下对话框。在“General”下选择“EDA Tools Options”，在右侧设置 ModelSim-Altera 的安装路径。这样在 Quartus II 编译后，便能自启动 ModelSim-Altera 软件。

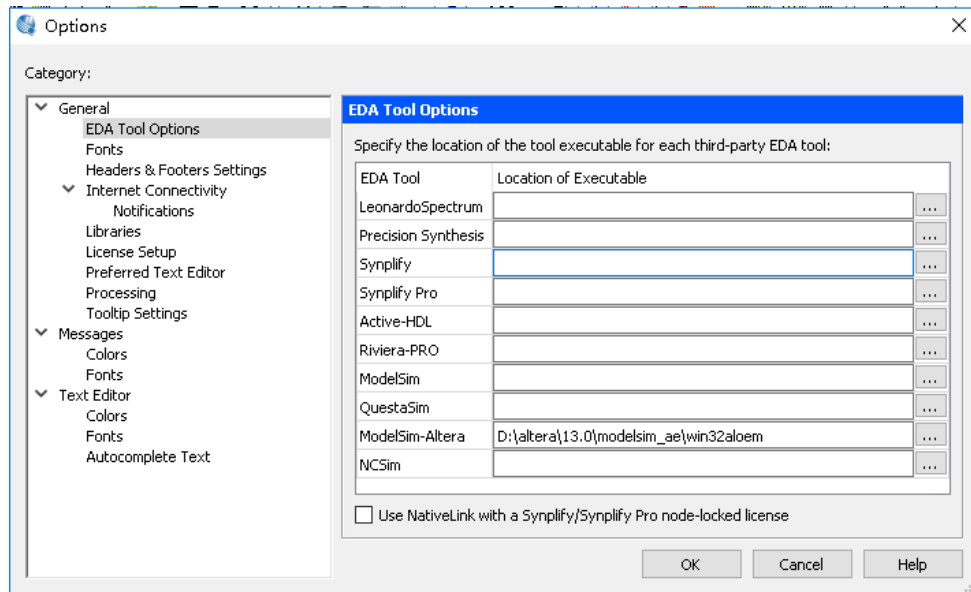


图 43

后仿真包括综合后的功能仿真和布局布线后的时序仿真。

上述设置完成，重新编译工程。打开工程目录，会发现多了一个 simulation 文件夹，在打开该文件夹下的 Modelsim 文件夹，其中的.vo 文件就是生成的网表。

1) 综合后的功能仿真：

将 D:\altera\13.0\quartus\eda\sim_lib 中的 220.model.v，altera_mf.v，altera_primitives.v，cycloneiv_atoms.v 拷贝到工作库(默认为 work)的目录下。因为功能仿真不需要 sdo 文件(标准时延文件)提供的信息，将.vo 文件中 initial \$sdf_annotate("test_sim_v.sdo")语句注释掉，保存。

此外，将测试文件也保存到该目录下。

ModelSim 软件启动后，点击菜单栏上 Compile，编译 220.model.v，altera_mf.v，altera_primitives.v，cycloneiv_atoms.v，.vo 和测试文件。编译成功后，双击库目录下的测试文件启动仿真，之后基本步骤和前仿真类似。

2) 布局布线后的时序仿真

布局布线后的时序仿真除了要添加.vo 文件外，还要添加.sdo 文件。例如设计了一个二分频电路，设计文件和测试文件分别为 div_clk 和 div_clk_tb，测试文件中实例化的实体名为 u_div_clk；可以通过输入命令的方式添加.sdo 文件，具体的命令行如下：

```
vsim -L cycloneiv_ver  
-sdftyp  
/u_div_clk=D:\ac101\modelsim_project\div_clk\simulation\modelsim\div_clk_v.sdo  
work.div_clk_tb
```

cycloneiv_ver 是 altera_lib 库，因为用的是 cycloneiv 芯片，所以用 cycloneiv_ver，如果是其他就是~_ver，u_div_clk 是测试平台中实例化的实体名，为要加延时参数的实体 D:\ac101\modelsim_project\div_clk\simulation\modelsim\div_clk_v.sdo 是.sdo 文件的路径 div_clk_tb 是测试平台，work 为库名。




设置完成后，双击库目录下的测试文件启动仿真，之后基本步骤和前仿真类似。



1.6 引脚分配

为器件的输入和输出引脚指定具体的引脚号码，称为引脚分配。可编程逻辑器件必须与其他器件共同完成设计的系统功能，通常放置可编程逻辑器件，以及其他相关器件的电路板上的连接是固定的，因此需要指定可编程逻辑器件的一些特定引脚对应实体定义的设计实体的输入和输出端口。

分配可编程逻辑器件的引脚可单击菜单“Assignments—>Pin Planner”或点击菜单栏上  图标，打开引脚分配窗口，建议在进行引脚分配之前完成设计的编译，这样引脚的名称已将在引脚对话框中存在，从而可以方便引脚的配置。





Node Name	Direction	Location	I/O Bank	VREF Group	I/O Standard	Reserved
 A	Input	PIN_70	4	B4_N0	2.5 V (default)	
 B	Input	PIN_71	4	B4_N0	2.5 V (default)	
 CO	Output	PIN_49	3	B3_N0	2.5 V (default)	
 S	Output	PIN_46	3	B3_N0	2.5 V (default)	
<<new node>>						

图 44 引脚配置窗口

在引脚分配窗口中的“Location”列中双击鼠标左键，键入需要的引脚号码，即可完成引脚的配置。半加器完整的引脚分配窗口如图 17 所示。


退出引脚分配窗口，系统将自动完成引脚分配信息的存储。在完成引脚分配后，必须再一次对设计进行编译，才能将引脚分配信息编译进编程下载文件中，此后就可以将生成的变成下载文件下载到目标板里了。



1.7 器件配置

基于可编程逻辑器件的数字系统的开发过程包括设计输入、编译、仿真和向器件下载设计文件等步骤。一旦器件获得合适的设计文件，这个器件就具有了相应的逻辑功能。

利用 Quartus II 集成开发软件可以完成设计的输入、编译和仿真，利用该软件也可以实现对可编程逻辑器件的编程/配置。在完成设计的编译后，如果选择 FPGA 器件，一个扩展名为 .sof 文件将被自动生成。这个文件的名称同输入文件的名称相同，它们被用来通过下载电缆对目标器件进行编程/配置。

在 Quartus II 窗口中，单击菜单“Tools—>Programmer”或点击 图标，打开编程、配置器窗口，如图 18 所示。

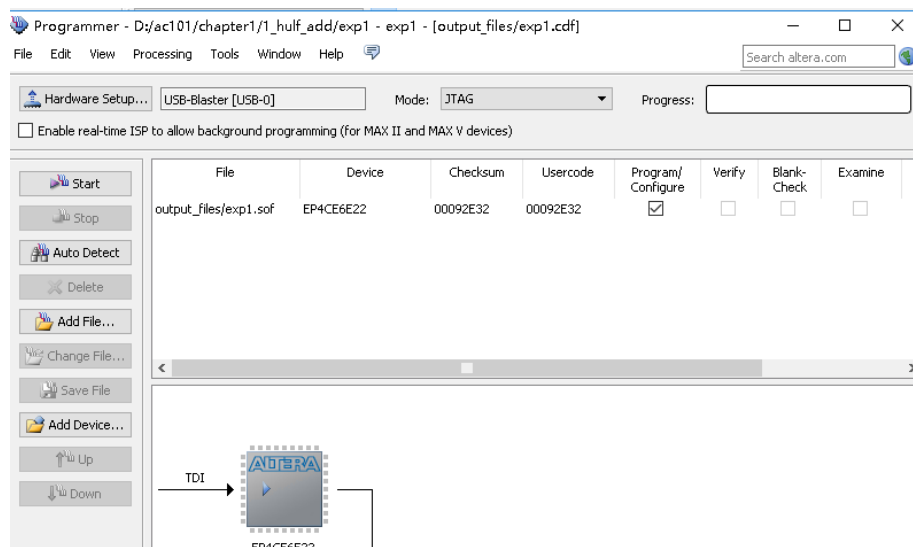


图 45 编程/配置器窗口

编程/配置器窗口用来设计准备使用的计算机输出端口、下载电缆类型、可编程逻辑器件的编程/配置模式，以及下载的具体文件。在你的编程、配置过程中，“Progress”显示栏将显示工作进度。

若打开的窗口中没有设置编程硬件，这时窗口上面的文本框显示“No hardware”。单击“Hardware Setup”按钮打开“Hardware Setup”对话框，如图 19 所示。在“Currently selected hardware”中选择希望的编程方式，这里选择为“USB-Blaster”，在图 18 中可见。完成上述工作，关闭该窗口。

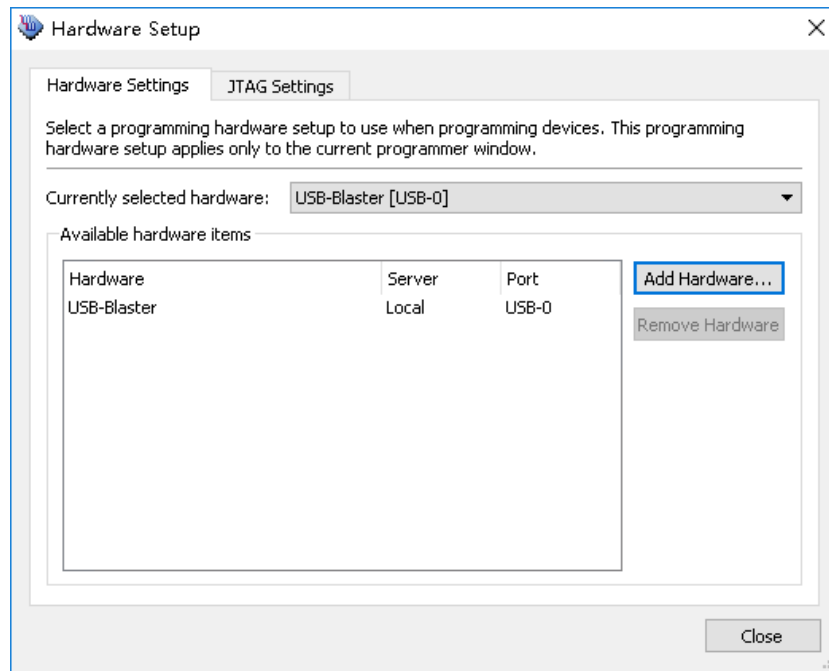


图 46 “Hardware Setup”对话框

在原来的编程/配置器窗口中，利用“Mode”下拉列表选择配置模式，当前选择为 JTAG 模式。在 JTAG 模式下，对器件进行配置前，“Program/Configure”复选框必须被选中。上述工作完成以后，单击“Start”按钮可以开始编程/配置工作。编程/配置器的工作状态可以保存，这个文件的扩展名为.cdf。

至此 Quartus II 软件完成了设计输入，编译和向器件下载的任务。