

装

订

线

**学生实验实习报告册**

|  |  |
| --- | --- |
| 学年学期： | 2023-2024 学年🞏春☑秋学期 |
| 课程名称： | 数字电路与逻辑设计实验A |
| 实验项目： | 基于FPGA的数字电子钟的设计与实现 |
| 学院和专业： | 计算机科学与技术 |
| 班 级： | 04012204 |
| 姓 名： | 钟承霖 |
| 学 号： | 2022212062 |
| 序 号： | 52 |
| 指导教师： | 王恩普 |

**重庆邮电大学教务处制**

1. 系统顶层模块设计
2. **系统功能**

基本功能：能实现秒、分钟、小时的计数，计数结果清晰稳定的显示在8位数码管上。  
扩展功能：6、9补段，分隔符，暂停，清零，调频，秒表和闹钟。

1. **设计思路**

利用数字电子技术、FPGA等技术、设计并实现一个基于FPGA的数字电子时钟的基本功能。实验所需时钟信号为50MHz、1KHz、500hz和1Hz，分频器将50MHz的方波进行分频，进而得到1Hz的标准秒脉冲，时、分、秒、星期计时模块分别由二十四进制时计数器、六十进制分计数器和秒计数器以及七进制星期计数器完成，校时模块完成时、分、秒和星期的校正。时钟显示和闹钟设置由mode\_select由set\_naozhong\_05开关键控制。当该开关打开，则设置闹钟，反之显示时钟。比较时钟和设置时间即可实现闹钟功能。手动较时以及设计闹钟考虑到按键的抖动情况，还应用D触发器设计消抖模块。

1. **设计结果**

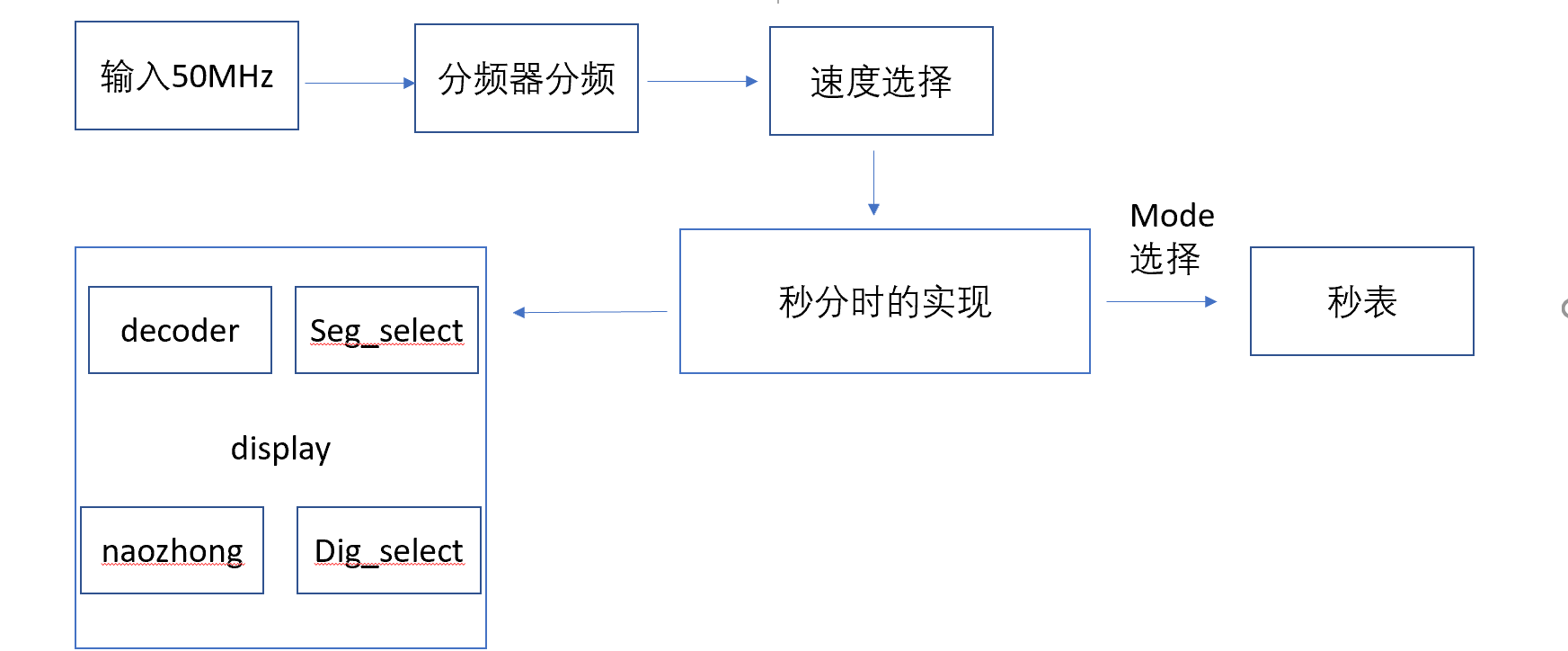
****

图1 系统顶层模块设计

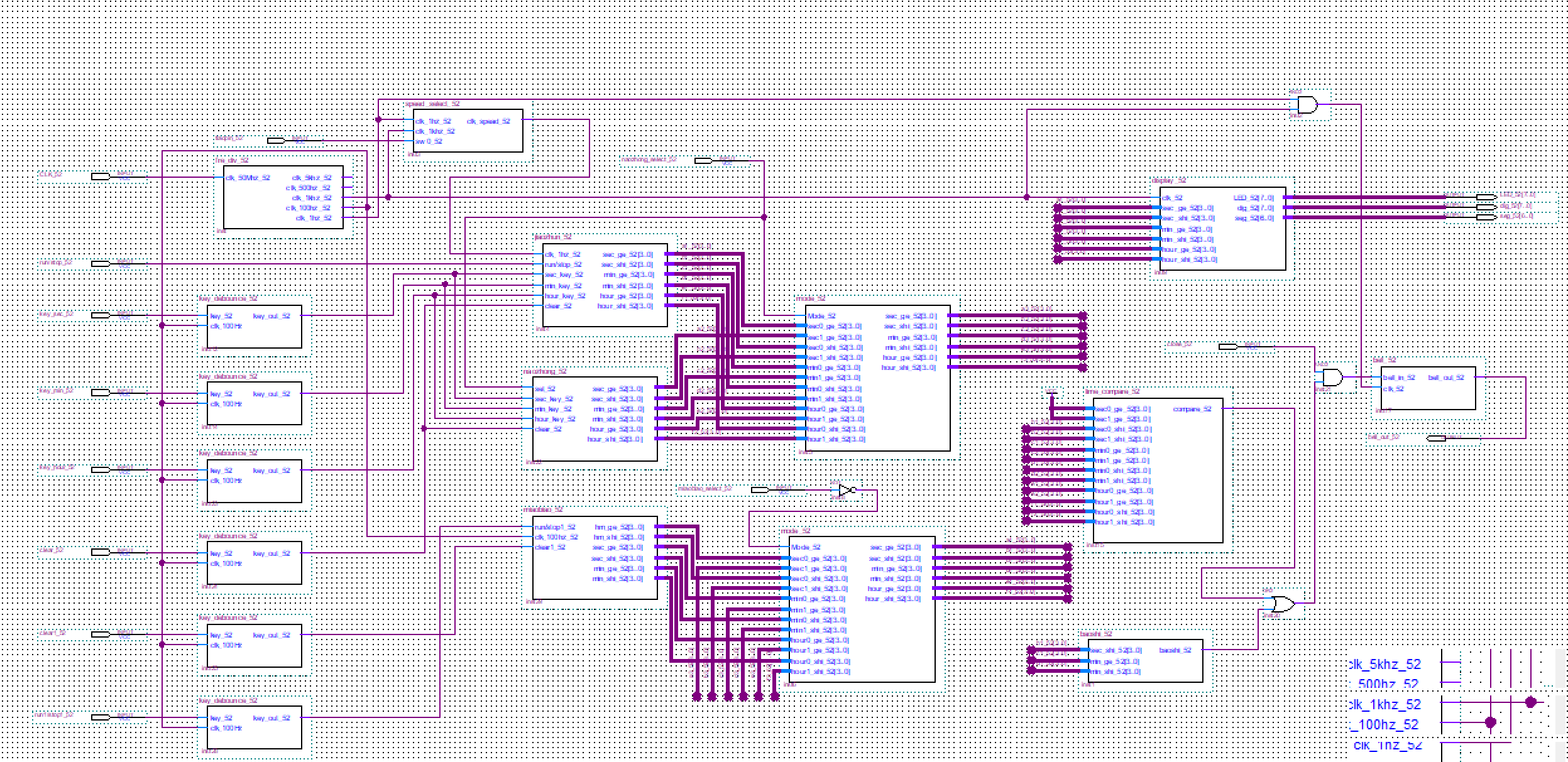
****

图2 系统顶层电路设计

表1 按键与功能表

|  |  |  |  |
| --- | --- | --- | --- |
| 模块 | 按键/开关 | 状态 | 功能 |
| 分频模块 | S[7] | 00  10  01 | 输出1hz  输出1khz  输出5khz |
| 清零模块 | K[7] | 1 | 清零 |
| 暂停模块 | S[5] | 1  0 | 恢复  暂停 |
| 闹钟模块 | S[2] | 1  0 | 进入闹钟模式  关闭闹钟模式 |
| 秒表模块 | S[1]  K[4]  K[6] | 1  0  1  1 | 进入秒表  退出秒表  开始/暂停  清零 |

1. 分频模块电路设计及仿真
2. 模块功能

将50MHz分为1KHz、500hz和1hz。

1. 设计思路

对于将50MHz分频为1KHz、500Hz和1Hz的要求，使用74390芯片可以实现这个任务

1. 第一级分频（50MHz -> 500KHz）： 使用一个模100计数器将50MHz的输入信号分频为500kHz。该计数器每100个输入周期输出一个脉冲，将频率降低到500kHz。

2. 第二级分频（500KHz -> 5KHz）：使用第二个模100计数器将500kHz的信号分频为5kHz。每100个输入周期输出一个脉冲，将频率降低到5kHz。

3. 第三级分频（5KHz -> 1KHz、500hz、1hz）： 配置74390的分频器部分，将其设置为适当的分频模式以得到各频率的输出，将频率降低到1KHz、500Hz、1Hz。

1. 设计结果（电路）

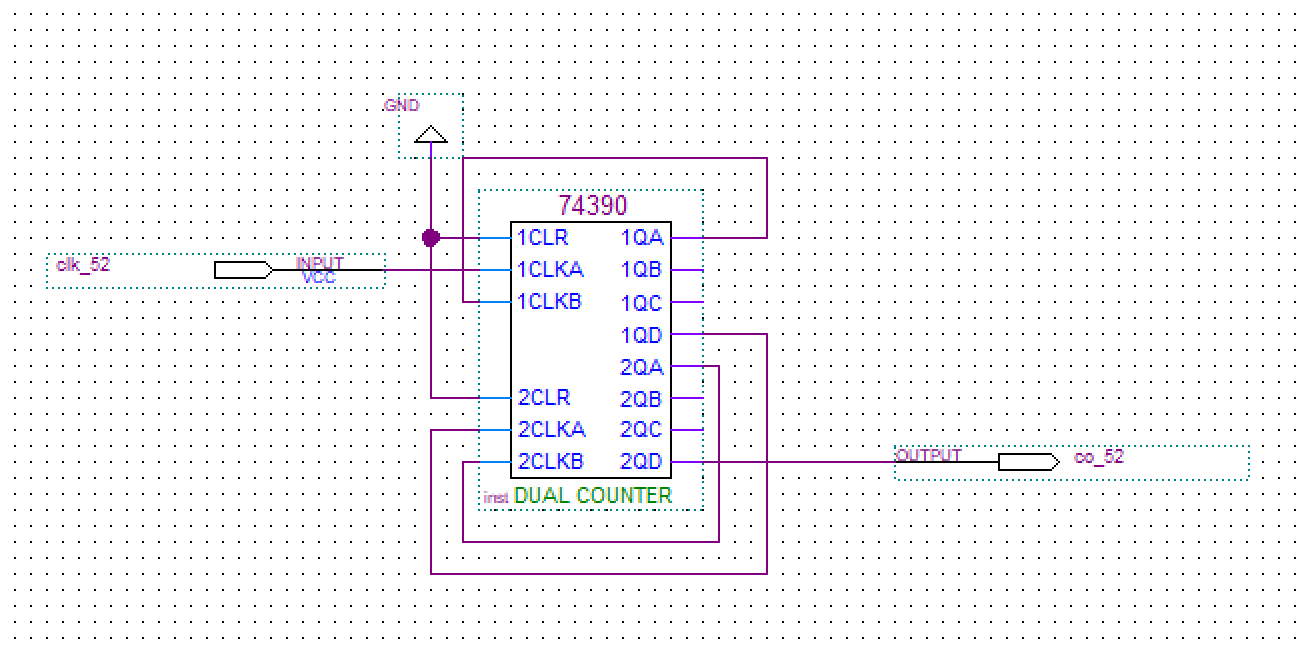


图3 分频器m100电路设计

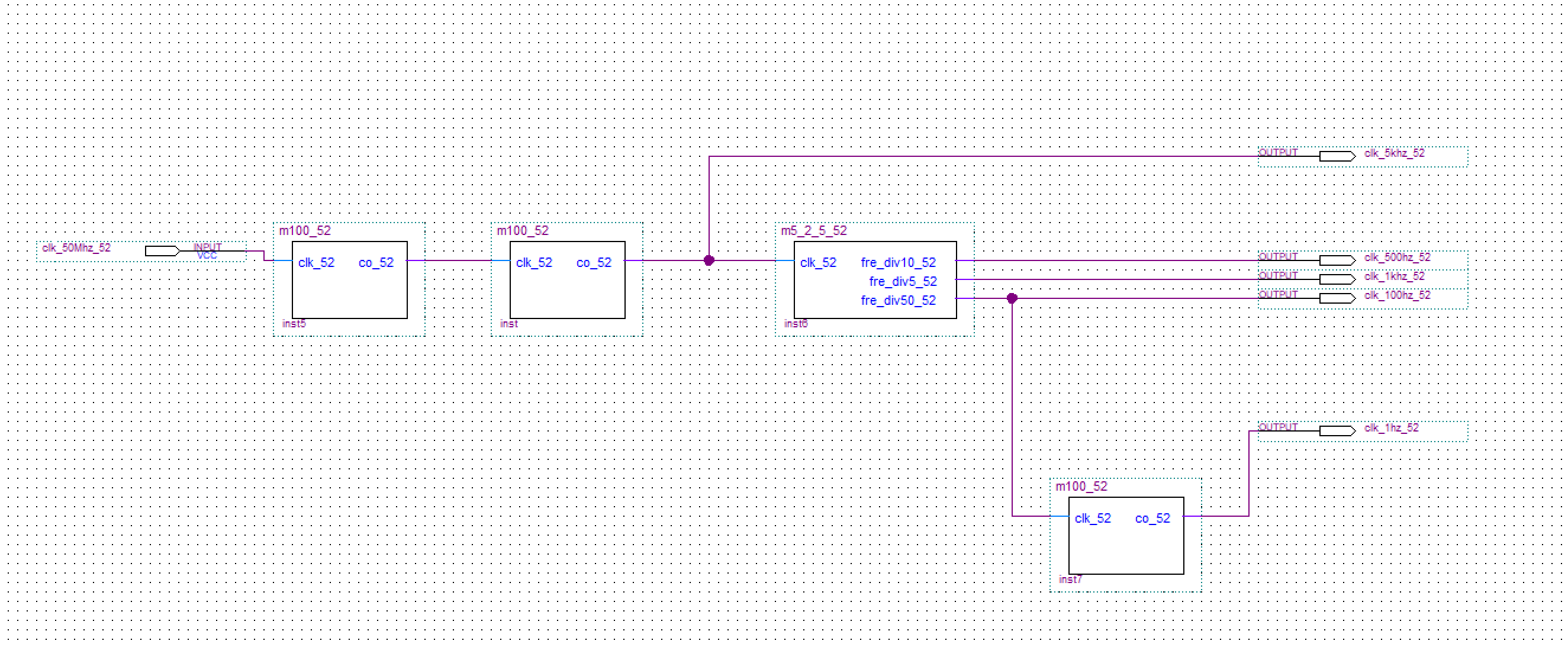


图4 分频模块电路设计

1. 测试结果

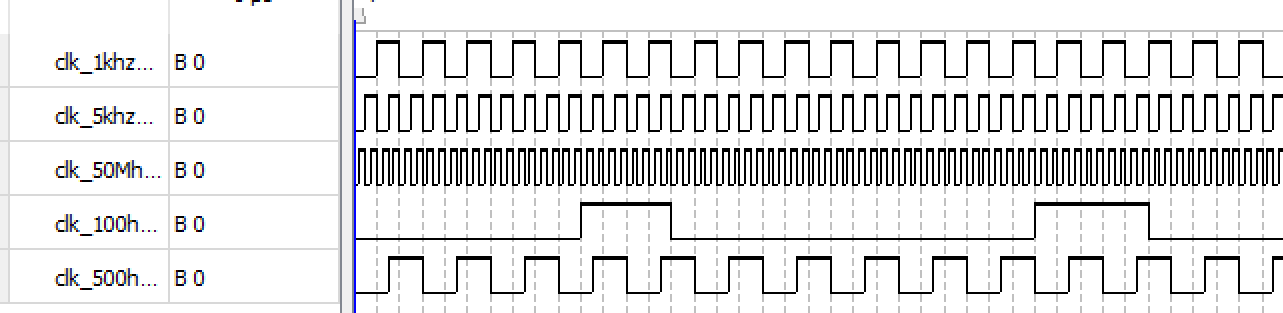


图5 分频模块波形仿真

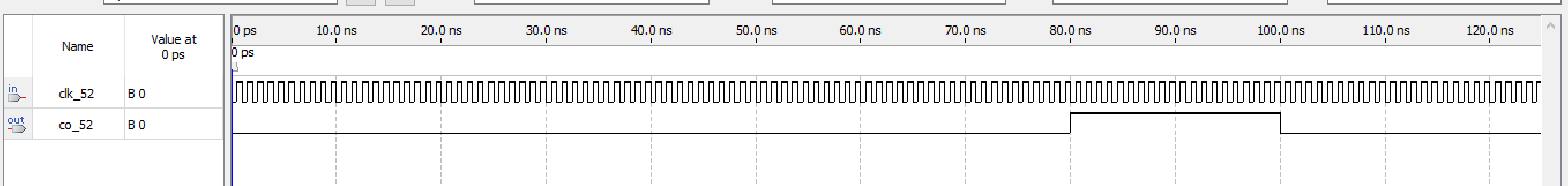


图6 m100波形仿真

1. 仿真波形数据分析

100次时钟信号后产生下降沿，实现了各种频率输出

1. 计时模块设计及仿真
   1. 分、秒计时模块（模60计数）
2. 模块功能（计数、进位）

实现模60计数器计数进位以及清零功能。使秒和分在60时实现异步清零并向下一位进位。

1. 设计思路

先利用74390芯片的双进制计数功能，设计0—100的依次计数，再利用与非门和D触发器实现计数到60的清零功能，从而达到0—60的依次计数，并利用D触发器消除实际电路中的竞争冒险现象。

1. 设计结果（电路）

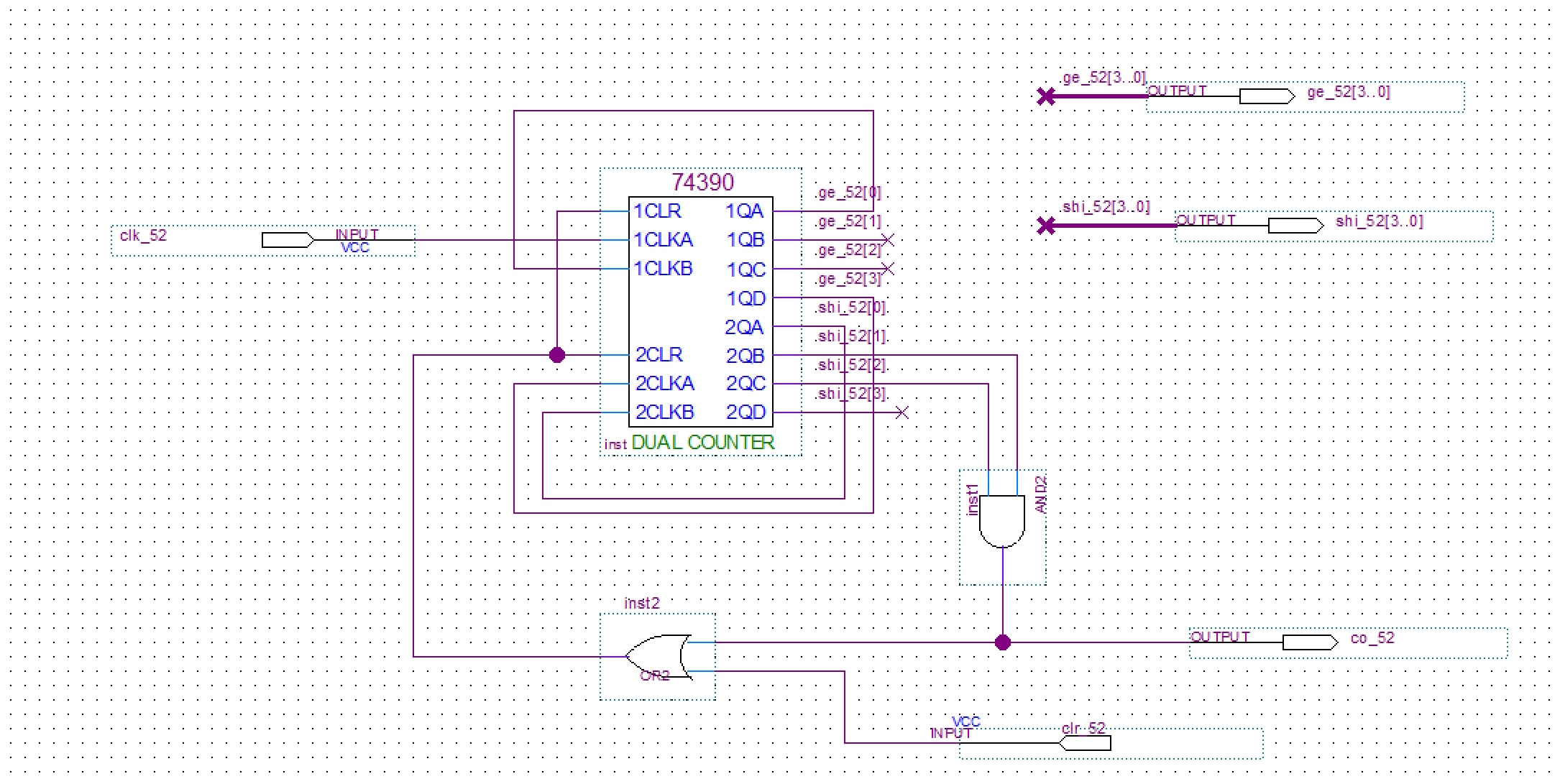


图7 m60电路设计

1. 仿真测试

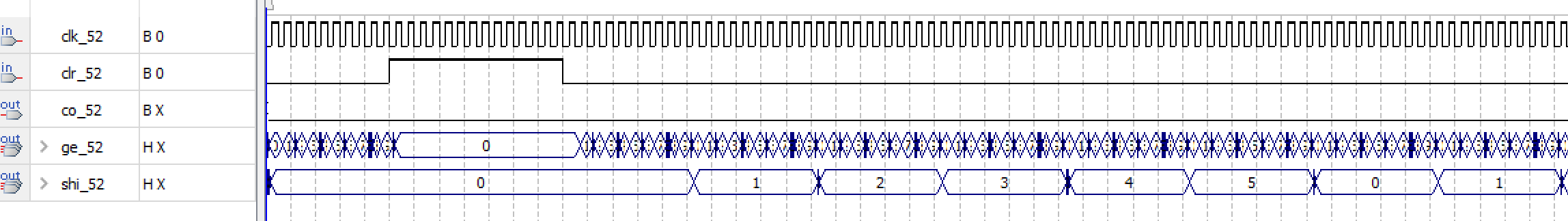


图8 m60波形仿真

1. 仿真波形数据分析

在0000 0000到0011 1111之间输出时间信号，在0100 0000异步清零

* 1. 小时计时模块（模24计数）

1. 模块功能

实现模24计数器计数进位以及清零功能

1. 设计思路

先利用74390芯片的双进制计数功能，设计0—100的依次计数，再利用与非门和D触发器实现计数到24的清零功能，从而达到0—24的依次计数，并利用D触发器消除实际电路中的竞争冒险现象。

1. 设计结果（电路）

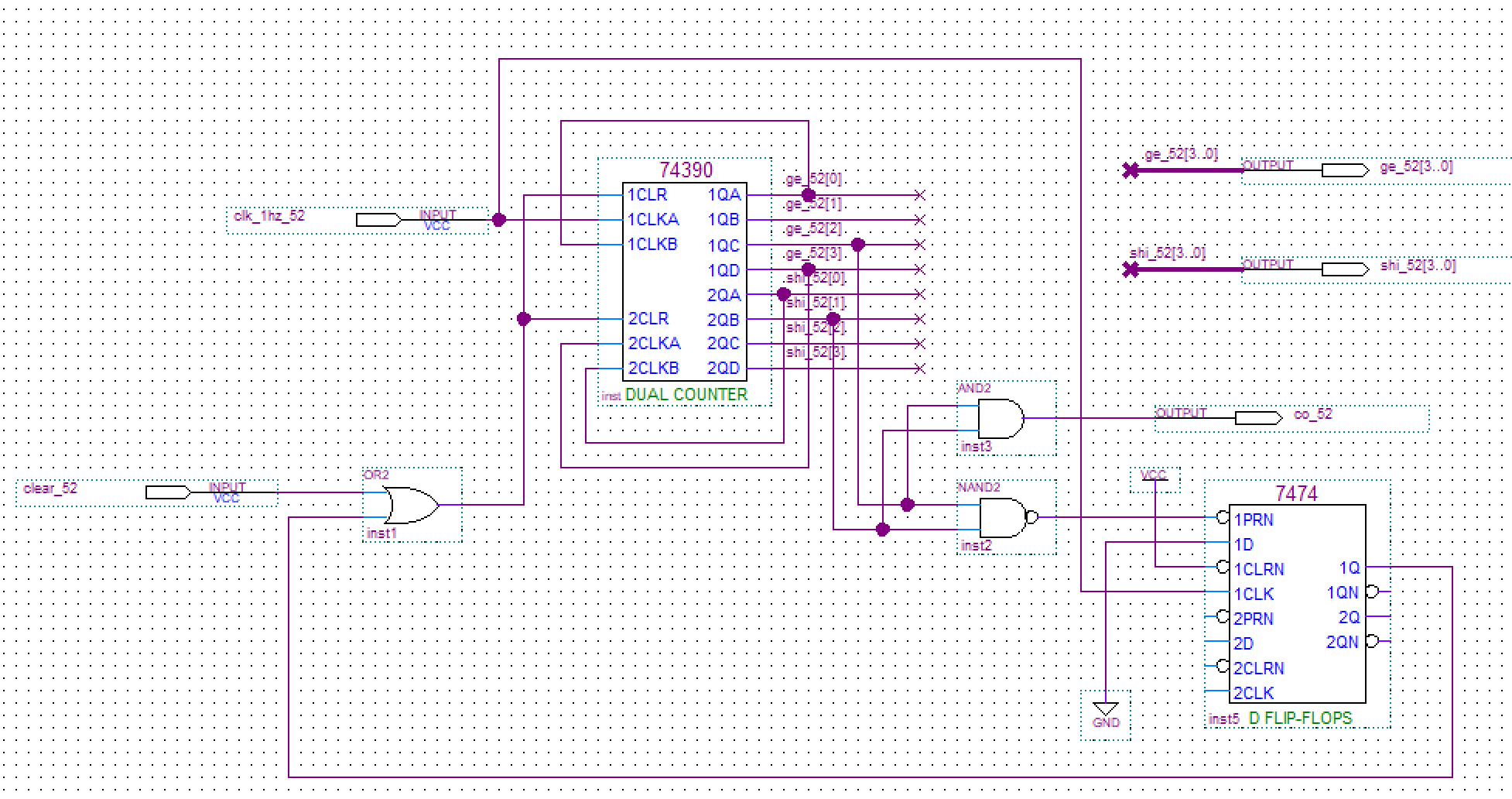


图9 m24电路设计

1. 仿真测试

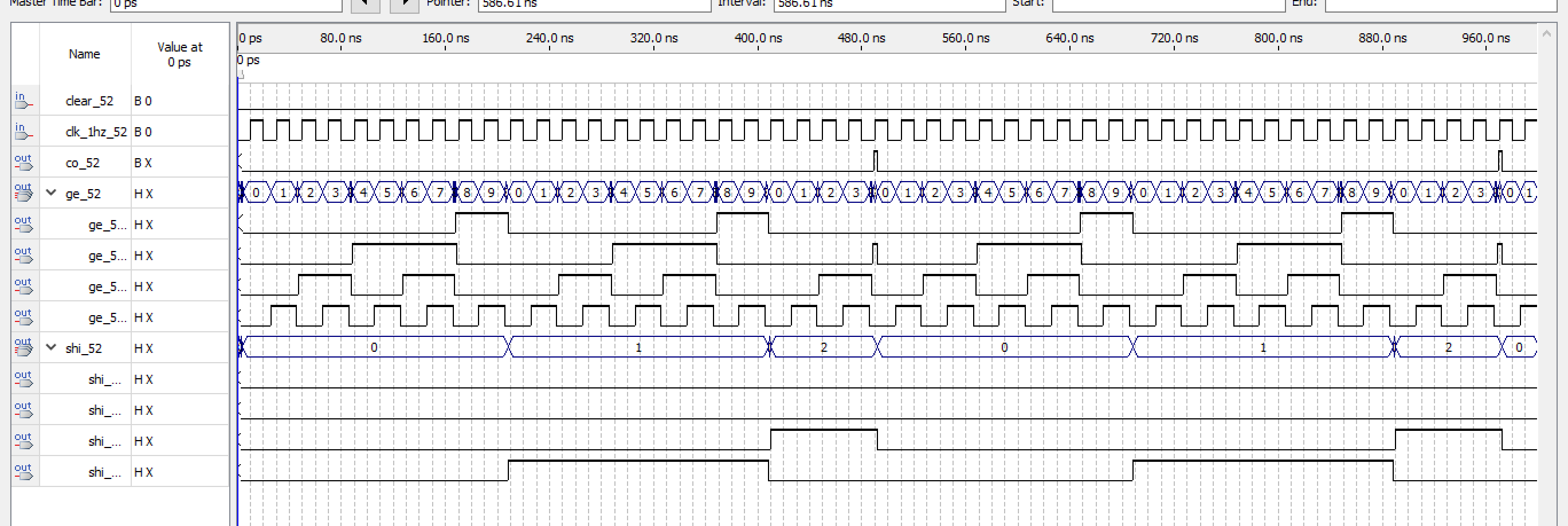


图10 m24波形仿真

1. 仿真波形数据分析

在0000 0000到0010 0011之间输出时间信号，在0010 0100异步清零

1. 数码管动态显示模块
   1. 动态显示模块的设计

本模块的主要功能是通过数码管的动态扫描实现8位数码管显示结果，本模块由数码管选择模块cnt8，位选模块dig\_select,段选模块，以及译码模块decoder构成

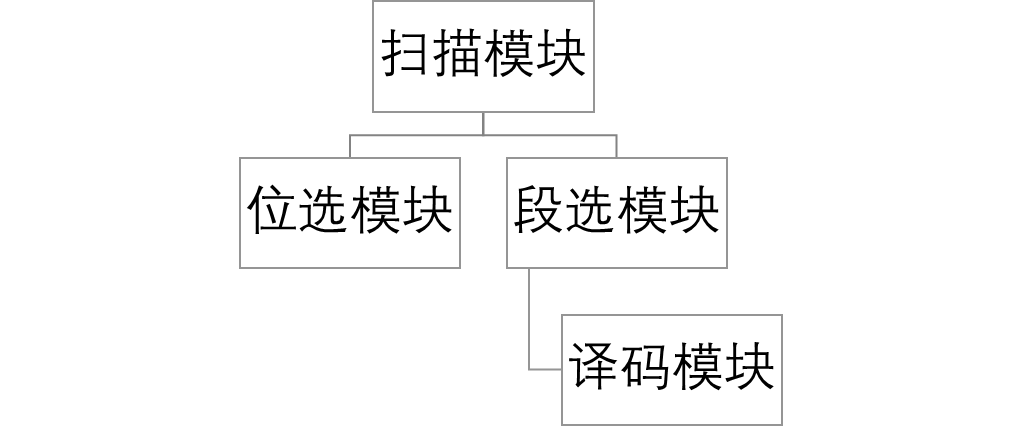


图11 动态显示模块功能框图

* 1. 扫描模块cnt8

1. 模块功能

实现000-111-000模8计数器，动态扫描8个数码管

1. 设计思路

先利用双十异步计数器74390芯片实现模10功能，当1QA接1CLKB时，实现8421BCD码模10计数。 模8计数从000-111，由于74390为异步清零且清零端高电平有效，所以当计数器进入到暂态1000的同时立即产生清零信号至1CLR端，即可完成模8计数

1. 设计结果（电路）

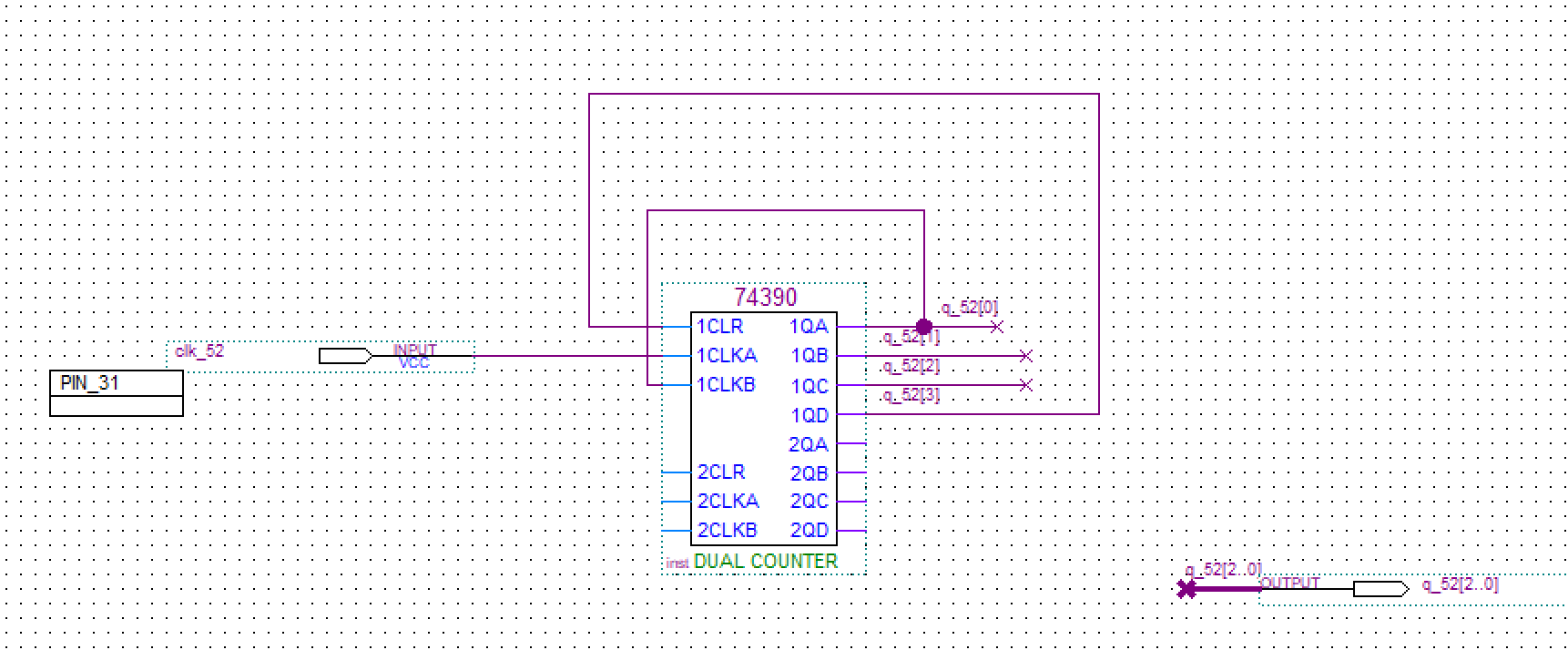


图12 cnt8电路设计

1. 仿真测试

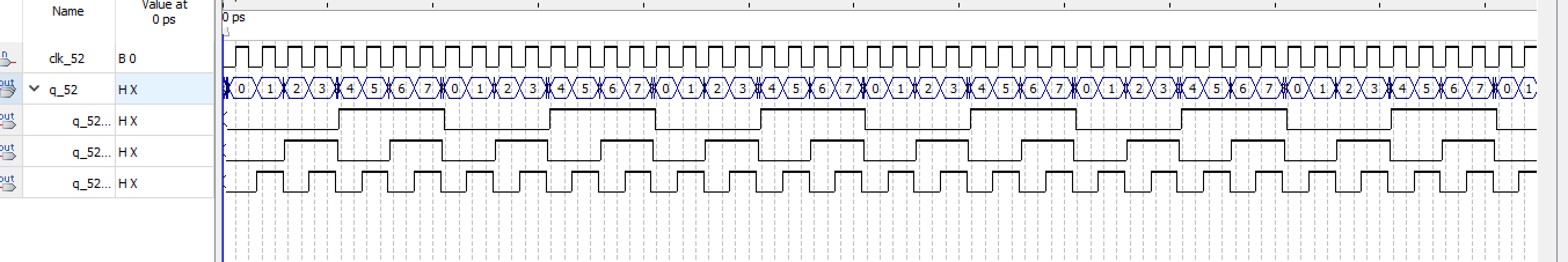


图13 cnt8波形仿真

1. 仿真波形数据分析

在计数器进入10位计数时在1000产生清零实现模8计数

* 1. 位选模块dig\_select

1. 模块功能

以模8计数结果为输入，输出相应的数码管显示

1. 设计思路

利用74138译码器，将输入信号每个状态与一位数码管对应，在达到相应状态时对应相应的一位数码管显示。

1. 设计结果（电路）

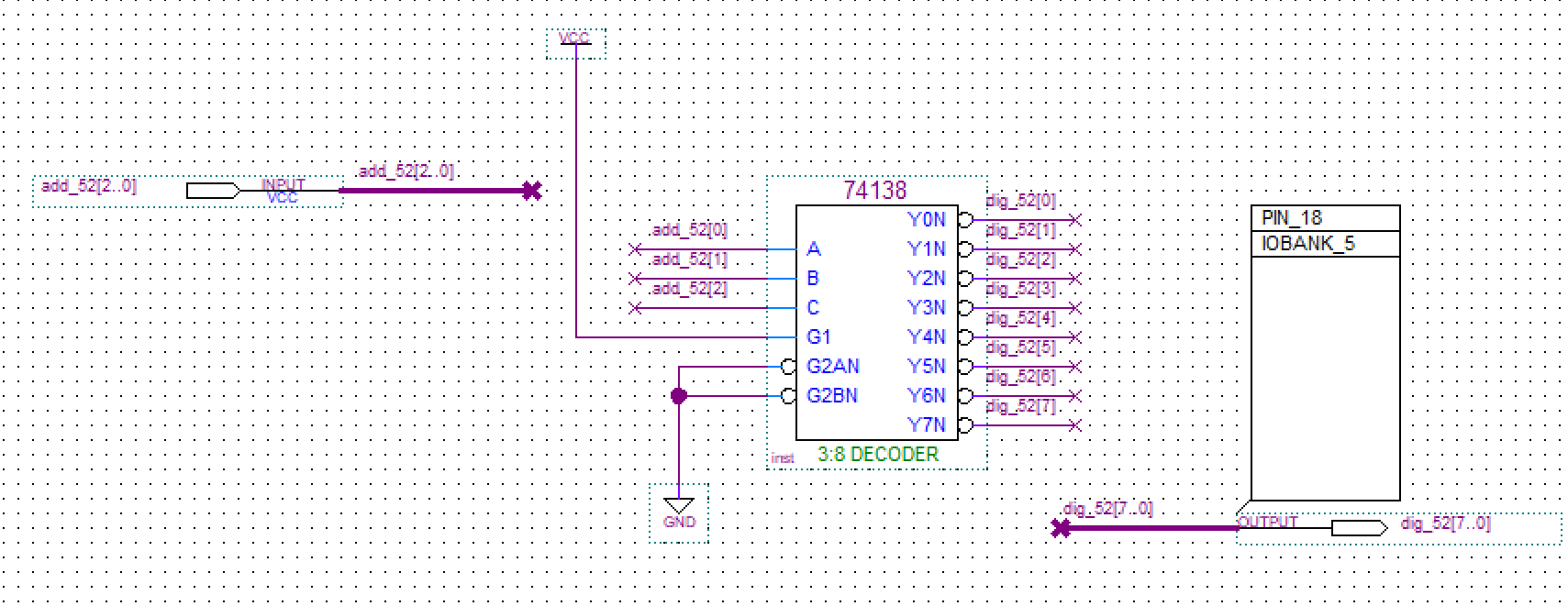


图14 dig\_select电路设计

1. 仿真测试

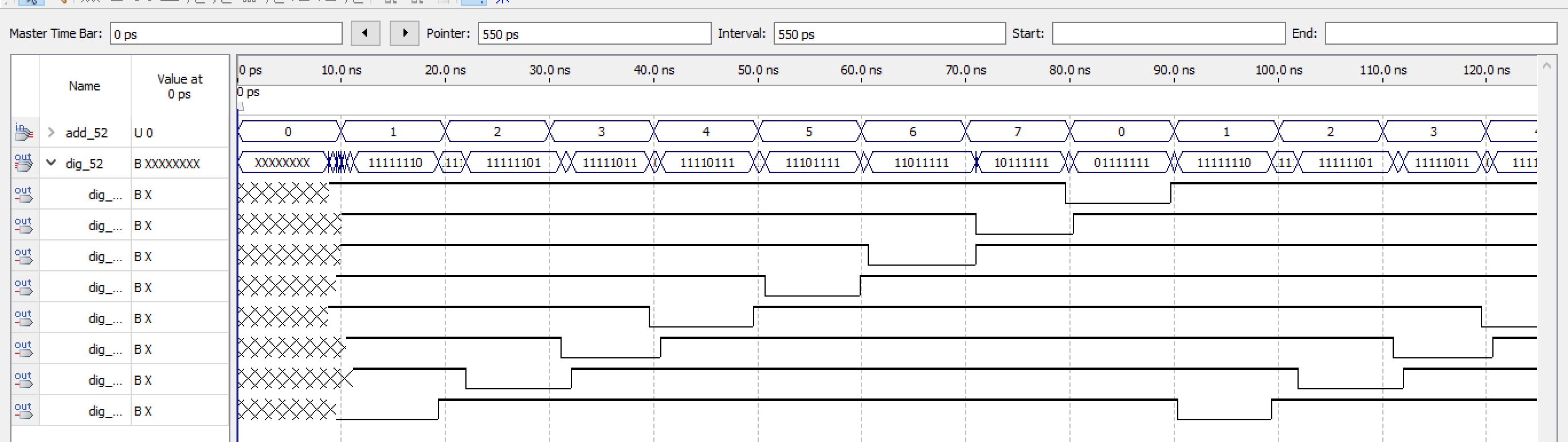


图15 dig\_select波形仿真

1. 仿真波形数据分析

将cnt8的信号用74138译码输出，每个信号与数码管对应

* 1. 数据选择模块code\_select

1. 模块功能

该模块是从6组输入信号（hour\_shi\_05[3…0], hour\_ge\_05[3…0], min\_shi\_05[3…0], min\_ge\_05[3…0], sec\_shi\_05[3…0], sec\_ge\_05[3…0]，week[3..0]）中选择一组输出code\_05[3…0],由add\_05[2…0]控制选择

1. 设计思路

利用74151芯片的8选1数据选择器功能，将每一位的数字的显示功能分开。使用四片74151芯片实现输出为4位。

1. 设计结果

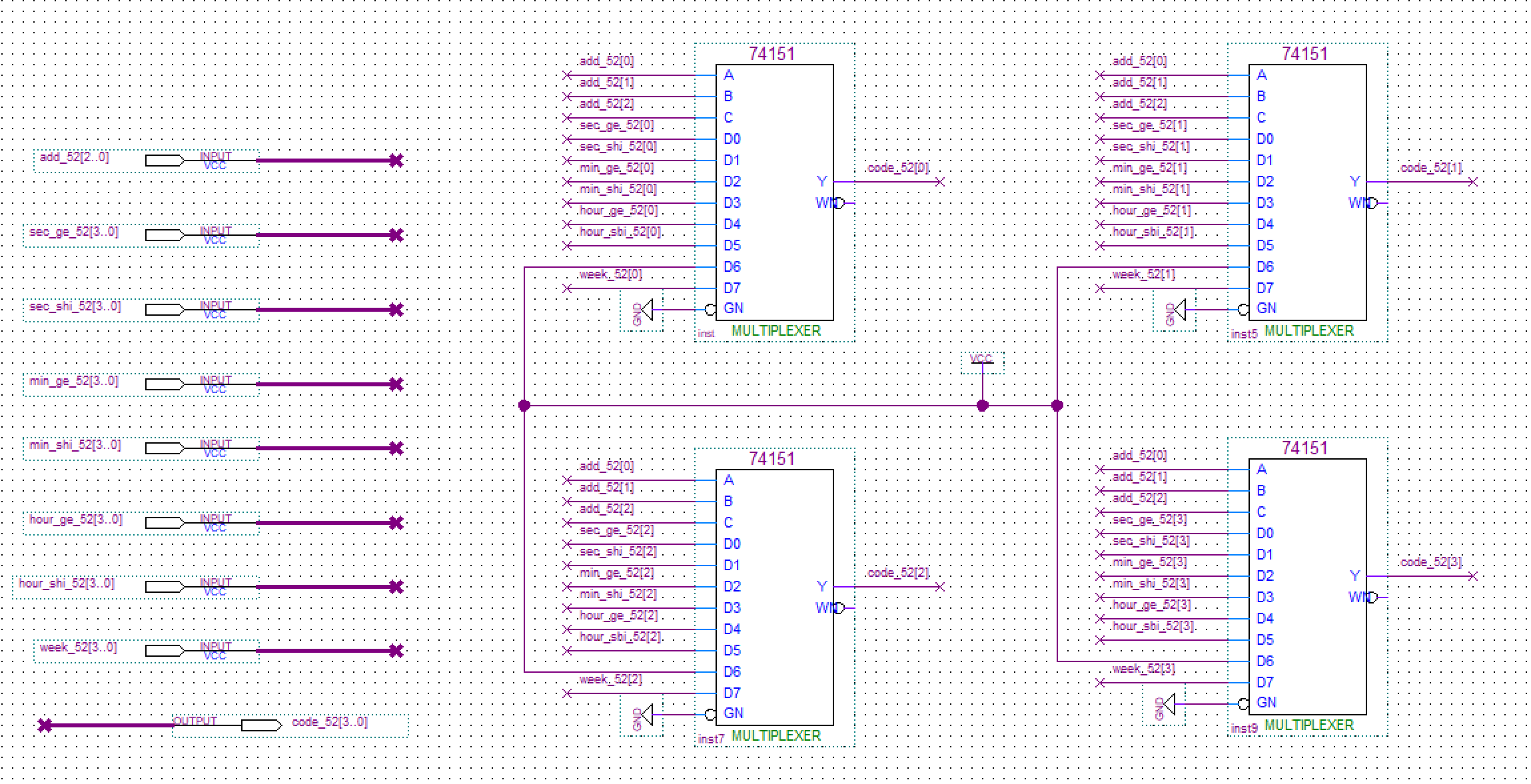


图16 code\_select电路设计

1. 仿真测试

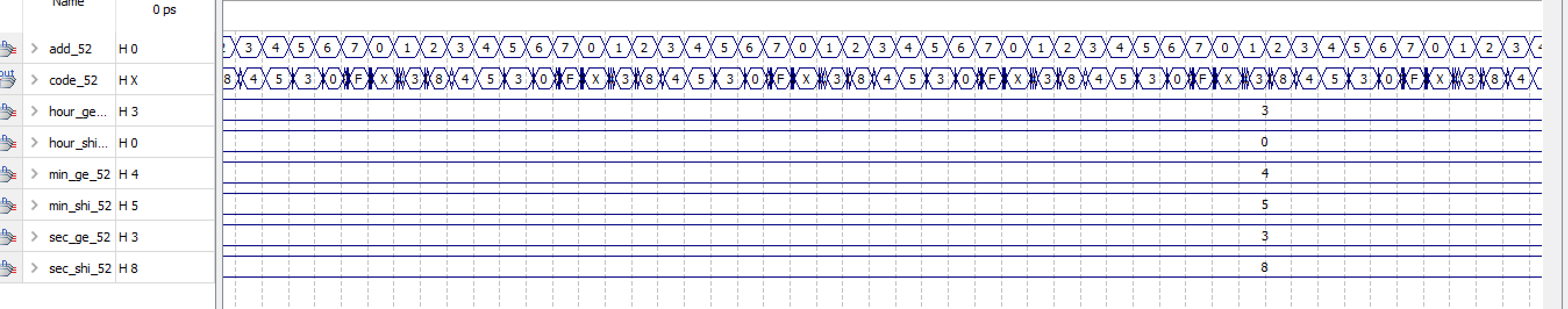


图17 code\_select波形仿真

1. 仿真波形数据分析

选择输出code中的值由d控制。完成数据的选择输出

* 1. 译码模块decoder（6、9补段）

1. 模块功能

7448为共阴极数码管译码器，可将4位8421BCD码译为七位段码，驱动数码管以十进制数形式显示数字字形。

1. 设计思路

利用7448芯片的译码功能，实现基本的译码，在此基础上利用与门和非门对6、9进行补段。 将seg\_select\_05的code\_05[3…0]接入7448的ABCD，最后将seg\_05[6…0]输出,并将1111改为输出一条横线。

1. 设计结果

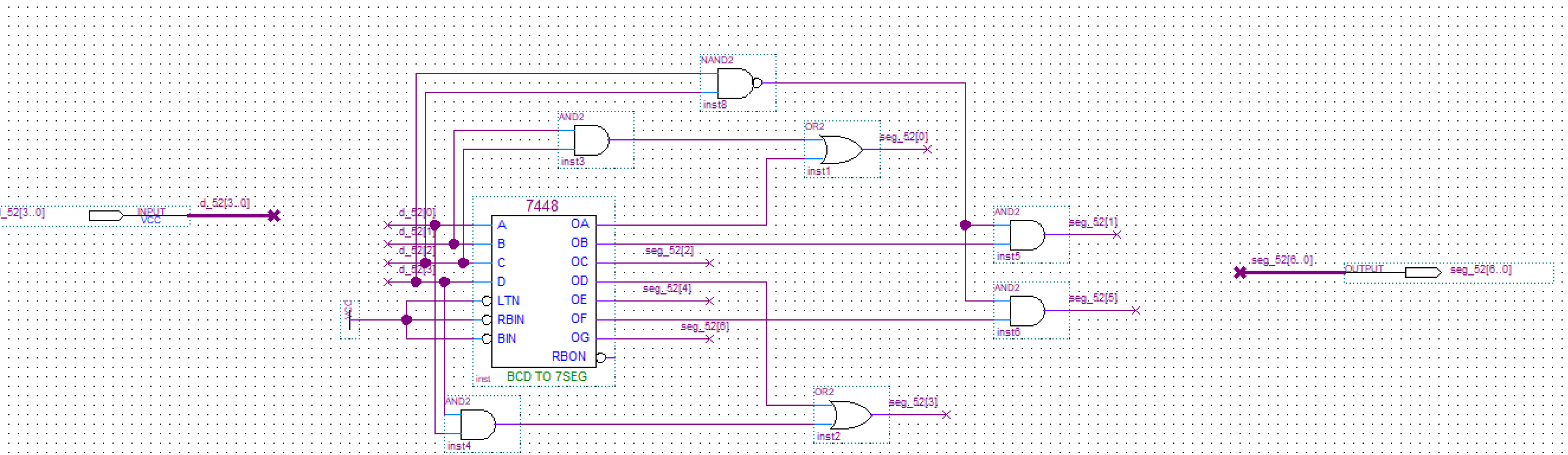


图18 decoder电路设计

1. 仿真测试

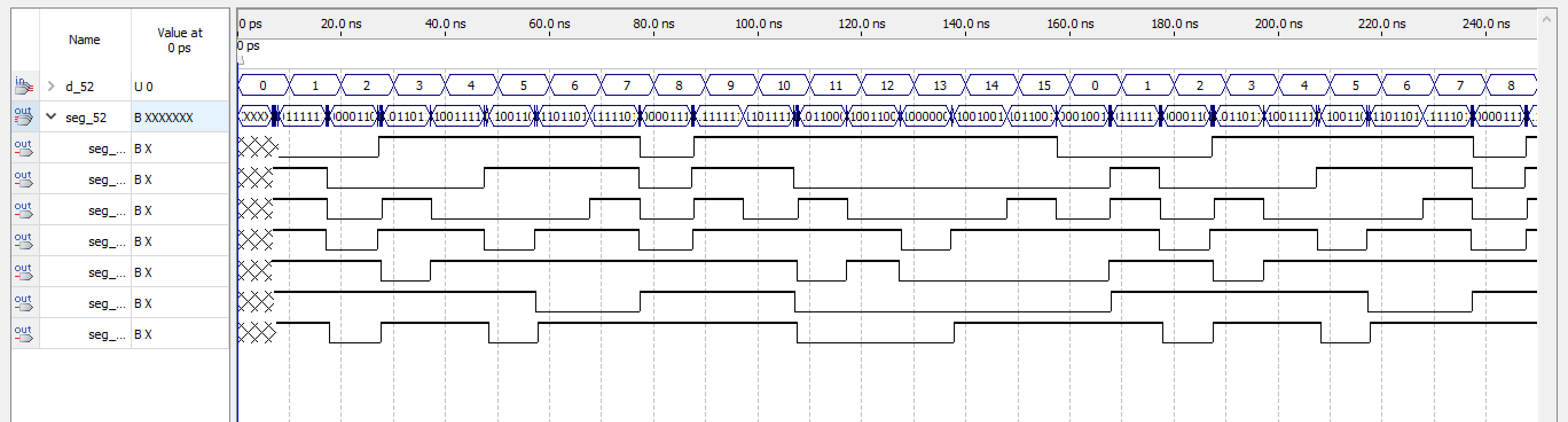


图19 decoder波形仿真

1. 仿真波形数据分析

将数选的值接到7448对应的接口，完成译码

* 1. 动态显示模块电路图

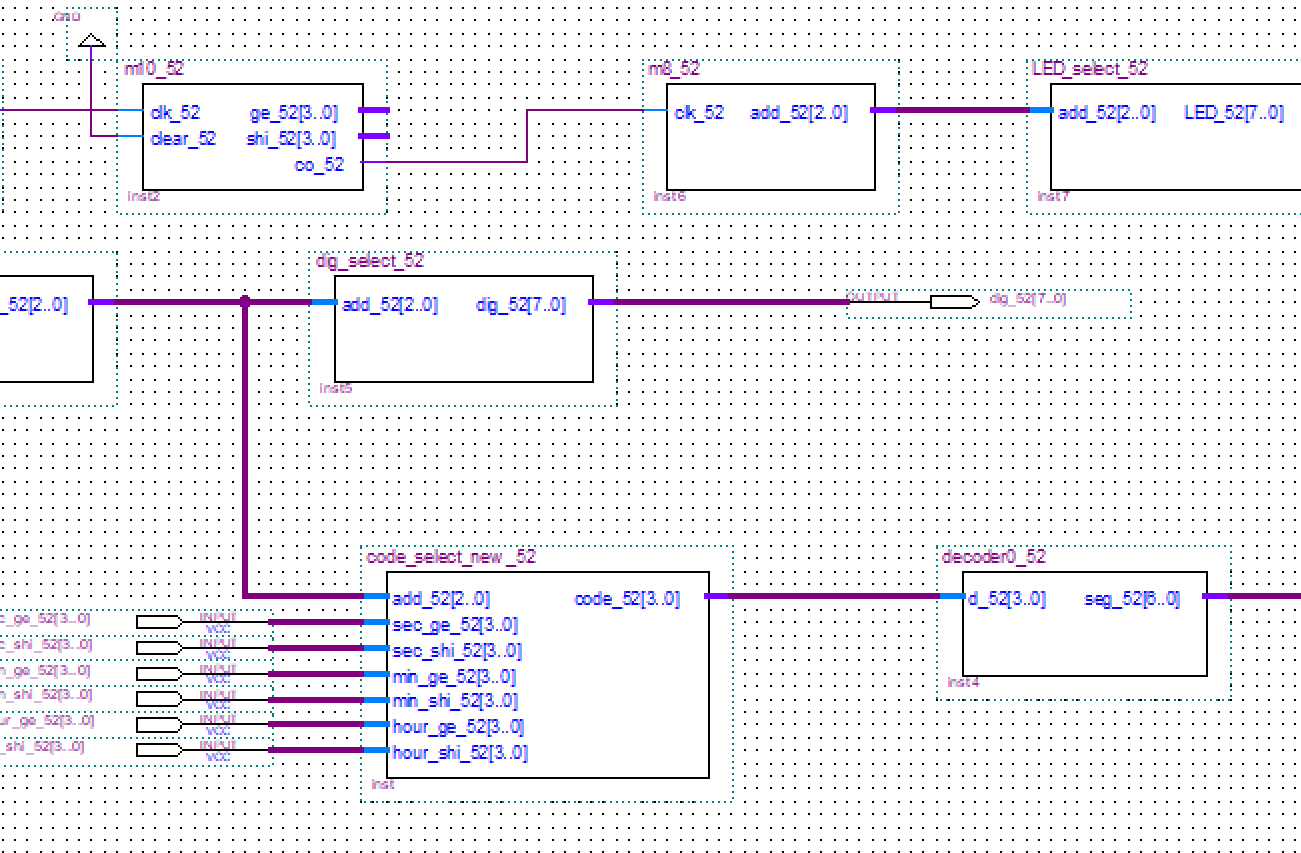


图20 动态显示

1. 其他扩展功能
   1. 分隔符
2. 模块功能

不同时间位值间之间加“-”分割的功能

1. 设计思路

在7448芯片中，计数状态为0110时增加OA量，在1001增加OD亮，1111为分隔符状态

1. 设计结果

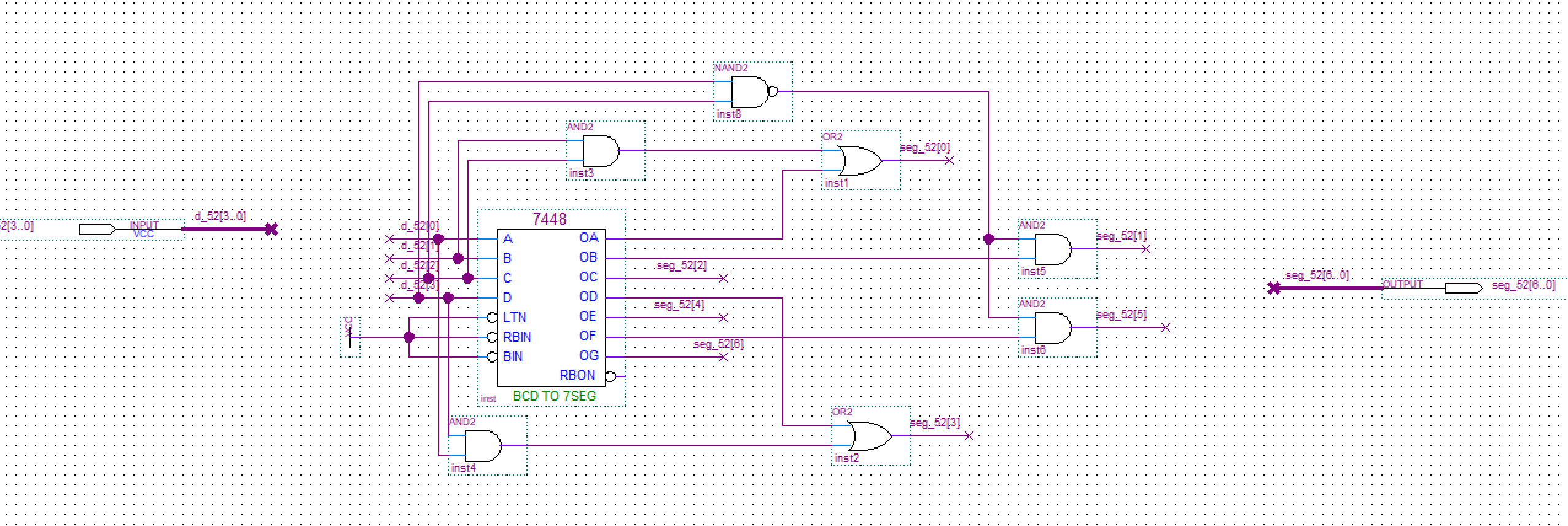


图21 分隔符电路设计

1. 仿真测试

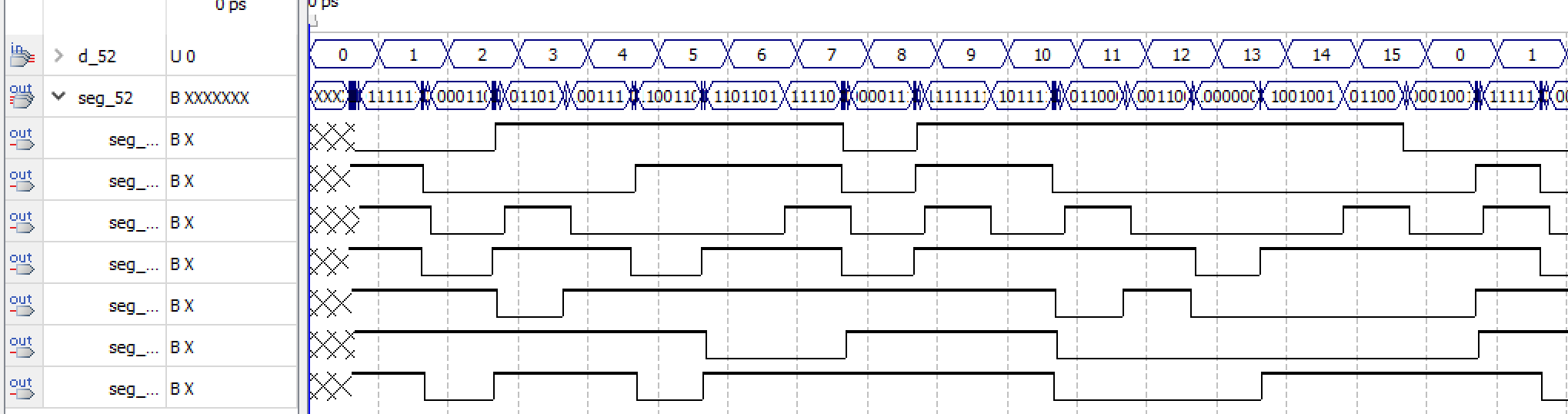


图22 分隔符波形设计

1. 波形仿真数据分析

可以看到增加的三个状态的实现符合分隔符的要求

* 1. 清零功能

1. 模块功能

实现时间模块的清零功能

1. 设计思路

将每一个计数器的清零端通过或门接到开关，开关输入高电平时清零

1. 设计结果

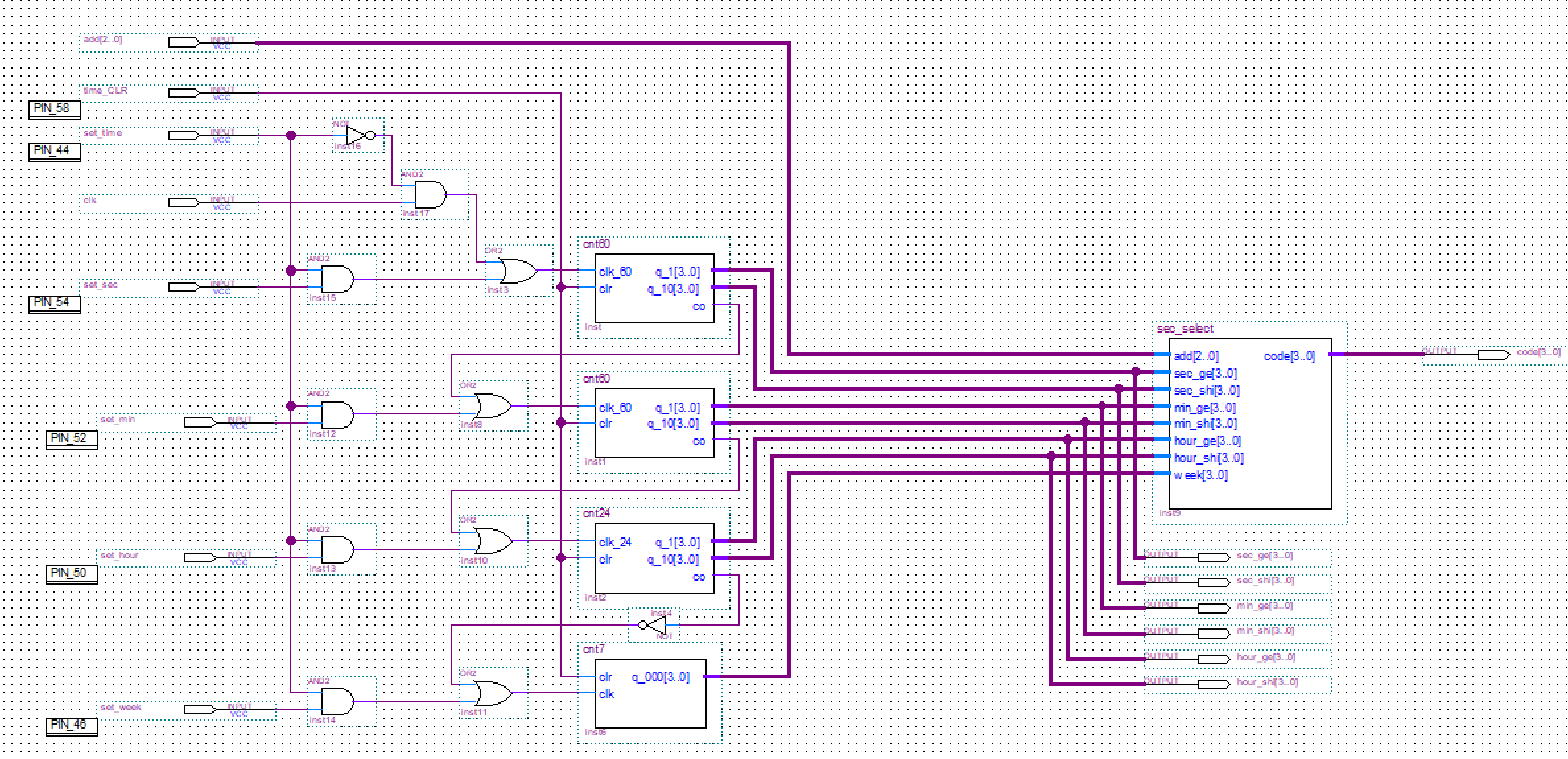


图23 清零功能电路设计

1. 仿真测试

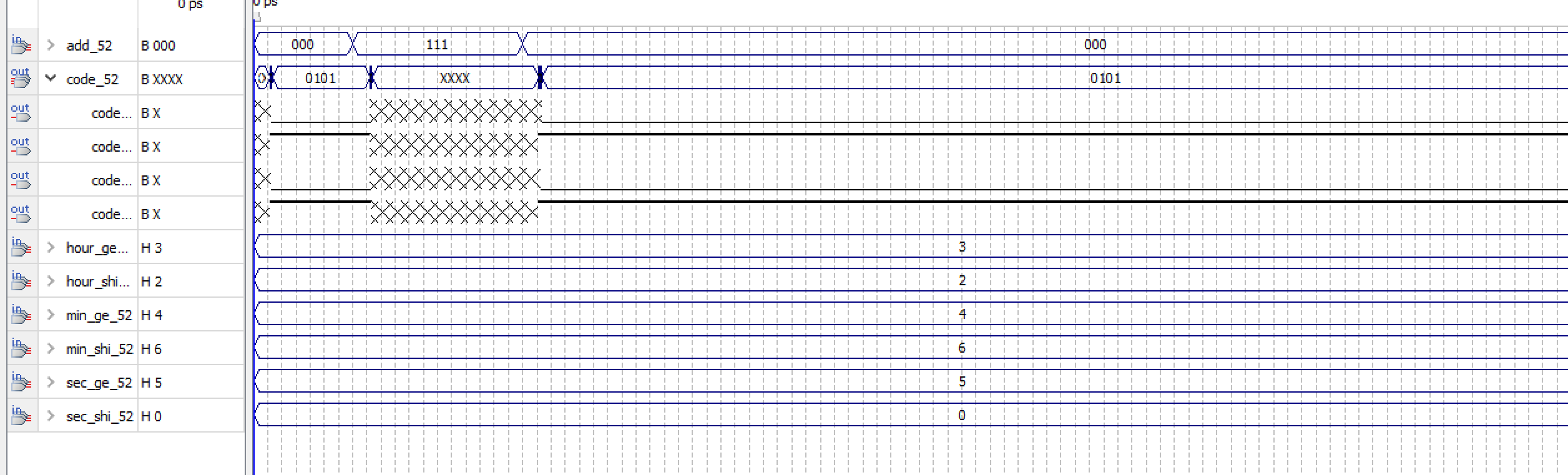


图24 清零波形仿真

1. 仿真波形数据分析

在按下开关后实现了操作清零

* 1. 暂停功能

1. 模块功能

使用开关控制暂停和其他操作

1. 设计思路

使用74151八选一芯片，开关控制模式，当没有频率，实现暂停。

1. 设计结果

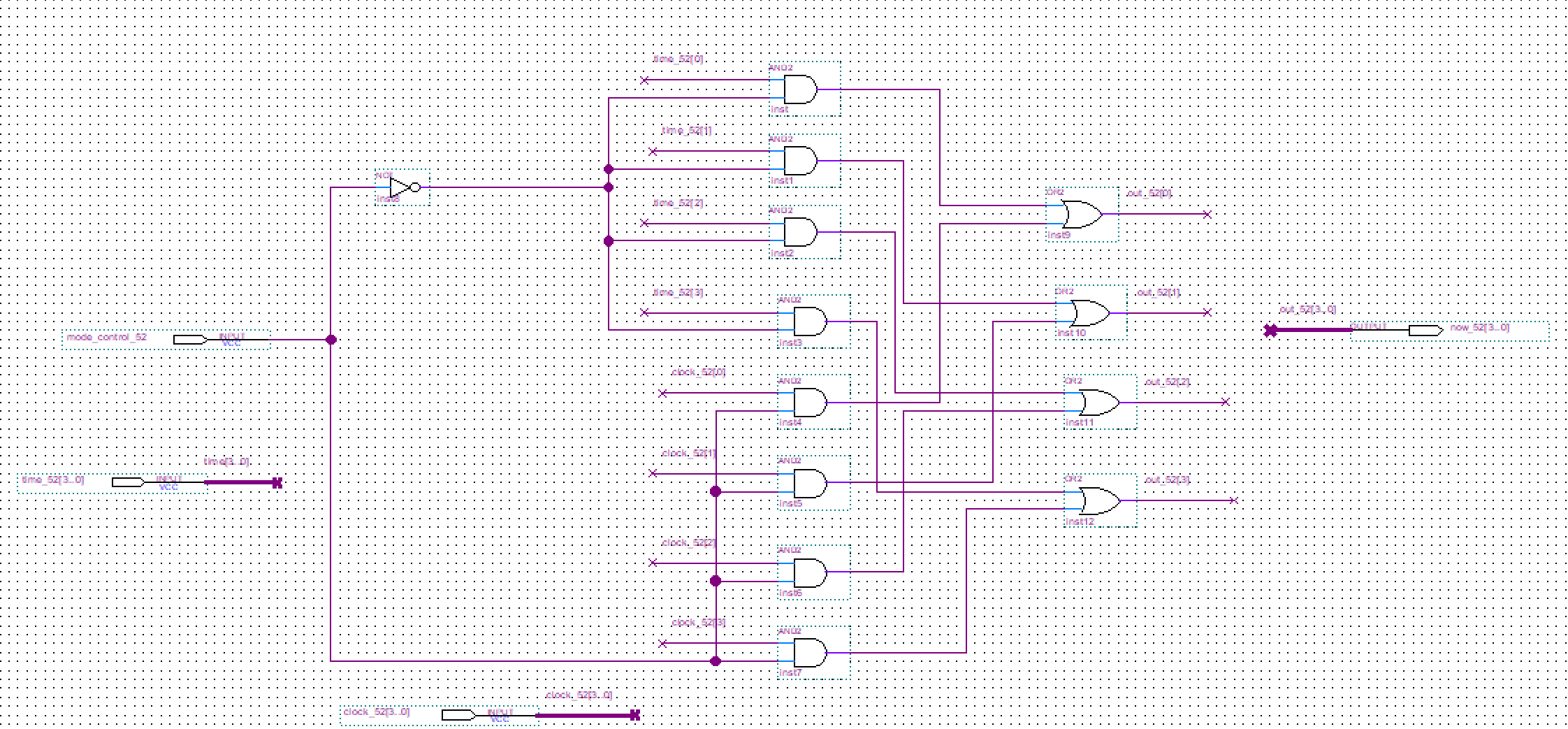


图25 暂停功能电路设计

1. 仿真测试

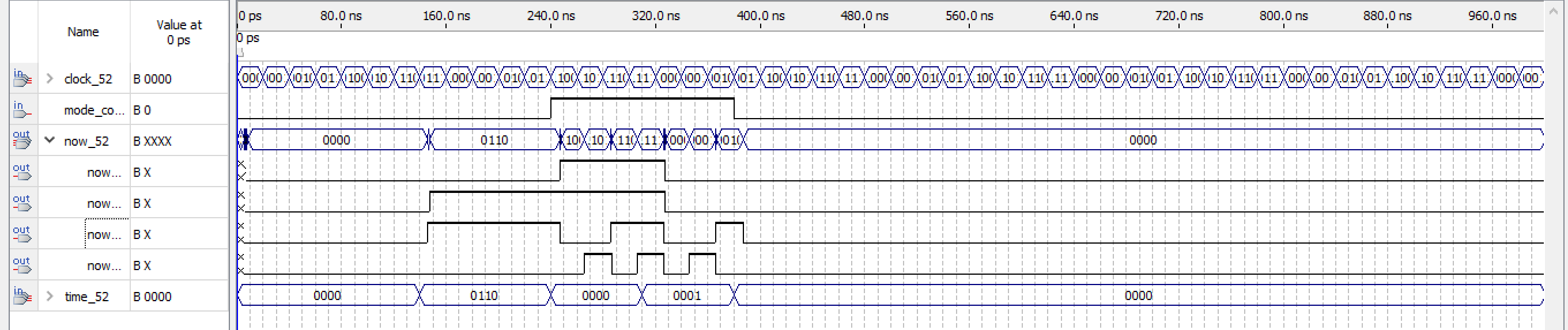


图26 暂停功能波形仿真

1. 仿真波形数据分析

按下后时钟停止计数，符合要求

* 1. 调频功能

1. 模块功能

将分频后的1KHz、500Hz、1Hz、通过开关进行选择，使其他模块得到适合的频率

1. 设计思路

利用AB两个开关键通过74153M芯片进行数据选择。

1. 设计结果

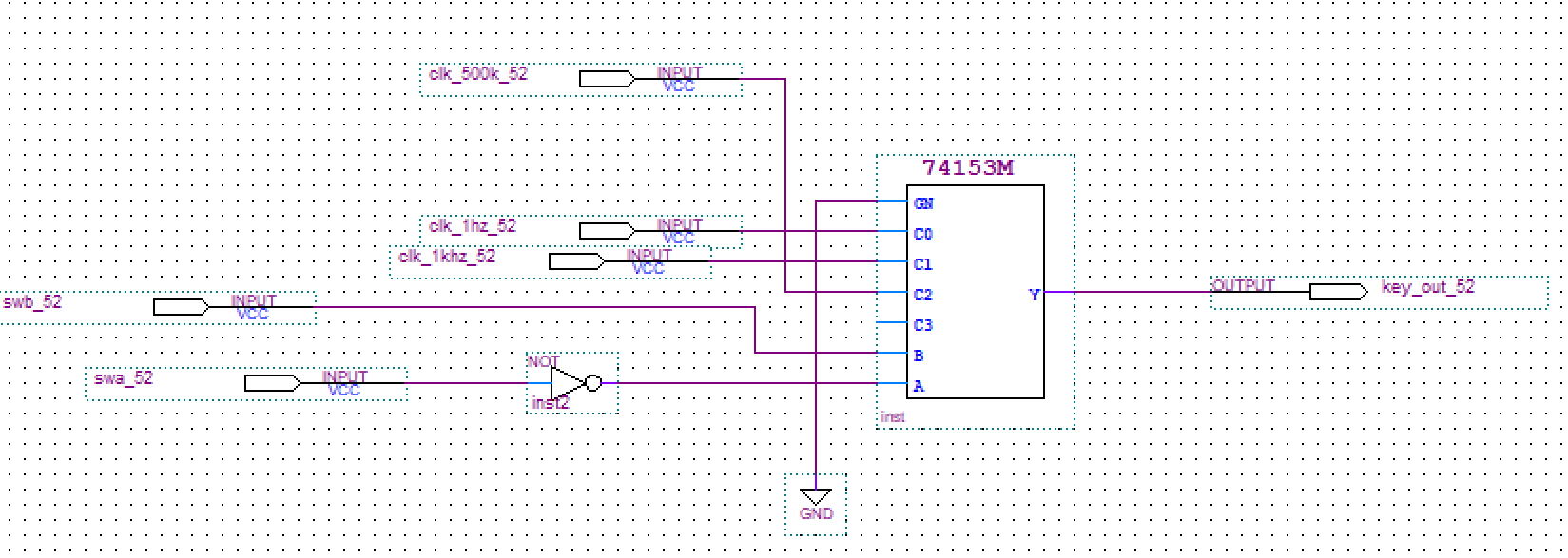


图27 调频电路设计

1. 仿真测试

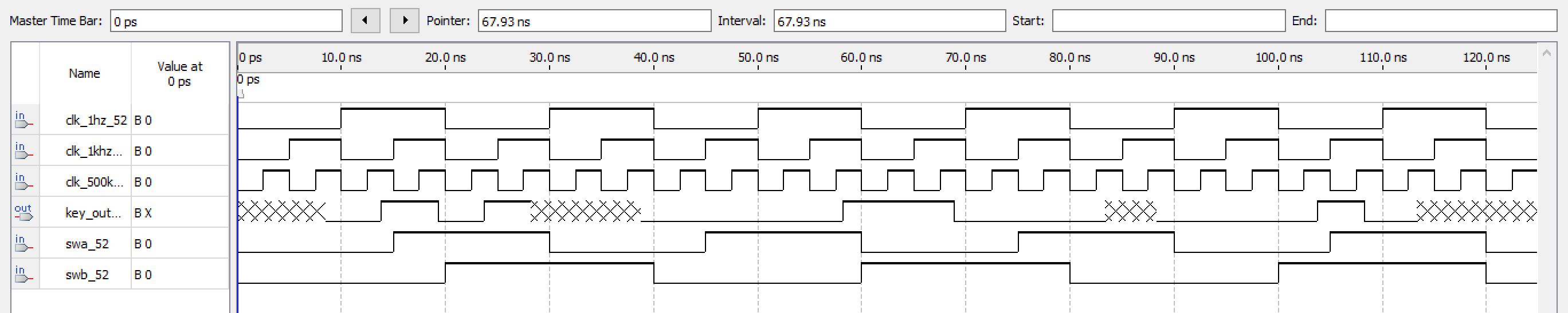


图28调频波形仿真

1. 仿真波形数据分析

计数速率进行调频，可以加速时间显示

* 1. 秒表功能

1. 模块功能

显示分-秒-毫秒的计数，同时接入时钟的mode\_select可计时和暂停，清零。

1. 设计思路

毫秒端用模100计数，分与秒均采用模60计数，毫秒端计数满100向秒端模60时进位，秒端又向分端进位。毫秒端clk接入100hz，可通过将500hz进行5分频得到。计时开始与暂停功能使用74390计数器和74151的八选一数据选择器实现,74151的Y端输出为1时开始计时，输出为0时停止计时。同时对按键进行消抖处理。

。

1. 设计结果

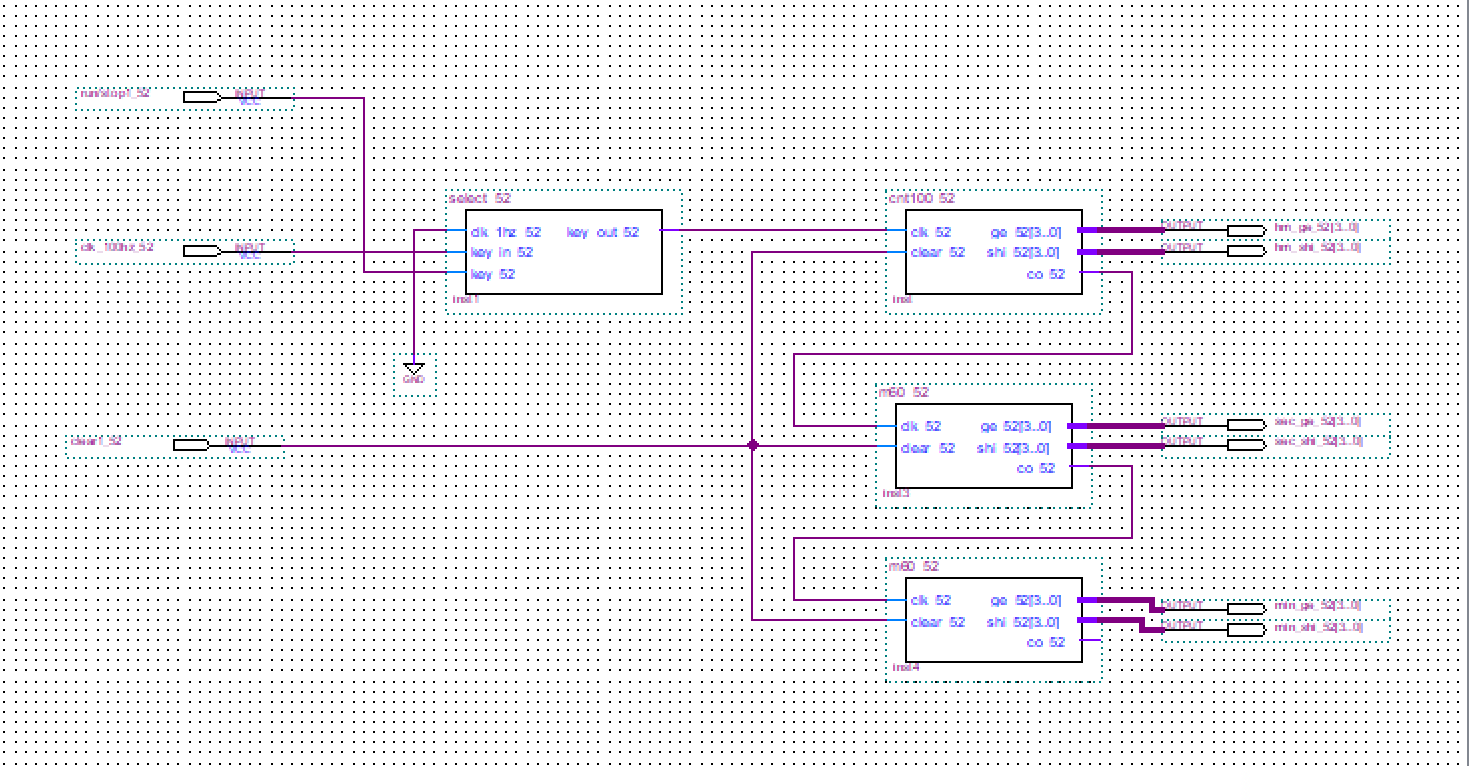


图29 秒表模块电路设计

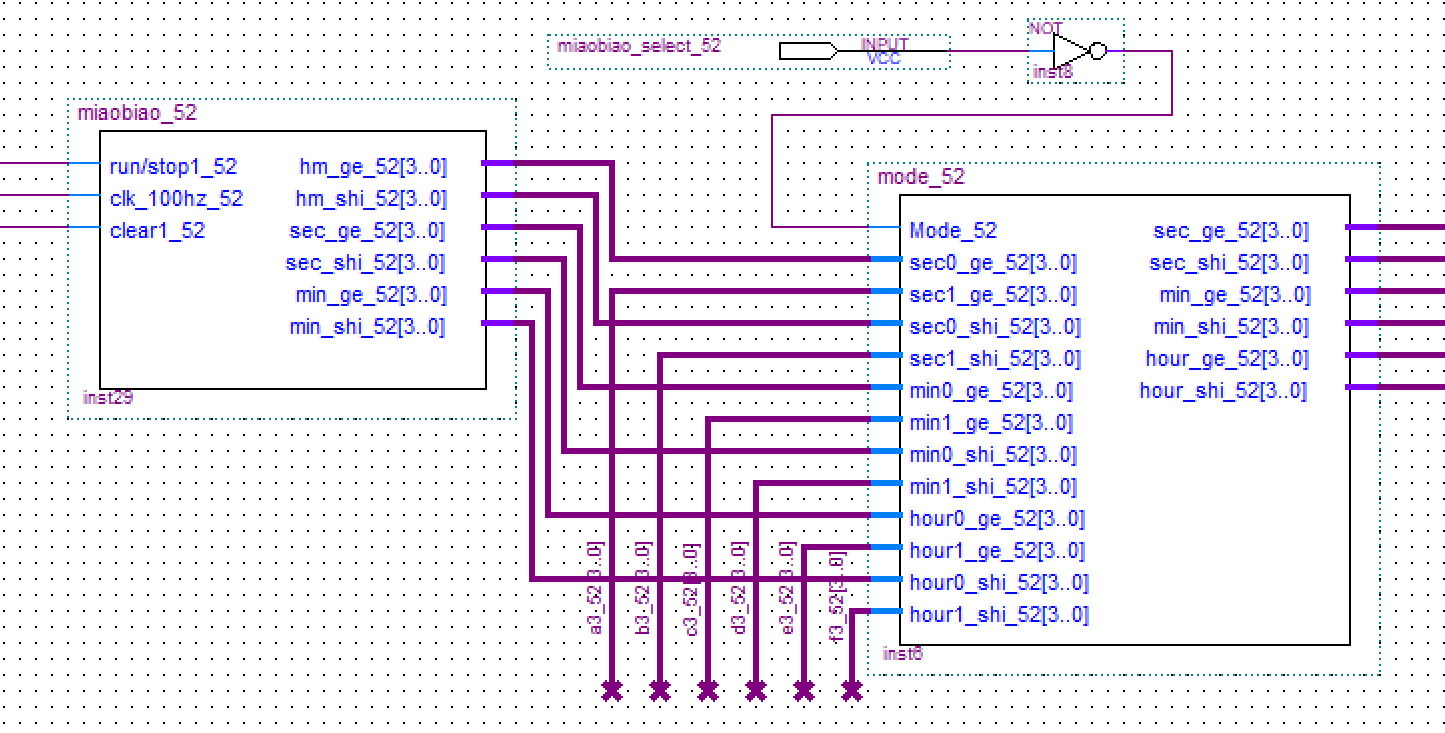


图30 秒表电路设计

1. 仿真测试

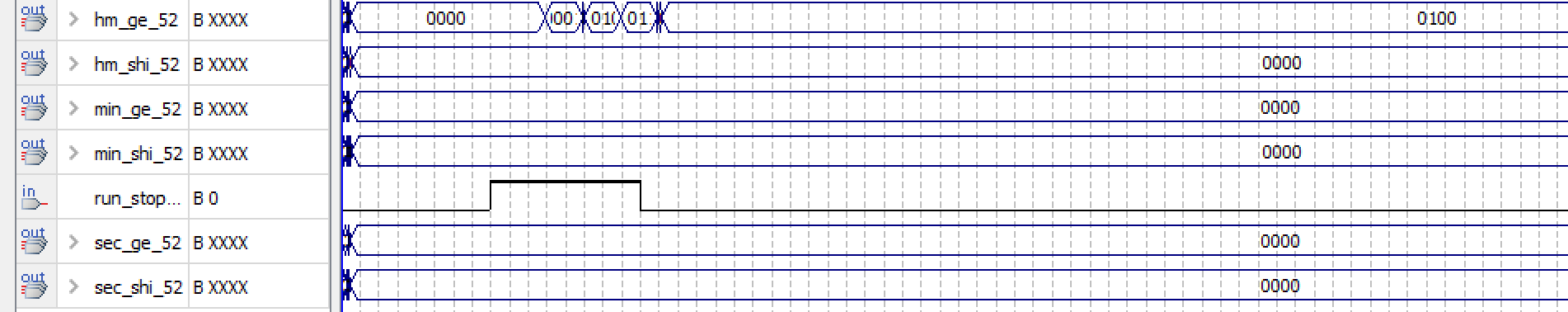


图31 秒表电路仿真

1. 仿真波形数据分析

类似clock。在毫秒的100进制中进位，通过暂停和清零按键实现完整的秒表功能

* 1. 闹钟功能

1. 模块功能

实现闹钟功能的设计，实现设定闹钟，并且到达设定时间后，蜂鸣器发出“滴滴滴 滴滴滴 滴滴滴”的功能

1. 设计思路

首先设计闹钟设置模块，该模块与校时模块相似，设置时间也可由两个模60、一个模24和一个模7以及按键控制。再设计比较模块来确定时间是否到达闹钟设置值。比较模块同时接收来自时钟模块的时间数据和来自闹钟模块的闹钟时间，利用同或门比较二者，如果时钟时间与闹钟时间相同，则将信号传给音频模块。最后设计音频模块。音频模块由8选1数据选择器和计数器组成，在接收到由比较模块传来的时钟信号后，计数器开始工作，依次将数据选择器的8个输入端输出，这时候将8个输入端接不同的频率就可以实现简单地音频播放。

1. 设计结果

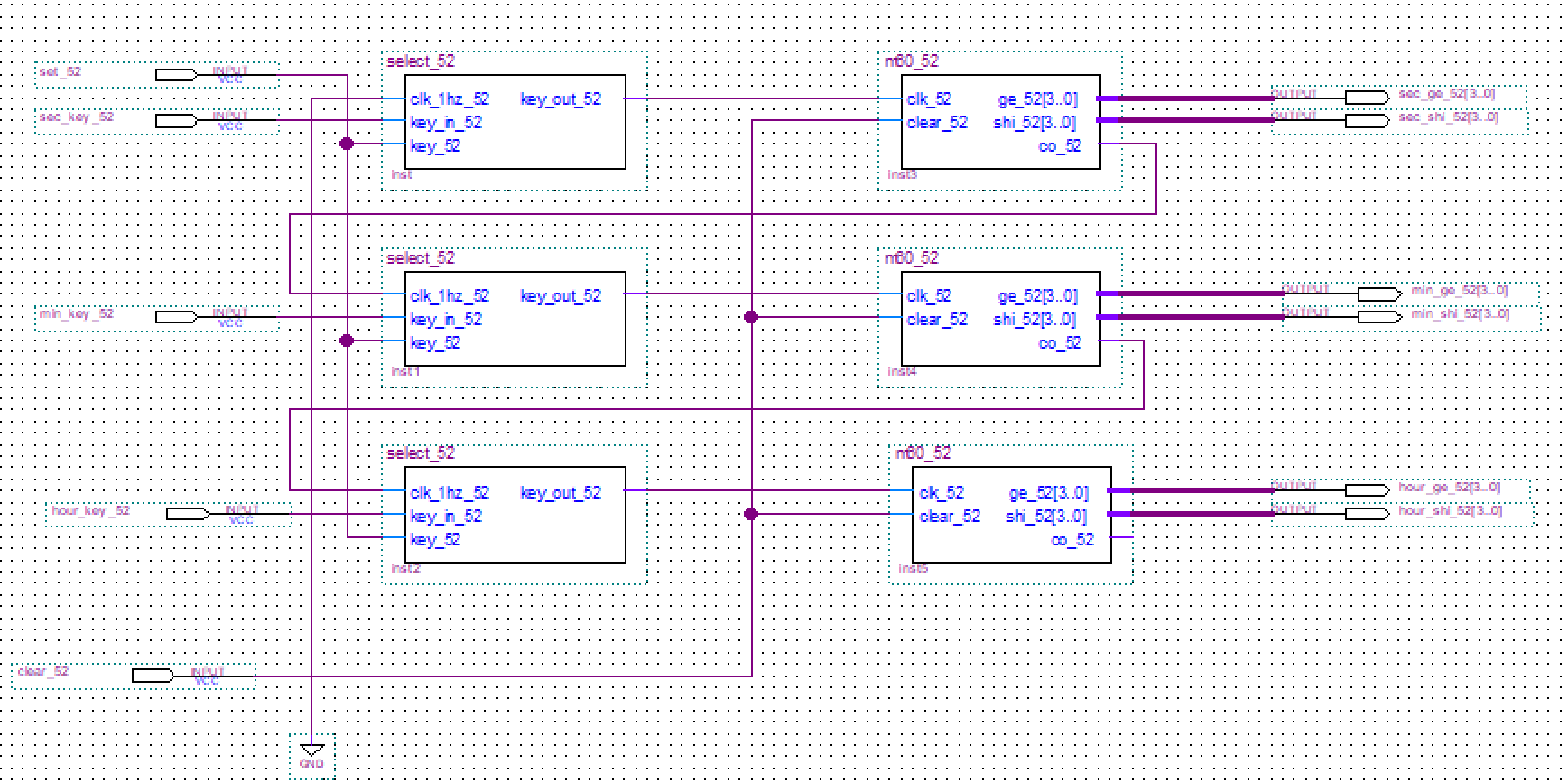


图32 闹钟设置模块电路设计

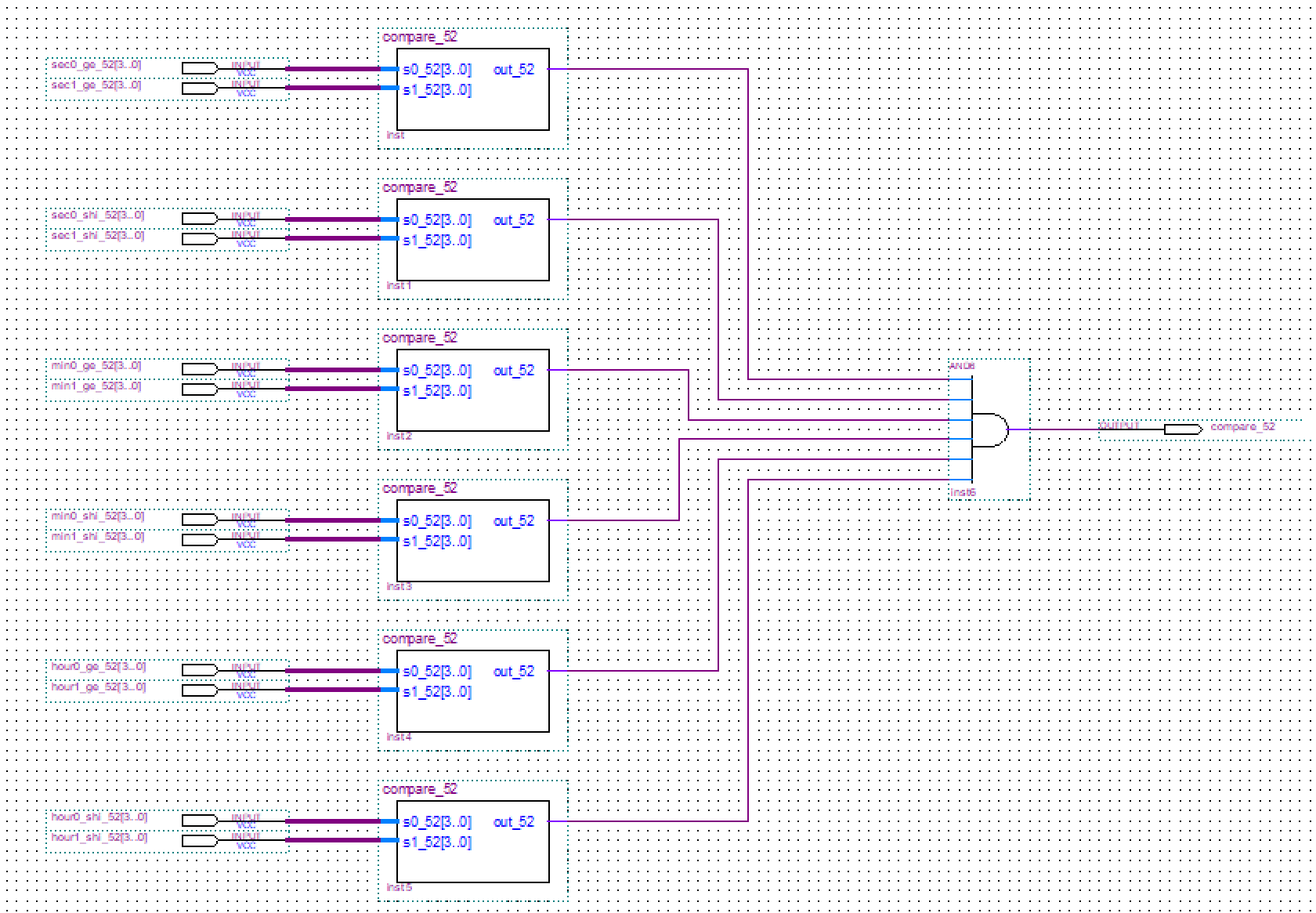


图33 比较模块电路设计

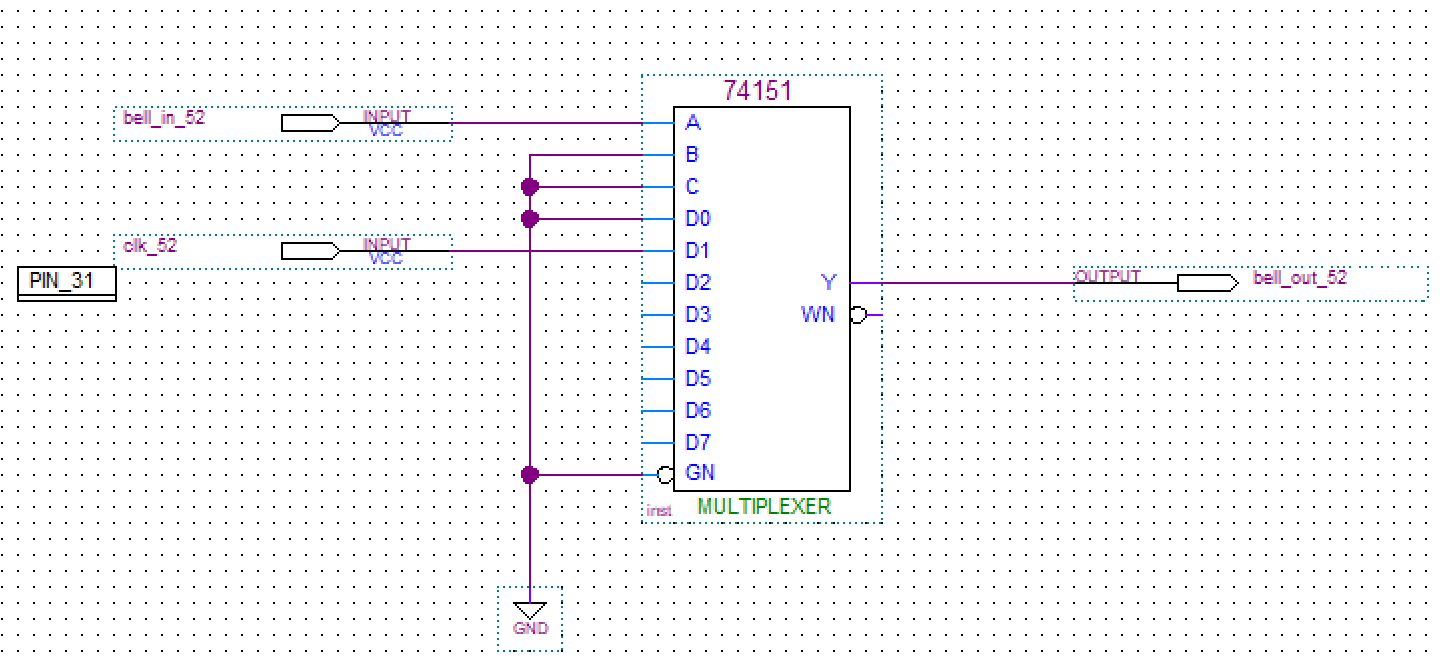


图34音频模块电路设计

1. 仿真测试

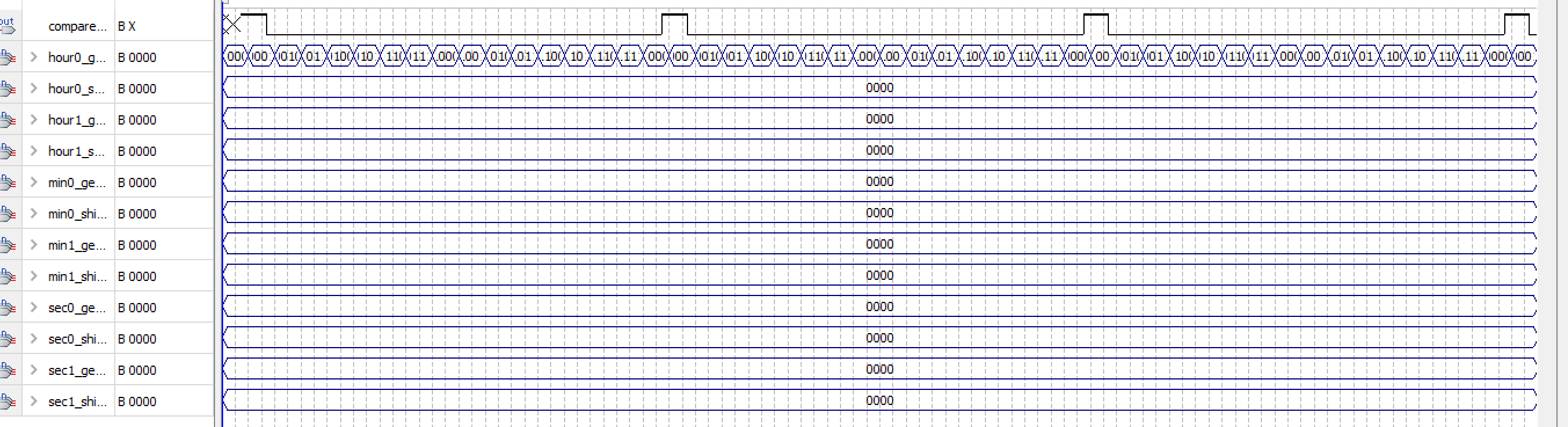


图35 闹钟模块波形仿真

1. 仿真波形数据分析

在设定的信号中会有针对不同时、分、秒的反馈，高电平闹钟启动

1. 系统总体测试

系统总体测试结果如“附件一 评分细则及测试原始数据记录”。

1. 系统设计实现过程中遇到的主要问题、解决思路和解决方案
2. 波形显示不正确

解决思路：先看电路图有无错误，再看时间是否设置正确。

解决方案：扩大显示时间或减小时间

1. 增加一个模块后，其他模块出现报错现象

解决思路：首先根据软件提示找到错误模块，然后检查模块内部有无错误，最后检查模块外连线是否错误。

解决方案：最终发现时模块外连线出现错误，因此调整连线解决问题。

1. 编译成功后，达到闹钟设置时间蜂鸣器不响

解决思路：首先检查引脚是否连接正确，再检查音频模块是否有问题，然后检查比较模块是否有问题，最后检查闹钟设置模块是否有问题。

解决方案：最终发现是引脚连接出现错误，因此调整引脚解决问题

1. 心得体会

在我的FPGA数字钟设计过程中，我掌握了构建闹钟功能的技巧，同时也经历了解决各种问题的过程，这极大地提升了我的逻辑思维和问题解决能力。回顾起做闹钟功能的时候，我首先着手设置了闹钟时间，然后将设置的时间与实际时钟时间做对比，最终调整音频以启动闹钟。这种逐步解决问题的经历让我学会了分析问题根源，并找到解决问题的方法。比如说，当我面临着一直无法产生正确波形的问题时，我首先审查了整个电路，确认没有问题后，开始思考是不是设置的时间出了岔子。最终，通过调整时间设定，问题迎刃而解。整个实验过程中，看到数码管上的数字变化和蜂鸣器发出声音，让我深刻感受到了数字电路设计的乐趣和成就感。这种由实际成果带来的喜悦，让我深深陶醉其中。