



复旦微电子

FM17550 通用 非接触通讯芯片

技术手册

2014. 02

本资料是为了让用户根据用途选择合适的上海复旦微电子集团股份有限公司（以下简称复旦微电子）的产品而提供的参考资料，不转让属于复旦微电子或者第三者所有的知识产权以及其他权利的许可。

在使用本资料所记载的信息最终做出有关信息和产品是否适用的判断前，请您务必将所有信息作为一个整体系统来进行评价。

采购方对于选择与使用本文描述的复旦微电子的产品和服务全权负责，复旦微电子不承担采购方选择与使用本文描述的产品和服务的责任。除非以书面形式明确地认可，复旦微电子的产品不推荐、不授权、不担保用于包括军事、航空、航天、救生及生命维持系统在内的，由于失效或故障可能导致人身伤亡、严重的财产或环境损失的产品或系统中。

未经复旦微电子的许可，不得翻印或者复制全部或部分本资料的内容。

今后日常的产品更新会在适当的时候发布，恕不另行通知。在购买本资料所记载的产品时，请预先向复旦微电子在当地的销售办事处确认最新信息，并请您通过各种方式关注复旦微电子公布的信息，包括复旦微电子的网站(<http://www.fmsh.com/>)。

如果您需要了解有关本资料所记载的信息或产品的详情，请与上海复旦微电子集团股份有限公司在当地的销售办事处联系。

商 标

上海复旦微电子集团股份有限公司的公司名称、徽标以及“复旦”徽标均为上海复旦微电子集团股份有限公司及其分公司在中国的商标或注册商标。

上海复旦微电子集团股份有限公司在中国发布，版权所有。

目录

目录.....	3
表目录.....	6
图目录.....	10
1 产品综述.....	11
1.1 产品简介.....	11
1.2 产品特点.....	11
1.3 结构框图.....	12
1.4 封装引脚.....	13
1.4.1 FM17550 封装引脚.....	13
2 功能描述.....	15
2.1 总体描述.....	15
2.2 ISO/IEC14443 A/MIFARE 功能支持.....	15
2.3 ISO/IEC14443 B 功能支持.....	16
2.4 FeliCa 读写器功能支持.....	16
2.4.1 FeliCa 帧和编码.....	16
2.5 NFCIP-1 模式.....	17
2.5.1 主动通讯模式.....	17
2.5.2 被动通讯模式.....	18
2.5.3 NFCIP-1 帧和编码.....	18
2.5.4 NFCIP-1 协议支持.....	18
2.5.5 MIFARE 卡操作模式.....	19
2.5.6 FeliCa 卡操作模式.....	19
3 FM17550 寄存器.....	20
3.1 FM17550 寄存器概述.....	20
3.1.1 寄存器总表.....	20
3.1.2 寄存器位行为.....	21
3.2 寄存器描述.....	22
3.2.1 Page 0: 命令和状态.....	22
3.2.2 Page 1: 通讯.....	29
3.2.3 Page 2: 配置.....	39
3.2.4 Page 3: 测试.....	45
3.2.5 扩展寄存器.....	50
4 HOST 接口.....	52
4.1 HOST 接口自动侦测.....	52
4.2 SPI 接口.....	52
4.2.1 SPI 读数据.....	52
4.2.2 SPI 写数据.....	52
4.2.3 SPI 地址字节.....	53
4.3 UART 接口.....	53
4.3.1 UART 传输速率可配.....	53
4.3.2 UART 帧格式.....	54
4.4 I2C 总线接口.....	55
4.4.1 数据有效性.....	56
4.4.2 START 和 STOP 状态.....	56
4.4.3 字节格式.....	56
4.4.4 Acknowledge.....	56

4.4.5	7 位地址.....	57
4.4.6	寄存器写入访问.....	58
4.4.7	寄存器读取访问.....	58
4.4.8	高速模式.....	59
4.4.9	高速传输.....	59
4.4.10	HS 模式下的数据传输格式.....	59
4.4.11	F/S 模式与 HS 模式间转换.....	60
4.4.12	低速模式.....	60
4.5	扩展寄存器的访问.....	60
4.5.1	写扩展寄存器数据.....	61
4.5.2	读扩展寄存器数据.....	61
5	模拟电路接口和非接触接口控制.....	62
5.1	概述.....	62
5.2	发射驱动.....	62
5.3	射频场检测.....	63
5.4	数据模式自动检测.....	64
5.5	串行数据切换开关.....	64
5.6	NFC-WI 接口支持.....	64
5.6.1	NFC-WI FeliCa 数据格式信号说明.....	65
5.6.2	NFC-WI ISO/IEC 14443A/MIFARE 数据格式信号说明.....	66
5.7	FeliCa 和 NFC POLLING 功能的硬件支持.....	67
5.7.1	发起端的轮询序列.....	67
5.7.2	目标端的轮询序列.....	67
5.7.3	FeliCa 和 NFC 的额外硬件支持.....	67
5.7.4	CRC 协处理器.....	68
6	FIFO 缓冲.....	69
6.1	FIFO 缓冲器的访问.....	69
6.2	FIFO 缓冲器的控制.....	69
6.3	FIFO 缓冲器的状态信息.....	69
7	中断请求系统.....	70
7.1	中断源概述.....	70
8	TIMER 计时单元.....	71
9	低功耗模式.....	72
9.1	DEEP POWER DOWN.....	72
9.2	HARD POWER DOWN.....	72
9.2.1	HPD 下数据保存功能.....	72
9.3	SOFT POWER DOWN.....	74
9.4	射频关闭模式.....	74
10	低电压检测功能.....	75
11	振荡器电路.....	76
12	复位和晶振起振时序.....	77
12.1	复位信号要求.....	77
12.2	晶振起振时序.....	77
13	指令集.....	78
13.1	概述.....	78
13.2	指令的一般行为.....	78
13.3	FM17550 指令描述.....	78
13.3.1	IDLE.....	78

13.3.2	Config	78
13.3.3	Generate RandomID	79
13.3.4	CalcCRC.....	79
13.3.5	Transmit.....	79
13.3.6	NoCmdChange.....	79
13.3.7	Receive.....	79
13.3.8	Transceive.....	79
13.3.9	AutoColl	79
13.3.10	MFAuthent.....	81
13.3.11	SoftReset.....	81
14	测试信号	82
14.1	测试总线.....	82
14.2	引脚 AUX1/AUX2 上的测试信号	83
14.3	PRBS	83
15	典型应用图	84
16	电气参数	85
16.1	极限额定参数.....	85
16.2	主要电气指标.....	85
16.2.1	SPI 交流参数.....	86
16.2.2	I2C 交流参数.....	86
17	订货信息	88
18	封装信息	89
18.1	QFN32 封装尺寸图.....	89
	版本信息	90
	上海复旦微电子集团股份有限公司销售及 服务网点	91

表目录

表 1-1	FM17550 QFN32 封装引脚说明	14
表 2-1	FM17550 ISO/IEC A/MIFARE 通讯简述	15
表 2-2	FM17550 FELiCA 通讯简述	16
表 2-3	FELiCA 帧和编码	16
表 2-4	主动通讯模式的通讯简述	18
表 2-5	被动通讯模式的通讯简述	18
表 2-6	帧和编码简述	18
表 2-7	MIFARE 卡操作模式	19
表 2-8	FELiCA 卡操作模式	19
表 3-1	寄存器总表	21
表 3-2	扩展寄存器总表	21
表 3-3	寄存器位行为及其描述	21
表 3-4	PAGEREG 寄存器	22
表 3-5	PAGEREG 位描述	22
表 3-6	COMMANDREG 寄存器	22
表 3-7	COMMANDREG 位描述	22
表 3-8	COMMENREG 寄存器	22
表 3-9	COMMENREG 位描述	23
表 3-10	DIVENREG 寄存器	23
表 3-11	DIVENREG 位描述	23
表 3-12	COMMIRQREG 寄存器	23
表 3-13	COMMIRQREG 位描述	24
表 3-14	DIVIRQREG 寄存器	24
表 3-15	DIVIRQREG 位描述	24
表 3-16	ERRORREG 寄存器	24
表 3-17	ERRORREG 位描述	25
表 3-18	STATUS1REG 寄存器	25
表 3-19	STATUS1REG 位描述	26
表 3-20	STATUS2REG 寄存器	26
表 3-21	STATUS2REG 位描述	27
表 3-22	FIFODATAREG 寄存器	27
表 3-23	FIFODATAREG 寄存器位描述	27
表 3-24	FIFOLEVELREG 寄存器	27
表 3-25	FIFOLEVELREG 寄存器	27
表 3-26	WATERLEVELREG 寄存器	27
表 3-27	WATERLEVELREG 寄存器位描述	28
表 3-28	CONTROLREG 寄存器	28
表 3-29	CONTROLREG 寄存器位描述	28
表 3-30	BITFRAMINGREG 寄存器	28
表 3-31	BITFRAMINGREG 寄存器位描述	28
表 3-32	COLLREG 寄存器	29
表 3-33	COLLREG 寄存器位描述	29
表 3-34	EXREG 寄存器	29
表 3-35	EXREG 寄存器位描述	29
表 3-36	PAGEREG 寄存器	30
表 3-37	PAGEREG 位描述	30
表 3-38	MODEREG 寄存器	30
表 3-39	MODEREG 位描述	30
表 3-40	TxMODEREG 寄存器	31
表 3-41	TxMODEREG 位描述	31
表 3-42	RxMODEREG 寄存器	31

表 3-43	TxMODEREG 位描述	32
表 3-44	TxCONTROLREG 寄存器	32
表 3-45	TxMODEREG 位描述	33
表 3-46	TxAUTOREG 寄存器	33
表 3-47	TxAUTOREG 位描述	33
表 3-48	TxSELREG 寄存器	33
表 3-49	TxSELREG 位描述	34
表 3-50	RxSELREG 寄存器	34
表 3-51	RxSELREG 位描述	35
表 3-52	RxTHRESHOLDREG 寄存器	35
表 3-53	RxTHRESHOLDREG 寄存器位描述	35
表 3-54	DEMODREG 寄存器	35
表 3-55	DEMODREG 位描述	36
表 3-56	FELNFC1REG 寄存器	36
表 3-57	FELNFC1REG 位描述	36
表 3-58	FELNFC2REG 寄存器	36
表 3-59	FELNFC2REG 位描述	37
表 3-60	MIFNFCREG 寄存器	37
表 3-61	MIFNFCREG 位描述	37
表 3-62	MANUALRCVREG 寄存器	37
表 3-63	MANUALRCVREG 位描述	38
表 3-64	TYPEBREG 寄存器	38
表 3-65	TYPEBREG 位描述	38
表 3-66	SERIALSPEEDREG 寄存器	39
表 3-67	SERIALSPEEDREG 位描述	39
表 3-68	PAGEREG 寄存器	39
表 3-69	PAGEREG 位描述	39
表 3-70	CRCRESULTREG 寄存器	39
表 3-71	CRCRESULTREG 位描述	39
表 3-72	CRCRESULTREG 寄存器	39
表 3-73	CRCRESULTREG 位描述	40
表 3-74	GsNOFFREG 寄存器	40
表 3-75	PAGEREG 位描述	40
表 3-76	MODWIDTHREG 寄存器	40
表 3-77	MODWIDTHREG 位描述	40
表 3-78	TxBITPHASEREG 寄存器	41
表 3-79	BITPHASEREG 位描述	41
表 3-80	RFCFGREG 寄存器	41
表 3-81	RFCFGREG 位描述	41
表 3-82	GsNONREG 寄存器	41
表 3-83	PAGEREG 位描述	42
表 3-84	CWGSPREG 寄存器	42
表 3-85	CWGSPREG 位描述	42
表 3-86	MODGSPREG 寄存器	42
表 3-87	MODGSPREG 位描述	42
表 3-88	TMODEREG 寄存器	43
表 3-89	TMODEREG 位描述	43
表 3-90	TPRESCALERREG 寄存器	43
表 3-91	TPRESCALERREG 位描述	43
表 3-92	TRELOADHIREG 寄存器	44
表 3-93	TRELOADHIREG 位描述	44
表 3-94	TRELOADLOREG 寄存器	44
表 3-95	TRELOADLOREG 位描述	44
表 3-96	TCOUNTERVALHIREG 寄存器	44
表 3-97	TCOUNTERVALHIREG 位描述	44

表 3-98	TCOUNTERVALLOREG 寄存器	44
表 3-99	TCOUNTERVALLOREG 位描述	45
表 3-100	PAGEREG 寄存器	45
表 3-101	PAGEREG 位描述	45
表 3-102	TESTSEL1REG 寄存器	45
表 3-103	TESTSEL1REG 位描述	45
表 3-104	TESTSEL2REG 寄存器	45
表 3-105	TESTSEL2REG 位描述	46
表 3-106	TESTPINENREG 寄存器	46
表 3-107	TESTPINENREG 位描述	46
表 3-108	TESTPINVALUEREG 寄存器	46
表 3-109	TESTPINVALUEREG 位描述	46
表 3-110	TESTBUSREG 寄存器	47
表 3-111	TESTBUSREG 位描述	47
表 3-112	AUTOTESTREG 寄存器	47
表 3-113	PAGEREG 位描述	47
表 3-114	RFTREG 寄存器	47
表 3-115	RFTREG 位描述	47
表 3-116	ANOLOGTESTREG 寄存器	48
表 3-117	ANOLOGTESTREG 位描述	48
表 3-118	TESTDAC1REG 寄存器	48
表 3-119	TESTDAC1REG 位描述	49
表 3-120	TESTDAC2REG 寄存器	49
表 3-121	TESTDAC2REG 位描述	49
表 3-122	TESTADCREG 寄存器	49
表 3-123	TESTADCREG 位描述	49
表 3-124	RFTREG 寄存器	49
表 3-125	RFTREG 位描述	49
表 3-126	RFTREG 寄存器	50
表 3-127	RFTREG 位描述	50
表 3-128	RFTREG 寄存器	50
表 3-129	RFTREG 位描述	50
表 3-130	RFTREG 寄存器	50
表 3-131	RFTREG 位描述	50
表 3-132	USERET 寄存器	50
表 3-133	USERET 位描述	50
表 3-134	LVDCTRL 寄存器	51
表 3-135	LVDCTRL 位描述	51
表 4-1	不同接口类型的连接标准	52
表 4-2	MOSI 和 MISO 的字节顺序	52
表 4-3	MOSI 和 MISO 字节顺序	52
表 4-4	首字节 0 寄存器; 地址 MOSI	53
表 4-5	BR_T0 和 BR_T1 设置	53
表 4-6	UART 传输波特率选择	53
表 4-7	UART 帧格式	54
表 4-8	UART 读数据字节顺序	54
表 4-9	写入数据字节顺序	54
表 4-10	地址字节 0 寄存器; 地址 MOSI	55
表 4-11	I2C 地址对应引脚	58
表 4-12	扩展寄存器字节定义	60
表 5-1	TX1 引脚相关控制信号和设置	62
表 5-2	TX2 引脚相关控制信号和设置	63
表 5-3	射频检测灵敏度	64
表 5-4	CRC 协处理器参数	68
表 7-1	中断源	70

表 9-1	HPD 模式保持寄存器列表	73
表 13-1	指令概述	78
表 14-1	测试信号路径选择 (TESTSEL2REG = 07H)	82
表 14-2	测试信号描述	82
表 14-3	测试信号路径选择 (TESTSEL2REG = 0DH)	82
表 14-4	测试信号描述	82
表 14-5	测试信号路径选择 (TESTSEL2REG = 19H)	82
表 14-6	测试信号描述	82
表 14-7	测试信号描述	83
表 16-1	FM17550 极限额定参数	85
表 16-2	FM17550 推荐工作条件	85
表 16-3	SPI 交流参数	86
表 16-4	I2C 交流参数	87

仅供周立功参考使用

图目录

图 1-1 FM17550 结构框图.....	12
图 1-2 FM17550 QFN32 封装引脚图（TOP VIEW）	13
图 2-1 FM17550 读写器模式.....	15
图 2-2 PCD 标准帧格式	15
图 2-3 PICC 标准帧格式.....	16
图 2-4 FELICA 通讯示意图.....	16
图 2-5 NFCIP-1 模式	17
图 2-6 主动通讯模式	17
图 2-7 被动通讯模式	18
图 4-1 UART 读取数据时序图	54
图 4-2 UART 写入数据时序图	55
图 4-3 I2C 总线接口	55
图 4-4 I2C 总线上的位传输	56
图 4-5 START 和 STOP 状态	56
图 4-6 I2C 总线上的 ACKNOWLEDGE 信号	57
图 4-7 I2C 总线上的数据传输	57
图 4-8 START 过程后的第一位字节	57
图 4-9 寄存器读/写访问	58
图 4-10 I2C 总线 HS 模式协议转换	59
图 4-11 I2C 总线 HS 模式协议帧格式.....	60
图 4-12 写扩展寄存器操作流程	61
图 4-13 读扩展寄存器操作流程	61
图 5-1 TX1 和 TX2 间串行数据转换	64
图 5-2 使用 S2C 接口的通讯流程	65
图 5-3 FELICA 卡 SAM 模式下 SIGOUT 的信号形状.....	65
图 5-4 SAM 模式下 SIGIN 的信号形状.....	66
图 5-5 MIFARE 卡 SAM 模式下的 SIGOUT 信号形状	66
图 5-6 MIFARE 卡 SAM 模式 SIGIN 的信号形状	67
图 11-1 石英晶体连接	76
图 12-1 振荡器启动时间	77
图 13-1 AUTO COLL 指令	80
图 15-1 典型应用图	84
图 16-1 SPI 时序图	86
图 16-2 快速和标准模式下的 I2C 总线时序图	87
图 18-1 FM17550 QFN32 封装尺寸图	89

1 产品综述

1.1 产品简介

FM17550 是一款高度集成的工作在 13.56MHz 下的非接触通讯芯片,支持以下 4 种不同的工作模式。

- 支持符合 ISO/IEC 14443 TypeA/MIFARE 协议及 Felica 协议的读写器模式
- 支持符合 ISO/IEC 14443 TypeB 的读写器模式
- 支持符合 ISO/IEC 14443A/MIFARE 协议及 Felica 协议的卡片模拟工作模式
- 支持符合 NFCIP-1 协议的 NFC 工作模式

同时提供了低功耗的外部卡片侦测功能,方便电池供电、需要低功耗工作、并且需要实时处理任意时刻会进入射频场的外部卡片的读写器设备。

FM17550 具有低电压、低功耗、驱动能力强、多接口支持、多协议支持等特点。适用于低功耗、低电压、低成本要求的非接触读写器应用,及 NFC 协议兼容的 NFC 设备。

1.2 产品特点

- 支持 ISO/IEC 14443 TypeA/MIFARE 读写器模式
- 支持 ISO/IEC 14443 TypeB 读写器模式
- 读写器模式支持 MIFARE 加密
- 支持 ISO/IEC 14443/MIFARE, FeliCa 卡片模拟工作模式
- ISO14443 TYPEA 支持通讯速率 106kbps, 212kbps, 424kbps, 848kbps
- 基于 FeliCa 协议的通讯速率支持 212kbps, 424kbps
- 符合 NFCIP-1 协议的 NFC 通讯速率最高到 424kbps
- 读写器操作距离可达 50mm (取决于天线设计)
- 支持 NFC-WI 接口
- NFC-WI 接口采用独立电源供电
- 支持多种 host 接口
 - SPI 接口最高 10Mbps
 - I2C 接口支持最高 400Kbps 的快速模式, 和最高 3.4Mbps 高速模式
 - 串行 UART 接口, 支持 RS232 帧格式, 最高通讯速率 1.2Mbps
 - Host 接口独立电源供电
- 64Byte 收发缓冲 FIFO
- 中断输出模式灵活可配
- 内置外部场 RF 电平检测
- 内部集成数据模式自动检测 (卡模拟时的 A/MIFARE/F 自动识别)
- 多种低功耗模式
 - Soft powerdown 模式
 - Hard powerdown 模式
 - Deep powerdown 模式
- 支持低功耗外部卡片侦测功能
- 可编程定时器
- 内置振荡电路外接 27.12MHz 晶体
- 宽电压工作范围 2.3V~3.6V
- 内置 CRC 协处理器
- 可编程 I/O 引脚

1.3 结构框图

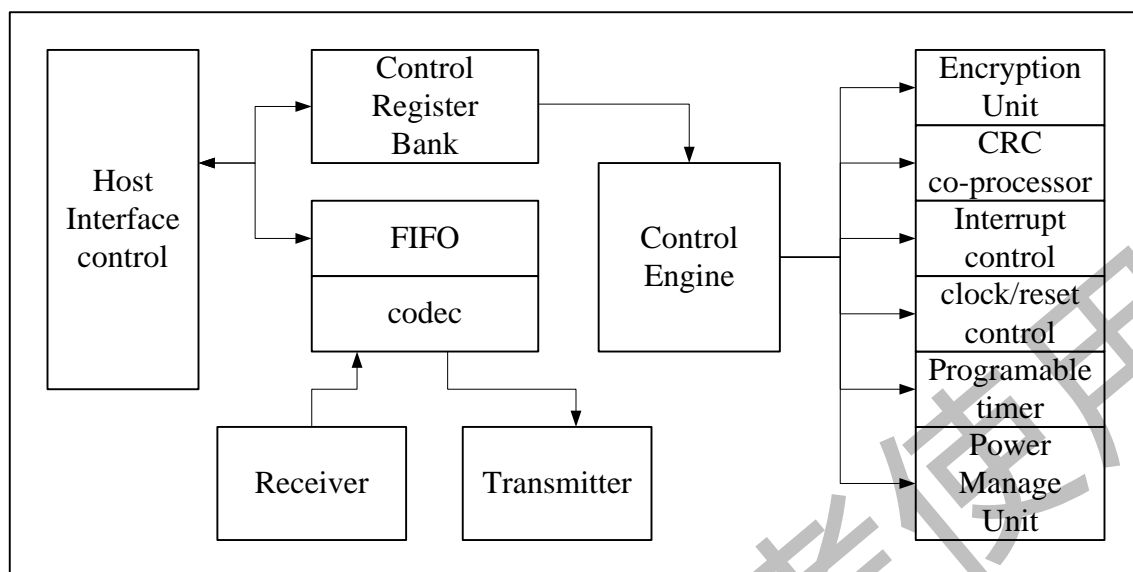


图 1-1 FM17550 结构框图

1.4 封装引脚

1.4.1 FM17550 封装引脚

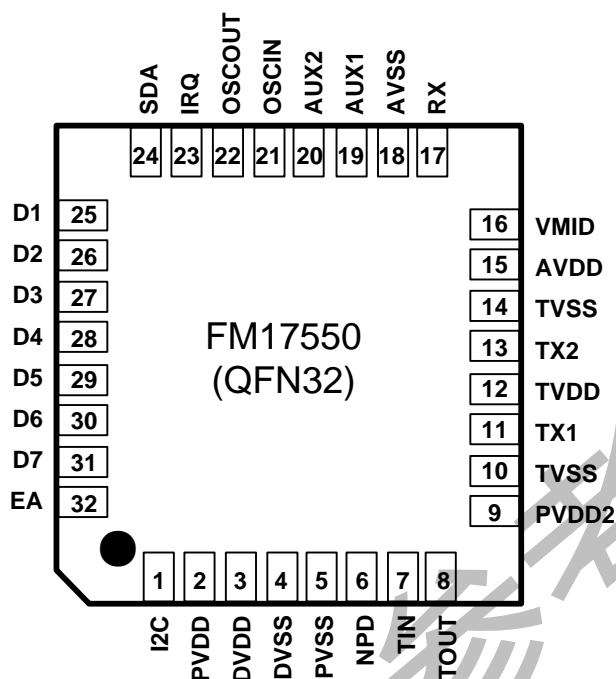


图 1-2 FM17550 QFN32 封装引脚图 (TOP VIEW)

引脚定义:

引脚序号	引脚名称	类型	引脚说明
1	I2C	I	I2C 总线接口使能
2	PVDD	P	引脚供电
3	DVDD	P	芯片供电
4	DVSS	G	数字地
5	PVSS	G	引脚地
6	NPD	I	复位/休眠 (Power Down) 控制脚 0 电平时内部电路进入 power down 状态。 当产生一个上升沿时内部电路复位
7	TIN	I	测试信号输入
8	TOUT	O	测试信号输出
9	PVDD2	P	SIN、SOUT 引脚供电
10	TVSS	G	发射电路地
11	TX1	O	发射输出脚 1
12	TVDD	P	发射电路供电
13	TX2	O	发射输出脚 2
14	TVSS	G	发射电路地
15	AVDD	P	模拟电路供电
16	VMID	P	内部参考电压
17	RX	I	射频输入引脚
18	AVSS	G	模拟地

引脚序号	引脚名称	类型	引脚说明
19	AUX1	O	测试输出 1
20	AUX2	O	测试输出 2
21	OSCIN	I	27.12M 晶振输入，也作外部时钟输入
22	OSCOUT	O	27.12M 晶振输出
23	IRQ	O	中断输出
24	SDA	IO	I2C 总线数据 IO 脚
	NSS	I	SPI 接口使能
	URX	I	UART 接口数据输入
25	D1	IO	测试口
	ADR5	I	I2C 总线地址 bit5
26	D2	IO	测试口
	ADR4	I	I2C 总线地址 bit4
27	D3	IO	测试口
	ADR3	I	I2C 总线地址 bit3
28	D4	IO	测试口
	ADR2	I	I2C 总线地址 bit2
29	D5	IO	测试口
	ADR1	I	I2C 总线地址 bit1
	SCK	I	SPI 接口时钟输入
	DTRQ	O	UART 请求输出给 mcu
30	D6	IO	测试口
	ADR0	I	I2C 总线地址 bit0
	MOSI	IO	SPI 接口 master 输出 slave 输入
	MX	O	UART 输出到 mcu
31	D7	IO	测试口
	SCL	IO	I2C 总线时钟线
	MISO	IO	SPI 接口 master 输入 slave 输出
	UTX	O	UART 接口数据输出
32	EA	I	I2C 总线地址模式

表 1-1 FM17550 QFN32 封装引脚说明

2 功能描述

2.1 总体描述

FM17550 读写器芯片支持多种协议和多种工作模式。

- ISO/IEC14443 A/MIFARE, ISO/IEC14443 B, FeliCa 协议的读写器模式;
- ISO/IEC14443A/MIFARE, FeliCa 协议的卡片模拟模拟;
- 符合 NFCIP-1 协议的 NFC 工作模式

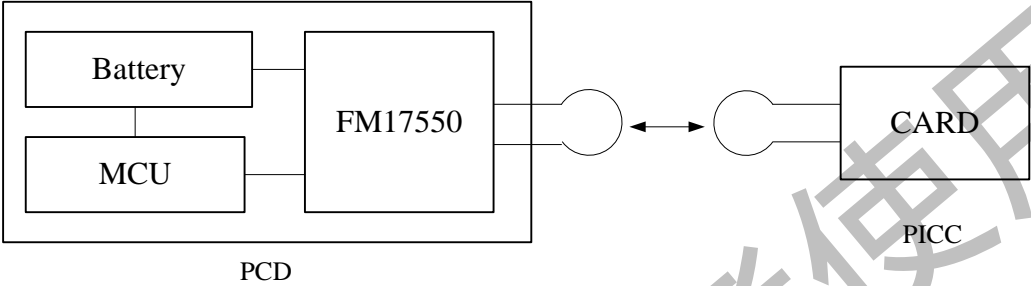


图 2-1 FM17550 读写器模式

2.2 ISO/IEC14443 A/MIFARE 功能支持

FM17550 支持的 ISO/IEC14443 A/MIFARE 的传输速率详见下表。

通讯方向	信号类型	传输速度		
		106 kBd	212 kBd	424 kBd
读写器到卡（数据从 FM17550 送到卡）	读写器调制方式	100%ASK	100%ASK	100%ASK
	位编码	改进型米勒编码	改进型米勒编码	改进型米勒编码
	位长度	(128/13.56) μ s	(64/13.56) μ s	(32/13.56) μ s
卡到读写器（FM17550 从卡接收数据）	卡调制方式	副载波负载调制	副载波负载调制	副载波负载调制
	副载波频率	13.56MHz/16	13.56MHz/16	13.56MHz/16
	位编码	曼彻斯特编码	BPSK	BPSK

表 2-1 FM17550 ISO/IEC A/MIAFRE 通讯简述

FM17550 与 RFID 卡之间的通讯符合 ISO14443 A/MIFARE 的协议。下图给出 PCD 和 PICC 对应的帧格式。

PCD standard frames

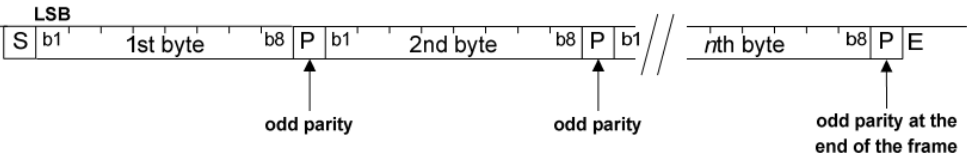


图 2-2 PCD 标准帧格式

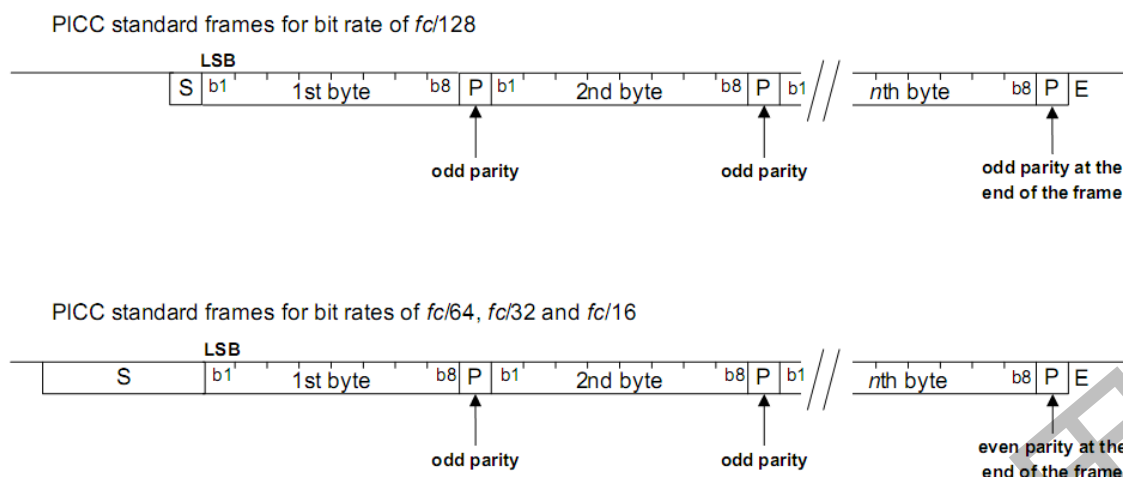


图 2-3 PICC 标准帧格式

CRC 协处理器根据 ISO/IEC14443A 第 3 部分计算 CRC 值并根据传输速度控制内部校验生成。自动校验生成可以通过 RCVreg 寄存器的校验关闭位来关闭。

2.3 ISO/IEC14443 B 功能支持

FM17550 芯片全面支持 ISO/IEC14443 协议，包括 type A 和 type B。详细参见 ISO/IEC14443 协议。

2.4 FeliCa 读写器功能支持

FM17550 的 FeliCa 模式符合 FeliCa 通讯规范。下图及下表分别描述了 FeliCa 的物理层通讯方式、及相关参数。

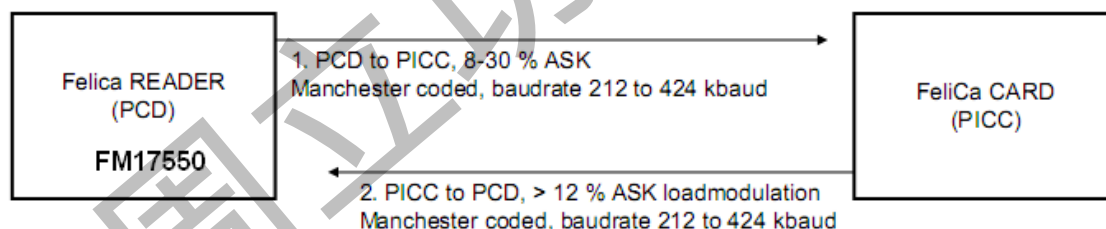


图 2-4 FeliCa 通讯示意图

通讯方向	传输速度	FeliCa	FeliCa 更高传输速度
		212 kbit/s	424 kbit/s
FM17550 到卡	读写器调制方式	8-30% ASK	8-30% ASK
	位编码	曼彻斯特编码	曼彻斯特编码
	位长度	$(64/13.56) \mu s$	$(32/13.56) \mu s$
卡到 FM17550	卡负载调制	>12% ASK	>12% ASK
	位编码	曼彻斯特编码	曼彻斯特编码

表 2-2 FM17550 FeliCa 通讯简述

2.4.1 FeliCa 帧和编码

Preamble						Sync		Len	n-Data				CRC	
00h	00h	00h	00h	00h	00h	B2h	4Dh							

表 2-3 FeliCa 帧和编码

FeliCa 通讯使能后，首先传送一个 6 字节的前导码（Preamble）（00h,00h,00h,00h,00h,00h）和两字节同步帧（Sync）（B2h,4Dh）用于与接收方进行同步。

接下来的 Len 字节表示传送数据（Data）加上 Len 位本身后的字节长度。CRC 计算依据 FeliCa 规范，优先计算 MSB。

启动 FeliCa 数据通讯，主控芯片必须将 Len 数据和 data 数据写入 FM17550 的 FIFO 缓冲。前导码（Preamble）和同步帧（Sync）数据由 FM17550 自动生成，主控芯片不能将其写入 FIFO。FM17550 芯片内部执行 CRC 计算后将结果加到数据帧结尾。

2.5 NFCIP-1 模式

NFCIP-1 通讯有主动和被动两种通讯模式。

- 主动通讯模式表示发起端和目标端都通过他们自己的 RF 场来传输数据。
- 被动通讯模式表示目标端在负载调制方式下响应发起端的命令。发起端负责提供 RF 场信号和能量。
- 发起端：产生 13.56MHz 的 RF 场并启动 NFCIP-1 通讯
- 目标端：在被动通讯模式下通过负载调制方式响应发起端命令，在主动通讯模式下自己产生经调制的 RF 场响应发起端命令。

为了全面支持 NFCIP-1 标准，FM17550 支持 NFCIP-1 协议中规定的 106 kbit/s, 212 kbit/s, 424 kbit/s 几种传输速度。

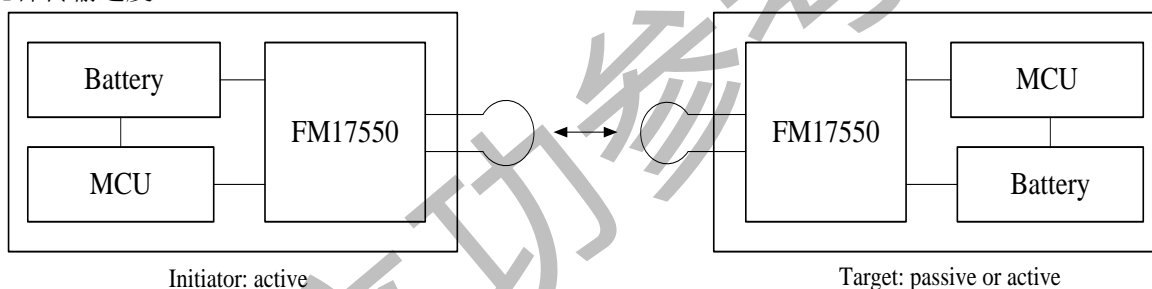


图 2-5 NFCIP-1 模式

2.5.1 主动通讯模式

主动通讯模式表示发起端和目标端都通过他们自己的 RF 场来传输数据。

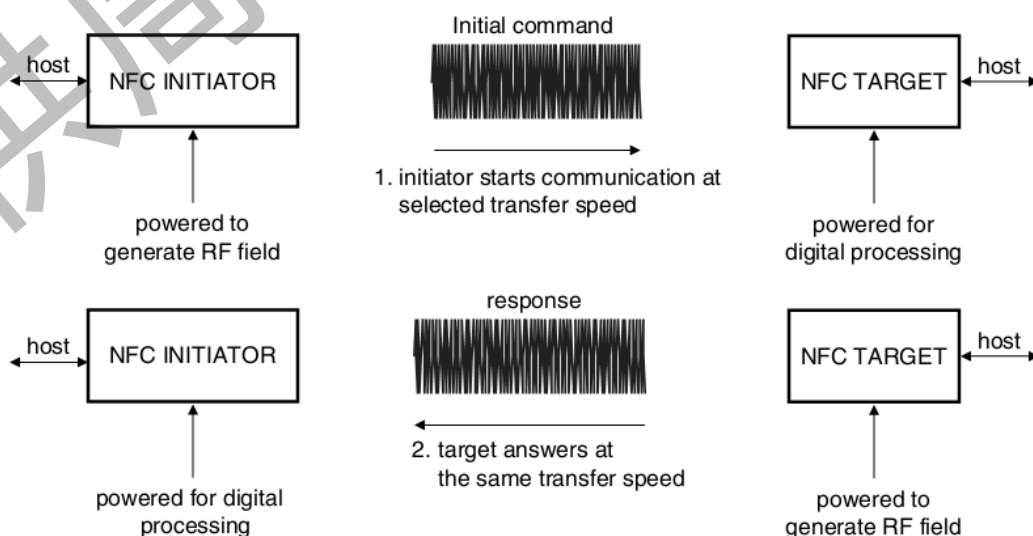


图 2-6 主动通讯模式

通讯方向	106 kbit/s	212 kbit/s	424 kbit/s
发起端到目标端	根据 ISO/IEC 14443A 100% ASK 调制, 改进米勒编码	根据 FeliCa, 8-30% ASK 曼彻斯特编码	
目标端到发起端			

表 2-4 主动通讯模式的通讯简述

NFCIP-1 协议由 FM17550 的非接触处理模块和外部主控芯片负责处理。

2.5.2 被动通讯模式

被动通讯模式表示目标端在负载调制方式下响应发起端命令。发起端负责产生 RF 场。

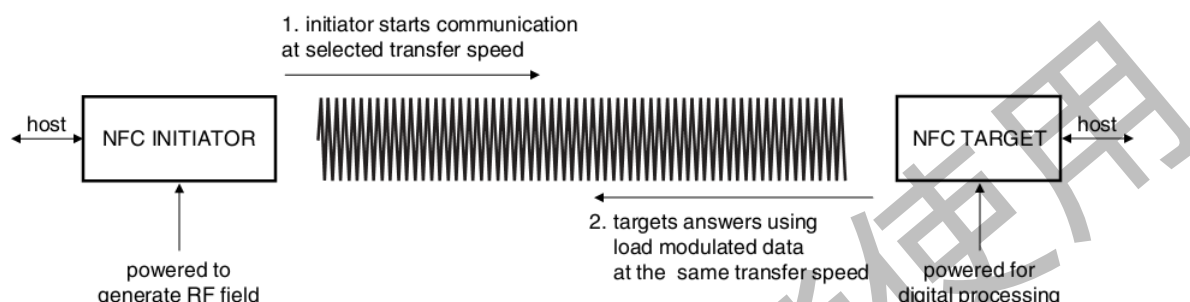


图 2-7 被动通讯模式

通讯方向	106 kbit/s	212 kbit/s	424 kbit/s
发起端到目标端	根据 ISO/IEC 14443A 100% ASK 调制, 改进米勒编码	根据 FeliCa, 8-30% ASK 曼彻斯特编码	
目标端到发起端	根据 ISO/IEC 14443A 副载波负载调制, 曼彻斯特编码	根据 FeliCa, >12% ASK 曼彻斯特编码	

表 2-5 被动通讯模式的通讯简述

NFCIP-1 协议由 FM17550 的非接触处理模块和外部主控芯片负责处理。

2.5.3 NFCIP-1 帧和编码

NFCIP-1 在主动和被动模式下的帧格式和编码定义参见 NFCIP-1 标准。

传输速度	帧和编码
106 kbit/s	符合 ISO/IEC 14443A/MIFARE 标准
212 kbit/s	符合 FeliCa 规范
424 kbit/s	符合 FeliCa 规范

表 2-6 帧和编码简述

2.5.4 NFCIP-1 协议支持

本文不详细描述 NFCIP-1 协议。具体协议详见 NFCIP-1 标准。但是，数据链路层依据以下规则：

- 在一次事务级处理的连续数据交互过程中，通讯速率不可变
- 一次事务级处理包括初始化、防冲突、以及数据交互（连续，意味着不能被另一个事务处理打断）

为了不扰乱当前基于 13.56MHz 的架构，启动 NFCIP-1 通讯的一般规则定义如下：

- 1) NFCIP-1 设备缺省处于目标模式意味着其 RF 场是关闭的。
- 2) RF 场检测功能处于激活状态。
- 3) 只有当应用启用 NFCIP-1 设备时才会转换到发起端模式。
- 4) 发起端只有在 TIDT 时间内 RF 场检测模块未检测到外部场才能开启自己的 RF 场。

5) 发起端根据选定模式执行初始化。

2.5.5 MIFARE 卡操作模式

通讯方向		ISO/IEC 14443A/MIFARE	MIFARE 更高传输速度	
	传输速度	106 kbit/s	212 kbit/s	424 kbit/s
读写器 到 FM17550	读写器调制方式	100% ASK	100% ASK	100% ASK
	位编码	改进米勒编码	改进米勒编码	改进米勒编码
	位长度	(128/13.56) μs	(64/13.56) μs	(32/13.56) μs
FM17550 到读写器	FM17550 调制方式	副载波负载调制	副载波负载调制	副载波负载调制
	副载波频率	13.56MHz/16	13.56MHz/16	13.56MHz/16
	位编码	曼彻斯特编码	BPSK	BPSK

表 2-7 MIFARE 卡操作模式

2.5.6 FeliCa 卡操作模式

通讯方向		FeliCa	FeliCa 更高 传输速度
	传输速度	212 kbit/s	424 kbit/s
读写器 到 FM17550	读写器调制方式	8-30% ASK	8-30% ASK
	位编码	曼彻斯特编码	曼彻斯特编码
	位长度	(64/13.56) μs	(32/13.56) μs
FM17550 到读写器	FM17550 负载调制	>12% ASK 负载调制	>12% ASK 负载调制
	位编码	曼彻斯特编码	曼彻斯特编码

表 2-8 FeliCa 卡操作模式

3 FM17550 寄存器

3.1 FM17550 寄存器概述

3.1.1 寄存器总表

Page0: 命令和状态

Page1: 通讯

Page2: 配置

Page3: 测试

Page	地址	寄存器名	功能
0	0	PageReg	选择寄存器组
	1	CommandReg	启动和停止命令执行
	2	ComIE nReg	中断请求使能与禁止控制位
	3	DivIE nReg	中断请求使能与禁止控制位
	4	ComIrqReg	控制中断请求位
	5	DivIrqReg	控制中断请求位
	6	ErrorReg	显示上一条执行指令的错误状态
	7	Status1Reg	通讯控制状态位
	8	Status2Reg	接收机和发射器的控制状态位
	9	FIFODataReg	64 位 FIFO 的输入输出
	A	FIFOLevelReg	表示 FIFO 内有效数据深度
	B	WaterLevelReg	定义了 FIFO 上溢和下溢警告的级别
	C	ControlReg	各种控制寄存器
	D	BitFramingReg	面向位的帧格式调整
	E	CollReg	在 RF 接口检测到的第一个冲突位的位置
	F	EXReg	扩展寄存器（另表详述）
1	0	PageReg	选择寄存器组
	1	ModeReg	定义接收发射模式
	2	TxModeReg	定义发射数据速率和帧格式
	3	RxModeReg	定义接收数据速率和帧格式
	4	TxControlReg	天线驱动引脚 TX1 和 TX2 控制
	5	TxAutoReg	天线驱动设置
	6	TxSelReg	天线驱动信号源选择
	7	RxSelReg	内部接收器设置
	8	RxThresholdReg	接收译码器阈值选择
	9	DemodReg	解调器设置
	A	FeINFC1Reg	定义接受包的有效范围长度
	B	FeINFC2Reg	定义接受包的有效范围长度
	C	MifNFCReg	控制 106 kbit 下 ISO/IEC 14443/MIFARE 通讯和 NFC 目标模式的通讯
	D	ManualRCVReg	允许内部接收器的手动微调
	E	TypeBReg	ISO/IEC 14443B 控制
	F	SerialSpeedReg	选择串行 UART 接口速度

Page	地址	寄存器名	功能
2	0	PageReg	选择寄存器组
	1	CRCResultReg	显示 CRC 计算的结果
	2		
	3	GsNOffReg	当驱动关闭时，选择天线驱动引脚 TX1 和 TX2 的电导率
	4	ModWidthReg	调制宽度控制
	5	TxBitPhaseReg	在 106 kbit 下调整 TX 的 bit 相位
	6	RFCfgReg	配置接收器增益和 RF 电平
	7	GsNOnReg	当驱动使能时，选择天线驱动引脚 TX1 和 TX2 的电导率
	8	CWGsPReg	当驱动使能时，选择天线驱动引脚 TX1 和 TX2 的电导率
	9	ModGsPReg	当驱动使能时，选择天线驱动引脚 TX1 和 TX2 的电导率
	A	TModeReg	内部计时器设置
	B	TPrescalerReg	
	C	TReloadReg	16 位计时器的重载值
	D		
	E	TCounterValReg	显示 16 位计时器实际值
	F		
3	0	PageReg	选择寄存器组
	1	TestSel1Reg	测试信号配置
	2	TestSel2Reg	测试信号配置及 PRBS 控制
	3	TestPinEnReg	D1-D7 引脚输出驱动使能
	4	TestPinValueReg	当被用于 I/O 总线时，定义 D1-D7 引脚的值
	5	TestBusReg	显示内部测试总线的状态
	6	AutoTestReg	控制数字自测试
	7	RFT	为产品测试预留
	8	AnalogTestReg	控制引脚 AUX1 和 AUX2
	9	TestDAC1Reg	为 TestDAC1 定义测试值
	A	TestDAC2Reg	为 TestDAC2 定义测试值
	B	TestADCReg	显示 ADC I 和 Q 的实际值
	C-F	RFT	为产品测试预留

表 3-1 寄存器总表

扩展寄存器（EXReg）：

Page	地址	二级地址	寄存器名	功能
0	F	1B	UseRet	HPD 模式下的数据保存功能
		1D	LVDctrl	低电压检测控制

表 3-2 扩展寄存器总表

3.1.2 寄存器位行为

下表描述了寄存器的行为及访问条件。

缩写	行为	描述
r/w	读和写	这些位可被主控芯片读写。它们只用于控制，其内容不被内部状态机影响。
dy	动态	这些位可被主控芯片读写，但它们也能被内部状态机改写。
r	只可读	这些寄存器位的值由内部状态决定，主控芯片只读。
w	只可写	这些寄存器位之写，读取这些寄存器总是读到零。
RFU	-	这些寄存器预留后用。
RFT	-	这些寄存器为产品测试预留且不能改变。

表 3-3 寄存器位行为及其描述

3.2 寄存器描述

3.2.1 Page 0: 命令和状态

3.2.1.1 PageReg_地址 00h

选择寄存器组。

位	7	6	5	4	3	2	1	0
定义	UsePageSelect	RFU	RFU	RFU	RFU	RFU	PageSelect	
位权	r/w	-	-	-	-	-	r/w	r/w
复位值	0	0	0	0	0	0	0	0

表 3-4 PageReg 寄存器

位	符号	描述
7	UsePageSelect	置 1，PageSelect 的值被用作寄存器地址 A5 和 A4。寄存器地址的低位则通过地址引脚或内部地址锁存（ALE）方式定义。 置 0，寄存器地址全部由内部地址锁存定义。
6-2	-	预留后用。
1-0	PageSelect	PageSelect 的值只在 UsePageSelect 置 1 的时候有用。

表 3-5 PageReg 位描述

3.2.1.2 CommandReg_地址 01h

启动和停止命令执行。

位	7	6	5	4	3	2	1	0
定义	RFU	RFU	RcvOff	Power Down	Command			
位权	-	-	r/w	dy	dy	dy	dy	dy
复位值	0	0	1	0	0	0	0	0

表 3-6 CommandReg 寄存器

位	符号	描述
7-6	-	预留后用。
5	RcvOff	置 1，射频模拟接收器关闭。
4	PowerDown	置 1，进入 Soft power-down 模式。 置 0，FM17520 开始唤醒过程。过程中该位仍保持 1。0 表示 FM17520 已为后续操作准备就绪。 注：当指令 SoftReset 被激活时，PowerDown 位不能置 1。
3-0	Command	指令寄存器，根据主控芯片写入的指令码激活一条指令。读该寄存器反馈正在执行的指令。

表 3-7 CommandReg 位描述

3.2.1.3 CommIEnReg_地址 02h

中断请求使能与禁止控制位。

位	7	6	5	4	3	2	1	0
定义	IRqInv	TxIEn	RxIEn	IdleIEn	HiAlertIEn	LoAlertIEn	ErrIEn	TimerIEn
位权	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w
复位值	1	0	0	0	0	0	0	0

表 3-8 CommIEnReg 寄存器

位	符号	描述
7	Irqlnv	置 1，引脚 IRQ 的信号被置为寄存器 Status1Reg 的 IRq 位的反。 置 0，引脚 IRQ 的信号与 IRq 位相同。 配合 DivlEnReg 寄存器的 IRqPushPull，缺省的 1 值确保上电后芯片 IRQ 引脚是三态输出。
6	TxlEn	允许发射器中断请求（由 TxIRq 位表示）传递到引脚 IRQ。
5	RxlEn	允许接收器中断请求（由 RxIRq 位表示）传递到引脚 IRQ。
4	IdlelEn	允许 idle 中断请求（由 IdleIRq 位表示）传递到引脚 IRQ。
3	HiAlertlEn	允许渐满中断请求（由 HiAlertIRq 位表示）传递到引脚 IRQ。
2	LoAlertlEn	允许渐空中断请求（由 LoAlertIRq 位表示）传递到引脚 IRQ。
1	ErrlEn	允许错误中断请求（由 ErrIRq 位表示）传递到引脚 IRQ。
0	TimerlEn	允许 timer 中断请求（由 TxIRq 位表示）传递到引脚 IRQ。

表 3-9 CommIEnReg 位描述

3.2.1.4 DivlEnReg_地址 03h

中断请求使能与禁止控制位。

位	7	6	5	4	3	2	1	0
定义	IRQPushPull	RFU	RFU	SiginActlEn	ModelEn	CRCIEn	RFOnlEn	RFOfflEn
位权	r/w	-	-	r/w	r/w	r/w	r/w	r/w
复位值	0	0	0	0	0	0	0	0

表 3-10 DivlEnReg 寄存器

位	符号	描述
7	IRQPushPull	置 1，引脚 IRQ 按标准 CMOS 输出 pad 工作。 置 0，引脚 IRQ 按照开漏输出 pad 工作。
6-5	-	预留后用
4	SiginActlEn	允许 SIGIN 中断请求传递到引脚 IRQ。
3	ModelEn	允许 mode 中断请求（由 ModelIRq 位标明）传递到引脚 IRQ。
2	CRCIEn	允许 CRC 中断请求（由 CRCIRq 位标明）传递到引脚 IRQ。
1	RfOnlEn	允许 RF field on 中断请求（由 RfOnlRq 位标明）传递到引脚 IRQ。
0	RfOfflEn	允许 RF field off 中断请求（由 RfOfflRq 位标明）传递到引脚 IRQ。

表 3-11 DivlEnReg 位描述

3.2.1.5 CommIRqReg_地址 04h

控制中断请求位。

位	7	6	5	4	3	2	1	0
定义	Set1	TxlRq	RxlRq	IdleIRq	HiAlertIRq	LoAlertIRq	ErrIRq	TimerIRq
位权	w	dy	dy	dy	dy	dy	dy	dy
复位值	0	0	0	1	0	1	0	0

表 3-12 CommIRqReg 寄存器

位	符号	描述
7	Set1	置 1，寄存器 CommIRqReg 中的标记位被置起。 置 0，寄存器 CommIRqReg 中的标记位被清除。
6	TxlRq	发射数据的最后一位发出后立刻置 1。

位	符号	描述
5	RxIRq	当接收器检测到一串有效数据流的末尾时置 1。 如果寄存器 RxModeReg 的 RxNoErr 位置 1，则 RxIRq 位只在 FIFO 中有数据时置 1。
4	IdleIRq	当一个指令执行完成，或 CommandReg 被改为 Idle 指令时，置 1。 如果执行到一条未知指令，CommandReg 会自动变为 Idle 状态，IdleIRq 置 1。如主控芯片启动一条 Idle 指令，不会置起 IdleIRq 位。
3	HiAlertIRq	当寄存器 Status1Reg 的 HiAlert 位置 1 时置 1。与 HiAlert 相反，HiAlertIRq 存储该事件并且只能被 Set1 清除。
2	LoAlertIRq	当寄存器 Status1Reg 的 LoAlert 位置 1 时置 1。与 LoAlert 相反，LoAlertIRq 存储该事件并且只能被 Set1 清除。
1	ErrIRq	如果在 Error 寄存器有任何 error 位，置 1。
0	TimerIRq	当计时器 TimerValue 渐到 0 时，置 1。

表 3-13 CommIRqReg 位描述

3.2.1.6 DivIRqReg_地址 05h

控制中断请求位。

位	7	6	5	4	3	2	1	0
定义	Set2	RFU	RFU	SiginActIRq	ModelRq	CRCIRq	RFOnlRq	RFOffIRq
位权	w	-	-	dy	dy	dy	dy	dy
复位值	0	0	0	x	0	0	x	x

表 3-14 DivIRqReg 寄存器

位	符号	描述
7	Set2	置 1，寄存器 DivIRQReg 内的标志位被置起。 置 0，寄存器 DivIRQReg 内的标志位被清除。
6-5	-	预留后用
4	SiginActIRq	当 SIGIN 激活时，置 1。当检测到信号的上升或下降沿时，中断都被置起。
3	ModelRq	当数据模式检测器检测到一个正确模式时，置 1。 注：数据模式检测器只能被 AutoColl 指令激活，当检测到通讯模式时自动终结。 注：数据模式检测器在 RF 场重置后自动重启。
2	CRCIRq	当 CRC 指令激活且所有数据处理完成后，置 1。
1	RfOnIRq	检测到外部 RF 场时，置 1。
0	RfOffIRq	若当前外部 RF 场关闭时，置 1。

表 3-15 DivIRqReg 位描述

3.2.1.7 ErrorReg_地址 06h

显示上一条执行指令的错误状态。

位	7	6	5	4	3	2	1	0
定义	WrErr	TempErr	RFErr	BufferOvfl	CollErr	CRCErr	ParityErr	ProtocolErr
位权	r	r	r	r	r	r	r	r
复位值	0	0	0	0	0	0	0	0

表 3-16 ErrorReg 寄存器

位	符号	描述
7	WrErr	当 AutoColl 指令或 MFAuthent 指令执行过程中数据被主控芯片写入 FIFO，或在 RF 接口发送最后一位和接收最后一位之间数据被主控芯片写入 FIFO，置 1。
6	TempErr	如果内部温度传感器检测到过热，置 1。 这种情况下，天线驱动将自动关闭。 注：执行新指令可以清除 TempErr 以外的所有错误标识。
5	RFErr	如果在主动通讯模式下，对方 P2P 设备没有按照 NFCIP-1 标准中定义的时间要求及时开启 RF 场，置 1。 注：RFErr 只在主动通讯模式下使用，RxFraming 或 TxFraming 位必须设为 01 来使能该功能。
4	BufferOvfl	如果在 FIFO 已满的情况下，主控芯片或 FM17550 的内部状态机（比如接收器）试图写数据到 FIFO，置 1。
3	CollErr	如果检测到位冲突，置 1。在接收器启动阶段自动清除。该位只在 106 kbit 的按位防冲突中有效。在 212 kbit 和 424 kbit 通讯模式中始终置 1。
2	CRCErr	如果寄存器 RxModeReg 的 RxCRCEn 位被设置且 CRC 计算失败，置 1。在接收器启动阶段自动清 0。
1	ParityErr	如果奇偶校验失败，置 1。在接收器启动阶段自动清 0。 只在 ISO/IEC 14443A/MIFARE 或 106 kbit 的 NFCIP-1 通讯模式下有效。
0	ProtocolErr	如果下列情况之一出现，置 1： <ul style="list-style-type: none"> 如果 SOF 错误，置 1。在接收器启动阶段自动清 0。该位只对 106 kbit 下的主动和被动通讯模式有效。 如果寄存器 ModeReg 的 DetectSync 位置 1，且通讯模式为高于 106 kbit 传输速度的 FeliCa 通讯或主动通讯模式下，发生字节长度冲突时，ProtocolErr 位置 1。 在 AutoColl 指令中，如果寄存器 ControlReg 中的 Initiator 位置 1，则 ProtocolErr 位置 1。 在 MFAuthent 指令中，如果一个数据流接收到的字节数不正确，ProtocolErr 位置 1。 根据 ISO/IEC 14443A 定义，如果米勒解码器检测到两个脉冲的间隔小于规定的最小时间，置 1。

表 3-17 ErrorReg 位描述

3.2.1.8 Status1Reg_地址 07h

控制 CRC、中断和 FIFO 缓冲器的状态位。

位	7	6	5	4	3	2	1	0
定义	RFFreqOK	CRCOk	CRCReady	IRq	TRunning	RFOn	HiAlert	LoAlert
访问权利	r	r	r	r	r	r	r	r
复位值	0	0	1	0	0	0	0	1

表 3-18 Status1Reg 寄存器

位	符号	描述
7	RFFreqOK	表示通过引脚 RX 处检测到的场时钟频率是否在 13.56 MHz 范围。 如果通过引脚 RX 检测到频率在 12 MHz < RX 引脚频率 < 15 MHz 范围，置 1。 注：如果外部 RF 频率在 9 到 12 MHz 或 15 到 19 MHz 的范围内，那么 RFFreqOK 的值未定义。
6	CRCOk	如果 CRC 结果为 0，置 1。对于数据发射和接收，CRCOk 位未定义（用 ErrorReg 寄存器中的 CRCErr 位标识）。CRCOk 表明了 CRC 协处理器的状态，在计算过程中值变为 0，当计算正确结束时，值变为 1。

位	符号	描述
5	CRCReady	当 CRC 计算结束时，置 1。该位只对执行 CalcCRC 指令时的 CRC 协处理器计算有效。
4	IRq	该位表示，是否有任何中断源请求注意。（与中断使能位相关，参考寄存器 CommEnReg 和 DivEnReg）
3	TRunning	如果 FM17550 的计时器单元正在运行，置 1。（TcounterValReg 的值在下一个 timer 时钟减一）。 注：在门控模式下，当计时器通过寄存器使能时，TRunning 位置 1。该位不受门控信号影响。
2	RFOn	如果检测到外部 RF 场，置 1。该位不保存 RF 场状态。
1	HiAlert	当储存在 FIFO 里的字节数满足以下公式时，置 1： $HiAlert = (64 - FIFOLength) \leq WaterLevel$ 例： FIFOLength = 60, WaterLevel = 4 → HiAlert = 1 FIFOLength = 59, WaterLevel = 4 → HiAlert = 0
0	LoAlert	当储存在 FIFO 里的字节数满足以下公式时，置 1： $LoAlert = FIFOLength \leq WaterLevel$ 例： FIFOLength = 4, WaterLevel = 4 → LoAlert = 1 FIFOLength = 5, WaterLevel = 4 → LoAlert = 0

表 3-19 Status1Reg 位描述

3.2.1.9 Status2Reg_地址 08h

控制接收器、发射器和数据模式检测器的状态位。

位	7	6	5	4	3	2	1	0
定义	TempSensClear	I2CForceHS	RFU	TargetActiveted	MFCrypto1On	Modem State		
访 问 权 利	r/w	r/w	-	dy	dy	r	r	r
复 位 值	0	0	0	0	0	0	0	0

表 3-20 Status2Reg 寄存器

位	符号	描述
7	TempSensClear	如果温度在 125℃警报限制以下，该位置 1 将清除温度错误。
6	I2CForceHS	I2C 输入滤波器设置。置 1，I2C 输入滤波器强制设为高速模式。置 0，I2C 输入滤波器设根据应用的 I2C 协议设置。
5	-	预留后用。
4	TargetActiveted	如果选卡命令或轮询命令有接受到响应，置 1。 注：该位只在被动通讯模式的 AutoColl 指令过程中设置。 注：该位在外部的 RF 场关闭时自动清 0。
3	MFCrypto1On	该位表示 MIFARE Crypto1 单元开启，所有与卡的数据通讯为密文。该位只在 MIFARE 卡的读写器模式下有效，只有在成功执行 MFAuthent 指令后置 1。该位该位可由软件清除。
2-0	Modem State	ModemState 显示了发射器和接收器状态机的状态。
		值 描述
		000 空闲。
		001 等待寄存器 BitFramingReg 的 StartSend 位有效。
		010 TxWait: 如果 TxWaitRF 置 1，则一直处于等待状态直到 RF 场出现。TxWait 的最小时间由 TxWaitReg 寄存器定义。

		011	发送中。
		100	RxWait: 如果 RxWaitRF 置 1, 则一直处于等待状态直到 RF 场出现。RxWait 的最小时间由 RxWaitReg 寄存器定义。
		101	等待数据。
		110	接收中。

表 3-21 Status2Reg 位描述

3.2.1.10 FIFODataReg_地址 09h

64 字节 FIFO 缓冲器的输入和输出。

位	7	6	5	4	3	2	1	0
定义	FIFO 数据							
位权	dy	dy	dy	dy	dy	dy	dy	dy
复位值	x	x	x	x	x	x	x	x

表 3-22 FIFODataReg 寄存器

位	符号	描述
7-0	FIFOData	64 字节 FIFO 缓冲器的数据输入和输出端口。FIFO 缓冲器作为所有串行数据输入输出到并行输入输出的转换器。

表 3-23 FIFODataReg 寄存器位描述

3.2.1.11 FIFOLevelReg_地址 0Ah

表示储存在 FIFO 里的字节数。

位	7	6	5	4	3	2	1	0
定义	FlushBuffer		FIFOLevel					
位权	w	r	r	r	r	r	r	r
复位值	0	0	0	0	0	0	0	0

表 3-24 FIFOLevelReg 寄存器

位	符号	描述
7	FlushBuffer	置 1, 该位立刻清除内部 FIFO 缓冲器的读写指针和寄存器 ErrReg 里的 BufferOvfl 位。读取该位总是得到 0。
6-0	FIFOLevel	显示储存在 FIFO 缓冲器里的字节数。写入数据到 FIFODataReg 寄存器, FIFOLevel 加一, 读取 FIFOLevel 减一。

表 3-25 FIFOLevelReg 寄存器

3.2.1.12 WaterLevelReg_地址 0Bh

定义了 FIFO 上溢或下溢警报的电平。

位	7	6	5	4	3	2	1	0
定义	RFU	RFU	WaterLevel					
位权	-	-	r/w	r/w	r/w	r/w	r/w	r/w
复位值	0	0	0	0	1	0	0	0

表 3-26 WaterLevelReg 寄存器

位	符号	描述
7-6	-	预留后用
5-0	WaterLevel	该寄存器定义了一个警报电平以表明 FIFO 缓冲器下溢或上溢。如果 FIFO 缓冲器空间剩下的字节数小于等于 WaterLevel 定义的字

		节数，Status1Reg 中的 HiAlert 位置 1。 如果 FIFO 中的字节数小于等于 WaterLevel 字节数，Status1Reg 中的 LoAlert 位置 1。
--	--	--

表 3-27 WaterLevelReg 寄存器位描述

3.2.1.13 ControlReg_地址 0Ch

其他控制位。

位	7	6	5	4	3	2	1	0
定义	TStopNow	TStartNow	WrNFCIDtoFIFO	Initiator	RFU	RxLastBits		
位权	w	w	dy	r/w	-	r	r	r
复位值	0	0	0	0	0	0	0	0

表 3-28 ControlReg 寄存器

位	符号	描述
7	TStopNow	置 1，计时器立刻停止。 读取该位总是得到 0。
6	TStartNow	置 1，立刻启动计时器。 读取该位总是得到 0。
5	WrNFCIDtoFIFO	置 1，内部存储的 NFCID（10 字节）被复制入 FIFO。 然后，该位自动清除。
4	Initiator	置 1，FM17550 作为 NFC 通讯协议的发起端，否则作为目标端。
3	-	预留后用
2-0	RxLastBits	显示最后接收字节的有效位数。如果为 0，整个字节有效。

表 3-29 ControlReg 寄存器位描述

3.2.1.14 BitFramingReg_地址 0Dh

面向位的帧格式调整。

位	7	6	5	4	3	2	1	0
定义	StartSend	RxAlign			RFU	TxLastBits		
位权	w	r/w	r/w	r/w	-	r/w	r/w	r/w
复位值	0	0	0	0	0	0	0	0

表 3-30 BitFramingReg 寄存器

位	符号	描述
7	StartSend	置 1，数据发射开启。 该位只在收发指令（Transceive）执行时有效。
6-4	RxAlign	用于按位帧格式的接收：RxAlign 定义了接收第一位数据需存储进 FIFO 的位置。后续接收的数据位则存储到紧接着的位置。 例： RxAlign = 0：接收到的最低位储存到第 0 位，第二个接收位存储到第 1 位。 RxAlign = 1：接收位的最低位储存到第 1 位，第二个接收位存储到第 2 位。 RxAlign = 7：接收位的最低位储存到第 7 位，第二个接收位存储到下一个字节的第 0 位。 该位只用于被动模式 106 kbit/s 下的按位防冲突。其他模式下置 0。
3	-	预留后用
2-0	TxLastBits	用作按位帧格式的发射：TxLastBits 定义了最后一个字节需要被发送的位数。 000 表示最后一个字节的所有位都要被发送。

表 3-31 BitFramingReg 寄存器位描述

3.2.1.15 CollReg_地址 0Eh

定义了 RF 接口检测到的第一个冲突位。

位	7	6	5	4	3	2	1	0
定义	Values AfterColl	RFU	CollPos NotValid	CollPos				
位权	r/w	-	R	R	R	R	R	R
复位值	1	0	1	x	x	x	x	x

表 3-32 CollReg 寄存器

位	符号	描述
7	Values AfterColl	如果该位置 0，发生冲突位之后的所有接受位被清除。该位只能用在 106 kbit 按位防冲突中，否则置 1。
6	-	预留后用
5	CollPosNotValid	如果没检测到冲突或冲突位置在 CollPos 的范围以外，置 1。该位只在 106 kbit 被动通讯模式或 ISO/IEC 14443A/MIFARE 读写器模式下被解读。
4-0	CollPos	该位表示接受到的数据帧中发现的第一个冲突位的位置，只解读数据位。 例： 00h 表示冲突位在第 32 位 01h 表示冲突位在第 1 位 08h 表示冲突位在第 8 位 该位只在 106 kbit 被动通讯模式或 ISO/IEC 14443A/MIFARE 读写器模式下，且 CollPosNotValid 位置 0 时被解读。

表 3-33 CollReg 寄存器位描述

3.2.1.16 EXReg_地址 0Fh

扩展寄存器访问入口。

位	7	6	5	4	3	2	1	0
定义	EXmode			EXAddr				
位权	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w
复位值	0	0	0	0	0	0	0	0

表 3-34 EXReg 寄存器

位	符号	描述
7-6	EXmode	扩展寄存器访问模式： 01：写模式，bit5~0 写入二级地址 10：读模式，bit5~0 读出二级地址 11：写模式，bit5~0 写入扩展寄存器数据 00：读模式，bit5~0 读出扩展寄存器数据 扩展寄存器的访问方式详见“扩展寄存器的访问”章节。
5-0	EXAddr	扩展寄存器二级地址或数据

表 3-35 EXReg 寄存器位描述

3.2.2 Page 1: 通讯

3.2.2.1 PageReg_地址 10h

选择寄存器组。

位	7	6	5	4	3	2	1	0
定义	UsePage Select	RFU	RFU	RFU	RFU	RFU	PageSelect	
位权	r/w	-	-	-	-	-	r/w	r/w
复位值	0	0	0	0	0	0	0	0

表 3-36 PageReg 寄存器

位	符号	描述
7	UsePageSelect	置 1, PageSelect 的值被用作寄存器地址 A5 和 A4。寄存器地址的低位则通过地址引脚或内部地址锁存 (ALE) 方式定义。 置 0, 寄存器地址全部由内部地址锁存定义。
6-2	-	预留后用。
1-0	PageSelect	PageSelect 的值只在 UsePageSelect 置 1 的时候有用。

表 3-37 PageReg 位描述

3.2.2.2 ModeReg_地址 11h

定义发射和接收模式。

位	7	6	5	4	3	2	1	0
定义	MSBFirs t	Detect Sync	TxWaitRF	RxWaitRF	PolSigin	ModeDetOff	CRCPreset	
位权	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w
复位值	0	0	1	1	1	0	1	1

表 3-38 ModeReg 寄存器

位	符号	描述
7	MSBFirst	置 1, CRC 协处理器以 MSB 位优先计算 CRC, CRCResultReg 寄存器中的 CRCResultMSB 和 CRCResultLSB 也按位翻转。 注: 在 RF 通讯中, 该位被忽略。
6	Detect Sync	如果置 1, 非接触 UART 在接收器激活前等待 F0h, 发生时 F0h 作为同步字节加上。 该位只在 106kbit 的 NFCIP-1 数据交互协议中有效。 在所有其他模式中, 均置 0。
5	TxWaitRF	置 1, 则在读写器的模式或 NFCIP-1 发起者模式时只有 RF 场建立后发射电路才启动。
4	RxWaitRF	置 1, 在 NFCIP-1 的目标模式或卡通讯模式下, RxWait 的计数器只有当检测到外部 RF 场时才启动。
3	PolSigin	PolSigin 定义了 SIGIN 引脚的极性。置 1, SIGIN 引脚的极性为高电平有效。 置 0, SIGIN 引脚极性为低电平有效。 注: 内部包络信号编码为低电平有效。 注: 改变该位会产生一个 SiginActIRq 中断事件。
2	ModeDetOff	置 1, 内部模式检测器关闭。 注: 模式检测器只在 AutoColl 指令中激活。
1-0	CRCPreset	定义了 CalCRC 指令的 CRC 协处理器的预设值。 注: 在任何协议通讯中, CRC 预设值根据 RxMode 和 TxMode 位的相关定义自动进行选择。
		值 描述
		00 0000
		01 6363
		10 A671
		11 FFFF

表 3-39 ModeReg 位描述

3.2.2.3 TxModeReg_地址 12h

定义发射数据速率和帧格式。

位	7	6	5	4	3	2	1	0
定义	TxCRCEn	TxSpeed			InvMod	TxMix	TxFraming	
位权	r/w	dy	dy	dy	r/w	r/w	dy	dy
复位值	0	0	0	0	0	0	0	0

表 3-40 TxModeReg 寄存器

位	符号	描述	
7	TxCRCEn	置 1，在数据发射时使能 CRC 校验生成。 注：该位只在 106 kbit 下只能置 0。	
6-4	TxSpeed	定义数据发送速率。	
		值	描述
		000	106 kbit
		001	212 kbit
		010	424 kbit
		011	848 kbit
		100	1696 kbit
		101	3392 kbit
		110	预留
		111	预留
注：高于 424 kbit 传输速度的位编码与主动模式 424 kbit 的位编码方式相同（见 ISO/IEC 18092 协议）。			
3	InvMod	置 1，发送数据的调制反相。	
2	TxMix	置 1，引脚 TIN 的信号（SIGIN）与内部编码器混合。（见“NFC-WI 接口支持”章节）。	
1-0	TxFraming	定义数据发送的帧格式。	
		值	描述
		00	ISO/IEC 14443A/MIFARE 和 106 kbit 被动通讯模式
		01	主动通讯模式
		10	FeliCa 和 212/424 kbit 被动通讯模式
		11	ISO/IEC 14443B

表 3-41 TxModeReg 位描述

3.2.2.4 RxModeReg_地址 13h

定义接收数据速率和帧格式。

位	7	6	5	4	3	2	1	0
定义	RxCRCEn	RxSpeed			RxNoErr	RxMultiple	RxFraming	
位权	r/w	dy	dy	dy	r/w	r/w	dy	dy
复位值	0	0	0	0	0	0	0	0

表 3-42 RxModeReg 寄存器

位	符号	描述
7	RxCRCEn	置 1，在数据接收时使能 CRC 校验生成。 注：该位只在 106 kbit 下置 0。
6-4	RxSpeed	定义数据传输速率。

位	符号	描述	
		值	描述
		000	106 kbit
		001	212 kbit
		010	424 kbit
		011	848 kbit
		100	预留
		101	预留
		110	预留
		111	预留
3	RxNoErr	如果置 1，接收到的无效数据流（小于 4 个 bit 位）会被忽略。同时接收器保持激活状态。 对于 ISO/IEC 14443B，如要忽略一个无效数据流，还需要 RxSOFReq 设为 1。	
2	RxMultiple	置 0，接收器在接收一个数据帧后不再接收。 置 1，允许接收多个数据帧。设置该位后，Transceive 和 Receive 指令不会自动终止。这种情况下，多次接收只能通过向 CommandReg 寄存器写入除 Receive 指令外的任何其他指令来关闭，或由主控芯片清除该位来关闭连续接收状态。 置 1 时，每个数据帧结束会将一个错误标识字节添加到 FIFO 中。该错误标识字节为 ErrorReg 寄存器的复制值。	
1-0	RxFraming	定义数据接收的帧格式。	
		值	描述
		00	ISO/IEC 14443A/MIFARE 和 106 kbit 被动通讯模式
		01	主动通讯模式
		10	FeliCa 和 212/424 kbit 被动通讯模式
		11	ISO/IEC 14443B

表 3-43 TxModeReg 位描述

3.2.2.5 TxControlReg_地址 14h

天线驱动引脚 Tx1 和 Tx2 控制。

位	7	6	5	4	3	2	1	0
定义	InvTx2RFOn	InvTx1RfOn	InvTx2RFOff	InvTx1RFOff	Tx2CW	CheckRF	Tx2RFEn	Tx1RFEn
位权	r/w	r/w	r/w	r/w	r/w	w	r/w	r/w
复位值	1	0	0	0	0	0	0	0

表 3-44 TxControlReg 寄存器

位	符号	描述
7	InvTx2RFOn	置 1，如果 TX2 驱动使能，引脚 TX2 的输出信号取反。
6	InvTx1RfOn	置 1，如果 TX1 驱动使能，引脚 TX1 的输出信号取反。
5	InvTx2RFOff	置 1，如果 TX2 驱动关闭，引脚 TX2 的输出信号取反。
4	InvTx1RFOff	置 1，如果 TX1 驱动关闭，引脚 TX1 的输出信号取反。
3	Tx2CW	置 1，引脚 TX2 将持续输出未调制的 13.56 MHz 的能量载波。 置 0，Tx2CW 使能调制 13.56 MHz 载波。
2	CheckRF	置 1 时，如果检测到外部 RF 场，Tx2RFEn 和 Tx1RFEn 将不能被置起。只在与 Tx2RFEn 或 Tx1RFEn 位一起用时有效。

位	符号	描述
1	Tx2RFEn	置 1，引脚 TX2 输出经由发送数据调制的 13.56 MHz 能量载波。
0	Tx1RFEn	置 1，引脚 TX1 输出经由发送数据调制的 13.56 MHz 能量载波。

表 3-45 TxModeReg 位描述

3.2.2.6 TxAutoReg_地址 15h

天线驱动设置。

位	7	6	5	4	3	2	1	0
定义	AutoRF OFF	Force100 ASK	Auto WakeUp	RFU	CAOn	InitialRF On	Tx2RFAuto En	Tx1RFAuto En
位权	r/w	r/w	r/w	-	r/w	r/w	r/w	r/w
复位值	0	0	0	0	0	0	0	0

表 3-46 TxAutoReg 寄存器

位	符号	描述
7	AutoRFOFF	置 1，则根据 NFCIP-1 定义，所有主动天线驱动在最后一位数据发射完成后关闭。
6	Force100ASK	置 1，Force100ASK 强制产生一个 100%ASK 调制，与寄存器 ModGsPReg 的设置无关。
5	AutoWakeUp	置 1，soft Power-down 模式下的 FM17550 将由 RF 电平检测器开启。
4	-	预留后用。
3	CAOn	置 1，激活防冲突机制，根据 NFCIP-1 标准自动设置 n 值。
2	InitialRFOn	置 1，则如果 RF 开启，执行起始防冲突流程，InitialRFOn 位会自动清除。 注：需要开启的驱动，必须由 Tx2RFAutoEn 或 Tx1RFAutoEn 激活。
1	Tx2RFAutoEn	置 1，外部 RF 场关闭后，驱动 Tx2 根据协议规定的 TADT 的时间要求开启。如果位 InitialRFOn 和 Tx2RFAutoEn 置 1，则如果在协议规定的 TIDT 时间内没有检测到外部 RF 场，Tx2 开启。 注：TADT 和 TIDT 时间见 NFCIP-1 标准（ISO/IEC 18092）定义。
0	Tx1RFAutoEn	置 1，外部 RF 场关闭后，驱动 Tx1 根据协议规定的 TADT 的时间要求开启。如果位 InitialRFOn 和 Tx1RFAutoEn 置 1，则如果在协议规定的 TIDT 时间内没有检测到外部 RF 场，Tx1 开启。 注：TADT 和 TIDT 时间见 NFCIP-1 标准（ISO/IEC 18092）定义。

表 3-47 TxAutoReg 位描述

3.2.2.7 TxSelReg_地址 16h

天线驱动信号源选择。

位	7	6	5	4	3	2	1	0
定义	RFU	RFU	DriverSel		SigOutSel			
位权	-	-	r/w	r/w	r/w	r/w	r/w	r/w
复位值	0	0	0	1	0	0	0	0

表 3-48 TxSelReg 寄存器

位	符号	描述
7-6	-	预留后用
5-4	DriverSel	选择驱动 Tx1 和 Tx2 的输入

位	符号	描述	
		值	描述
		00	三态 注：在 soft power down 下，驱动只在 DriverSel 设置为三态时，才处于三态模式。
		01	来自内部编码器的调制（包络）信号。
		10	来自 SIGIN 的调制（包络）信号。
		11	高电平 注：高电平根据InvTx1RFOn/InvTx1RFOff和InvTx2RFOn/InvTx2RFOff决定。
3-0	SigOutSel	选择 SIGOUT 引脚的输入	
		值	描述
		0000	三态
		0001	低电平
		0010	高电平
		0011	由寄存器 TestSel1Reg 中的 TestBusBitSel 位定义的 TestBus 信号
		0100	来自内部编码器的调制（包络）信号
		0101	待发送的串行数据流
		0110	接收器电路的输出信号（整形和经过延时的卡解调信号）。该信号作为输出给 SAM 接口的输出信号，（SAM 接口通过三根线方式连接）。* 注：不要在 MIFARE 模式下使用该设置。数据冲突中的曼彻斯特编码不会通过 SIGOUT 线发送。
		0111	接收到串行数据流。 注：不要在 MIFARE 模式下使用该设置。米勒编码的参数（如位长度）可能差别很大。
		FeliCa Sam 调制	
		1000	RX 数据*
		1001	TX 数据
		1010	解调比较器输出
		1011	RFU
		MIFARE Sam 调制	
		1100	含载波的 RX 数据*
		1101	含载波的 TX 数据
		1110	含未滤波载波的 RX
		1111	未滤波的 RX 包络

表 3-49 TxSelReg 位描述

注*：要获得有效信号，FM17550 必须由 Transceive 或 Receive 指令设置成接收模式。RxMultiple 位可以用来保持 FM17550 处于接收模式。

3.2.2.8 RxSelReg_地址 17h

内部接收器设置。

位	7	6	5	4	3	2	1	0
定义	UartSel		RxWait					
位权	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w
复位值	1	0	0	0	0	1	0	0

表 3-50 RxSelReg 寄存器

位	符号	描述	
7-6	UartSel	选择非接触 UART 的输入	
		值	描述
		00	固定低电平
		01	SIGIN 的包络信号
		10	来自内部模拟电路的调制信号
5-0	RxWait	11	来自引脚 SIGIN 的调制信号。只在传输速度高于 424 kbit 有效
		在数据完成发射后，接收器会在RxWait定义的时钟延迟之后被激活。在这个“帧保护时间”内任何引脚RX上的信号都被忽略。除了Receive指令外所有其他指令都会用到这个参数，Receive指令忽略该参数。根据FM17550的工作模式的不同，计数器的启动条件也不同。在被动通讯模式下计数器在发送数据流的最后一个调制脉冲开始计数。在主动通讯模式下，计数器在外部RF场开启后立刻开始计数。	

表 3-51 RxSelReg 位描述

3.2.2.9 RxThresholdReg_地址 18h

接收译码器阈值选择。

位	7	6	5	4	3	2	1	0
定义	MinLevel				RFU	CollLevel		
位权	r/w	r/w	r/w	r/w	-	r/w	r/w	r/w
复位值	1	0	0	0	0	1	0	0

表 3-52 RxThresholdReg 寄存器

位	符号	描述
7-4	MinLevel	定义了译码器能接收的最小信号强度，如果信号强度低于这个水平，则该信号不被处理。
3	-	预留后用
2-0	CollLevel	定义了输入到译码器的曼彻斯特编码的弱半 bit 相对强半 bit 产生冲突位的最小信号强度。

表 3-53 RxThresholdReg 寄存器位描述

3.2.2.10 DemodReg_地址 19h

解调器设置。

位	7	6	5	4	3	2	1	0
定义	AddIQ		FixIQ	RFU	TauRcv		TauSync	
位权	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w
复位值	0	1	0	0	1	1	0	1

表 3-54 DemodReg 寄存器

位	符号	描述	
7-6	AddIQ	定义接收过程中 I 和 Q 通道的使用。 注：FixIQ 必须置 0 以使能以下设置。	
		值	描述
		00	选择较强通道
		01	选择较强通道，并且在通讯过程中保持不变
		10	合并 I 和 Q 通道
		11	预留

位	符号	描述
5	FixIQ	如果置 1 且 AddIQ 位为 X0, 接收固定在 I 通道。 如果置 1 且 AddIQ 位为 X1, 接收固定在 Q 通道。 注: 如果 SIGIN/SIGOUT 用作 S ² C 接口 FixIQ 置 1 且 AddIQ 置 X0。
4	RFU	预留后用
3-2	TauRcv	在数据接收过程中改变内部时间常数。 注: 如果设为 00, PLL 在数据接收中冻结。
1-0	TauSync	在 burst 中改变内部 PLL 的时间常数。

表 3-55 DemodReg 位描述

3.2.2.11 FeINFC1Reg_地址 1Ah

定义了 FeliCa Sync 段的长度和接收包的最小长度。

位	7	6	5	4	3	2	1	0
定义	FelSyncLen			DataLenMin				
位权	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w
复位值	0	0	0	0	0	0	0	0

表 3-56 FeINFC1Reg 寄存器

位	符号	描述
7-6	FelSyncLen	定义了 Sync 字节的长度。
		值 描述
		00 B2 4D
		01 00 B2 4D
		10 00 00 B2 4D
		11 00 00 00 B2 4D
5-0	DataLenMin	这些位定义了接收数据包长度的最小长度: $\text{DataLenMin} * 4 \leq \text{数据包长度}$ 如果寄存器 ModeReg 中的 DetectSync 位置 0, 则该参数在 106 kbit 下被忽略。如果接收到的数据包长度比 DataLenMin 定义的值小, 则数据包被忽略。

表 3-57 FeINFC1Reg 位描述

3.2.2.12 FeINFC2Reg_地址 1Bh

定义了接收包的最大长度。

位	7	6	5	4	3	2	1	0
定义	WaitForSelected		ShortTimeSlot		DataLenMax			
位权	r/w		r/w		r/w	r/w	r/w	r/w
复位值	0		0		0	0	0	0

表 3-58 FeINFC2Reg 寄存器

位	符号	描述
7	WaitForSelected	置 1, AutoColl 指令只在以下情况自动终止: 1) 根据 ISO/IEC 14443A 执行完一个有效选卡流程后, 接收到一个有效指令 2) 根据 FeliCa 规格执行完一个有效轮询程序后, 接收到一个有效指令 注: 如果该位被置 1, 则不能工作在主动通讯模式。 注: 设置该位后, 可降低与另一个设备在同一 RF 场中进行被动通讯模式通讯时主控芯片的参与度。

位	符号	描述
6	ShortTimeSlot	定义了424 kbit下被动通讯模式的时隙长度。置1则使用一个较短时隙（212 kbit下时隙的一半）。置0则使用一个较长的时隙（与212 kbit下的时隙相同）。
5-0	DataLenMax	该位定义了接收数据包长度的最大长度： $\text{DataLenMax} * 4 \geq \text{数据包长度}$ 如果设为0，则最大长度是256字节。 如果寄存器ModeReg中的DetectSync位置0，则该参数在106 kbit下被忽略。如果接收到的数据包长度比DataLenMax定义的值大，则数据包被忽略。

表 3-59 FeINFC2Reg 位描述

3.2.2.13 MifNFCReg_地址 1Ch

控制 106kbit ISO/IEC 14443A/MIFARE 通讯，和 NFC 目标模式通讯。

位	7	6	5	4	3	2	1	0
定义	SensMiller			TauMiller		MFHalted	TxWait	
位权	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w
复位值	0	1	1	0	0	0	1	0

表 3-60 MifNFCReg 寄存器

位	符号	描述
7-5	SensMiller	该位定义了米勒译码器的灵敏度。 用于调整米勒解调的深度阈值。
4-3	TauMiller	该位定义了米勒译码器的时间常数。
2	MFHalted	置1，表示FM17550在106 kbit的卡操作模式下被设为HALT状态。 该位可由主控芯片或内部状态机设置，且只有52h指令码能作为请求指令接收。该位由RF复位自动清除。
1-0	TxWait	该位定义了目标端在106 kbit被动通讯模式下和AutoColl指令执行中的附加响应时间。缺省默认在寄存器定义值的基础上加7bit。

表 3-61 MifNFCReg 位描述

3.2.2.14 ManualRCVReg_地址 1Dh

允许内部接收器的手动微调。

位	7	6	5	4	3	2	1	0
定义	RFU	FastFilt MF_SO	Delay MF_SO	Parity Disable	LargeBW PLL	Manual HPCF	HPFC	
位权	-	r/w	r/w	r/w	r/w	r/w	r/w	r/w
复位值	0	0	0	0	0	0	0	0

表 3-62 ManualRCVReg 寄存器

位	符号	描述
7	-	预留后用
6	FastFilt MF_SO	如果该位置 1，米勒延迟电路的内部滤波器设为快速模式。 注：如果要得到小于 400ns 脉冲宽度的米勒脉冲，该位只能置 1。106 kBaud 下典型值为 3us。
5	Delay MF_SO	如果该位置 1，SIGOUT 引脚的信号被延迟，因此在 SAM 应用模式下 SIGIN 的信号必须比 ISO/IEC 14443A 要求的快 128/fc，以符合 ISO/IEC 14443A 协议的时序要求。 注：该延迟只能由设置寄存器 TxSelReg 的 SigOutSel 位到（1110b）或

位	符号	描述
		(1111b) 来激活。
4	Parity Disable	如果该位置 1, 发送数据的奇偶校验生成和接收数据的奇偶校验都将关闭。接收到的校验位作为普通数据位处理。
3	LargeBWPLL	置 1, 用于时钟恢复的内部 PLL 带宽被扩展。
2	ManualHPCF	置 0, HPCF 位被忽略, HPCF 设置根据接收模式自动调整。 置 1, HPCF 值有效。
1-0	HPCF	选择内部接收链中滤波器的高通过拐角频率 (HPCF)
		00 用于最低频谱 106 kHz 的信号
		01 用于最低频谱 212 kHz 的信号
		10 用于最低频谱 424 kHz 的信号
		11 用于最低频谱 848 kHz 的信号

表 3-63 ManualRCVReg 位描述

3.2.2.15 TypeBReg_地址 1Eh

ISO/IEC 14443B 控制

位	7	6	5	4	3	2	1	0
定义	RxSOF Req	RxEOF Req	RFU	EOF SO FWidth	NoTxSOF	NoTxEOF	TxEGT	
位权	r/w	r/w	-	r/w	r/w	r/w	r/w	r/w
复位值	0	0	0	0	0	0	0	0

表 3-64 TypeBReg 寄存器

位	符号	描述
7	RxSOFReq	如果该位置 1, 必须包含 SOF。一个不以 SOF 起始的数据流会被忽略。如果该位置 0, 不管是否包含 SOF, 数据流都被接受。SOF 将被移除且不会写入 FIFO。
6	RxEOFReq	如果该位置 1, 必须包含 EOF。一个结尾不含 EOF 的数据流会触发协议错误 (ProtocolError)。如果该位置 0, 不管是否包含 EOF, 数据流都被接受。EOF 将被移除且不会写入 FIFO。
5	-	预留后用
4	EOF SO FWidth	如果该位置 1, SOF 和 EOF 会有 ISO/IEC 14443B 中定义的最大长度。如果该位置 0, SOF 和 EOF 会有 ISO/IEC 14443B 中定义的最小长度。
3	NoTxSOF	如果该位置 1, 不产生 SOF。
2	NoTxEOF	如果该位置 1, 不产生 EOF。
1-0	TxEGT	该位定义 EGT 的长度。
		00 0 位
		01 1 位
		10 2 位
		11 3 位

表 3-65 TypeBReg 位描述

3.2.2.16 SerialSpeedReg_地址 1Fh

选择串行 UART 接口的速度。

位	7	6	5	4	3	2	1	0
定义	BR_T0					BR_T1		
位权	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

复位值	1	1	1	0	1	0	1	1
-----	---	---	---	---	---	---	---	---

表 3-66 SerialSpeedReg 寄存器

位	符号	描述
7-5	BR_T0	BR_T0 因子用于调节传输速度，参见“UART 传输速率可配” 章节。
3-0	BR_T1	BR_T1 因子用于调节传输速度，参见“UART 传输速率可配” 章节。

表 3-67 SerialSpeedReg 位描述

3.2.3 Page 2: 配置

3.2.3.1 PageReg_地址 20h

选择寄存器组。

位	7	6	5	4	3	2	1	0
定义	UsePageSelect	RFU	RFU	RFU	RFU	RFU	PageSelect	
位权	r/w	-	-	-	-	-	r/w	r/w
复位值	0	0	0	0	0	0	0	0

表 3-68 PageReg 寄存器

位	符号	描述
7	UsePageSelect	置 1，PageSelect 的值被用作寄存器地址 A5 和 A4。寄存器地址的低位则通过地址引脚或内部地址锁存（ALE）方式定义。 置 0，寄存器地址全部由内部地址锁存定义。
6-2	-	预留后用。
1-0	PageSelect	PageSelect 的值只在 UsePageSelect 置 1 的时候有用。

表 3-69 PageReg 位描述

3.2.3.2 CRCResultMSBReg_地址 21h

显示了 CRC 计算结果。

注：CRC 分为两个 8 位寄存器。

注：设置 ModeReg 寄存器中 MSBFirst 则位序反向，字节顺序不变。

位	7	6	5	4	3	2	1	0
定义	CRCResultMSB							
位权	r	r	r	r	r	r	r	r
复位值	1	1	1	1	1	1	1	1

表 3-70 CRCResultReg 寄存器

位	符号	描述
7-0	CRCResultMSB	该寄存器显示了 CRC 计算结果的高字节数据。它只在 Status1Reg 寄存器中的 CRCReady 位置 1 时有效。

表 3-71 CRCResultReg 位描述

3.2.3.3 CRCResultLSBReg_地址 22h

位	7	6	5	4	3	2	1	0
定义	CRCResultLSB							
位权	r	r	r	r	r	r	r	r
复位值	1	1	1	1	1	1	1	1

表 3-72 CRCResultReg 寄存器

位	符号	描述
7-0	CRCResultLSB	该寄存器显示了 CRC 计算结果的低字节数据。它只在 Status1Reg 寄存器中的 CRCReady 位置 1 时有效。

表 3-73 CRCResultReg 位描述

3.2.3.4 GsNOffReg_地址 23h

当驱动关闭时，选择天线驱动引脚 TX1 和 TX2 的 N 驱动的电导。

位	7	6	5	4	3	2	1	0
定义	CWGsNOff				ModGsNOff			
位权	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w
复位值	1	0	0	0	1	0	0	0

表 3-74 GsNOffReg 寄存器

位	符号	描述
7-4	CWGsNOff	该寄存器的值定义了无调制时段的输出 N 驱动的电导。 注：电导值为二进制加权。 注：在 soft Power-down 模式下最高位强制置 1。 注：该寄存器的值只在驱动关闭时使用。否则使用寄存器 GsNOOnReg 的 CWGsNOOn 位的值。 注：该值用于负载调制。
3-0	ModGsNOff	该寄存器的值定义了调制时段的输出 N 驱动的电导。这可用于调制深度的调整。 注：电导值为二进制加权。 注：在 soft Power-down 模式下最高位强制置 1。 注：该寄存器的值只在驱动关闭时使用。否则使用寄存器 GsNOOnReg 的 ModGsNOOn 位的值。 注：该值用于负载调制。

表 3-75 PageReg 位描述

3.2.3.5 ModWidthReg_地址 24h

调制宽度控制。

位	7	6	5	4	3	2	1	0
定义	ModWidth							
位权	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w
复位值	0	0	1	0	0	1	1	0

表 3-76 ModWidthReg 寄存器

位	符号	描述
7-0	ModWidth	这些位定义了作为主动或被动通讯模式下发起端应用的米勒调制宽度，该宽度与载波频率的关系如下： $(\text{ModWidth} + 1)/f_c$ 。最大值是数据位周期的一半。 当应用于 106 kbit 被动模式的目标端，或 106 kbit 的 ISO/IEC 14443A/MIFARE 的卡操作模式时，这些位用来改变副载波频率的占空比。 占空比计算按下式得到： 低电平宽度： $\#clocks_{LOW} = (\text{ModWidth} \text{ 对 } 8 \text{ 取模}) + 1$ 高电平宽度： $\#clocks_{HIGH} = 16 - \#clocks_{LOW}$

表 3-77 ModWidthReg 位描述

3.2.3.6 TxBitPhaseReg_地址 25h

调节 106 kbit 发射中的 bit 相位。

位	7	6	5	4	3	2	1	0
定义	RcvClkChange		TxBitPhase					
位权	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w
复位值	1	0	0	0	0	1	1	1

表 3-78 TxBitPhaseReg 寄存器

位	符号	描述
7	RcvClkChange	置 1，解调时钟由外部 RF 场获得。
6-0	TxBitPhase	这些位代表了载波频率的时钟周期个数。在所有通讯模式下发射数据前将增加 TxBitPhase 所对应的时钟周期个数的等待时间。TxBitPhase 用于 106 kbit 被动 NFCIP-1 通讯模式下，和 106 kbit 的 ISO/IEC 14443A/MIFARE 卡模拟模式下对 TX 位发射同步的调节。

表 3-79 BitPhaseReg 位描述

3.2.3.7 RFCfgReg_地址 26h

配置接收器增益和 RF 电平检测器灵敏度。

位	7	6	5	4	3	2	1	0
定义	RFU		RxGain			RFLLevel		
位权	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w
复位值	0	1	0	0	1	0	0	0

表 3-80 RFCfgReg 寄存器

位	符号	描述
7	RFU	预留后用。
6-4	RxGain	该寄存器定义了接收器信号电压增益指数：
		值 描述
		000 18 dB
		001 23 dB
		010 18 dB
		011 23 dB
		100 33 dB
		101 38 dB
		110 43 dB
		111 48 dB
3-0	RFLLevel	定义了 RF 电平检测器的灵敏度，描述参见章节“射频场检测”。

表 3-81 RFCfgReg 位描述

3.2.3.8 GsNOnReg_地址 27h

当驱动开启时，选择天线驱动引脚 TX1 和 TX2 的 N 驱动的电导。

位	7	6	5	4	3	2	1	0
定义	CWGsNOn				ModGsNOn			
位权	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w
复位值	1	0	0	0	1	0	0	0

表 3-82 GsNOnReg 寄存器

位	符号	描述
7-4	CWGsNOn	该寄存器的值定义了无调制时段的输出 N 驱动的电导。可通过该设置控制输出功率，相应的电流功耗，及操作距离。 注：电导值为二进制加权。 注：在 soft Power-down 模式下最高位强制置 1。 注：该寄存器的值只在 TX1、TX2 驱动开启时使用。否则使用寄存器 GsNOffReg 的 CWGsNOff 位的值。
3-0	ModGsNOn	该寄存器的值定义了调制时段的输出 N 驱动的电导。可用来控制调制深度。 注：电导值为二进制加权。 注：在 soft Power-down 模式下最高位强制置 1。 注：该寄存器的值只在 TX1、TX2 驱动开启时使用。否则使用寄存器 GsNOffReg 的 ModGsNOff 位的值。

表 3-83 PageReg 位描述

3.2.3.9 CWGsPReg_地址 28h

定义了无调制时段 P 驱动的电导。

位	7	6	5	4	3	2	1	0
定义	RFU	RFU	CWGsP					
位权	-	-	r/w	r/w	r/w	r/w	r/w	r/w
复位值	0	0	1	0	0	0	0	0

表 3-84 CWGsPReg 寄存器

位	符号	描述
7-6	-	预留后用。
5-0	CWGsP	该寄存器的值定义了无调制时段输出 P 驱动的电导。可通过该设置控制输出功率，相应的电流功耗，及操作距离。 注：电导值为二进制加权。 注：在 soft Power-down 模式下最高位强制置 1。

表 3-85CWGsPReg 位描述

3.2.3.10 ModGsPReg_地址 29h

定义了调制时 P 输出驱动的电导。

位	7	6	5	4	3	2	1	0
定义	RFU	RFU	ModGsP					
位权	-	-	r/w	r/w	r/w	r/w	r/w	r/w
复位值	0	0	1	0	0	0	0	0

表 3-86 ModGsPReg 寄存器

位	符号	描述
7-6	-	预留后用。
5-0	ModGsP	该寄存器的值定义了调制时输出 P 驱动的电导。可用来控制调制深度。 注：电导值为二进制加权。 注：在 soft Power-down 模式下最高位强制置 1。

表 3-87 ModGsPReg 位描述

3.2.3.11 TMode 寄存器，TPrescaler 寄存器_地址 2Ah

定义了计时器设置。

注：Prescaler 值分为两个 8 位寄存器。

位	7	6	5	4	3	2	1	0
定义	TAuto		TGated		TAutoRestart		TPrescaler_Hi	
位权	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w
复位值	0	0	0	0	0	0	0	0

表 3-88 TModeReg 寄存器

位	符号	描述	
7	TAuto	置 1，在所有通讯模式、任意通讯速度情况下只要发射结束即自动开始计数；或当 InitialRFOn 位置 1 时，RF 场开启即自动开始计数。 在 106 kbit/s 的 MIFARE 模式和 ISO 14443B 模式下，如果寄存器 RxModeReg 中的 RxMultiple 位为 0，计时器在第 5 位后（1 个起始位，4 个数据位）停止。 在所有其他模式下，如果寄存器 RxModeReg 中的 RxMultiple 位为 0，计时器在第 4 位后停止。 如果 RxMultiple 位置 1，计时器永不停止。这种情况下，计时器可以通过寄存器 ControlReg 的 TStopNow 位置 1 来停止。 置 0 表示，计时器不受协议影响。	
6-5	TGated	表示内部计时器在门控模式下运行。 注：在门控模式下，当计时器被寄存器位使能时 TRunning 位置 1。 该位不受门控信号影响。	
		值	描述
		00	非门控模式
		01	由 SIGIN 做门控
		10	由 AUX1 做门控
		11	由 A3 做门控
4	TAutoRestart	置 1，计时器会从 TReloadValue 自动重启 count-down 计数，而不是计数减到 0 后停止。 置 0，计时器减至 0，TimerIRq 位置 1。	
3-0	TPrescaler_Hi	定义了 TPrescaler 的高 4 位。 $f_{\text{Timer}} = 13.56 \text{ MHz} / (2 * \text{TPreScaler} + 1)$ 其中 TPreScaler = [TPrescaler_Hi: TPrescaler_Lo] (共12位) 详见“Timer 计时单元”。	

表 3-89 TModeReg 位描述

3.2.3.12 TPrescalerLo 寄存器_地址 2Bh

位	7	6	5	4	3	2	1	0
定义	TPrescaler_Lo							
位权	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w
复位值	0	0	0	0	0	0	0	0

表 3-90 TPrescalerReg 寄存器

位	符号	描述
7-0	TPrescaler_Lo	定义了 TPrescaler 的低 8 位。 f_{Timer} 计算公式见 TmodeReg 寄存器的 Tprescaler_Hi 寄存器的描述。

表 3-91 TPrescalerReg 位描述

3.2.3.13 TReloadHiReg_地址 2Ch

16 位计时器的重载值。

位	7	6	5	4	3	2	1	0
定义	TReloadVal_Hi							
位权	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w
复位值	0	0	0	0	0	0	0	0

表 3-92 TReloadHiReg 寄存器

位	符号	描述
7-0	TReloadVal_Hi	定义了 TReloadReg 的高 8 位。 每次计时开始，计时器自动加载 TReloadVal。改变该寄存器只在下次开始计时时影响计时。

表 3-93 TReloadHiReg 位描述

3.2.3.14 TReloadLoReg_地址 2Dh

位	7	6	5	4	3	2	1	0
定义	TReloadVal_Lo							
位权	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w
复位值	0	0	0	0	0	0	0	0

表 3-94 TReloadLoReg 寄存器

位	符号	描述
7-0	TReloadVal_Lo	定义了 TReloadReg 的低 8 位。 每次计时开始，计时器自动加载 TReloadVal。改变该寄存器只在下次开始计时时影响计时。

表 3-95 TReloadLoReg 位描述

3.2.3.15 TcounterValHiReg_地址 2Eh

计时器的当前值。

位	7	6	5	4	3	2	1	0
定义	TCounterVal_Hi							
位权	r	r	r	r	r	r	r	r
复位值	x	x	x	x	x	x	x	x

表 3-96 TCounterValHiReg 寄存器

位	符号	描述
7-0	TCounterVal_Hi	计时器当前值，高 8 位。

表 3-97 TCounterValHiReg 位描述

3.2.3.16 TcounterValLoReg_地址 2Fh

位	7	6	5	4	3	2	1	0
定义	TCounterVal_Lo							
位权	r	r	r	r	r	r	r	r
复位值	x	x	x	x	x	x	x	x

表 3-98 TCounterValLoReg 寄存器

位	符号	描述
7-0	TCounterVal_Lo	计时器当前值，低 8 位。

表 3-99 TCounterValLoReg 位描述

3.2.4 Page 3: 测试

3.2.4.1 PageReg_地址 30h

选择寄存器组。

位	7	6	5	4	3	2	1	0
定义	UsePageSelect	RFU	RFU	RFU	RFU	RFU	PageSelect	
位权	r/w	-	-	-	-	-	r/w	r/w
复位值	0	0	0	0	0	0	0	0

表 3-100 PageReg 寄存器

位	符号	描述
7	UsePageSelect	置 1，PageSelect 的值被用作寄存器地址 A5 和 A4。寄存器地址的低 2 位通过地址引脚或内部地址锁存（ALE）方式定义。 置 0，寄存器地址全部由内部地址锁存定义。
6-2	-	预留后用。
1-0	PageSelect	PageSelect 的值只在 UsePageSelect 置 1 的时候有用。

表 3-101 PageReg 位描述

3.2.4.2 TestSel1Reg_地址 31h

测试信号配置。

位	7	6	5	4	3	2	1	0
定义	RFU	RFU	SAMClockSel		SAMClkD1	TstBusBitSel		
位权	-	-	r/w	r/w	r/w	r/w	r/w	r/w
复位值	0	0	0	0	0	0	0	0

表 3-102 TestSel1Reg 寄存器

位	符号	描述
7-6	-	预留后用
5-4	SAMClockSel	定义 13.56 MHz SAM 时钟的源。
		值 描述
		00 GND-Sam 时钟关闭
		01 时钟由内部振荡器产生
		10 内部 UART 时钟
3	SAMClkD1	置 1，SAM 时钟传递到 D1 引脚输出。
2-0	TstBusBitSel	从测试总线选择 TestBus 位传到 SIGOUT。

表 3-103 TestSel1Reg 位描述

3.2.4.3 TestSel2Reg_地址 32h

测试信号配置和 PRBS 控制。

位	7	6	5	4	3	2	1	0
定义	TstBusFlip	PRBS9	PRBS15	TestBusSel				
位权	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w
复位值	0	0	0	0	0	0	0	0

表 3-104 TestSel2Reg 寄存器

位	符号	描述
7	TstBusFlip	如果置 1，测试总线按以下顺序映射到并行端口： D4, D3, D2, D6, D5, D1。参见章节“测试信号”。
6	PRBS9	根据 ITU-TO150 开启并使能 PRBS9 序列。 注：所有发射数据相关的寄存器必须在进入 PRBS9 模式前配置好。 注：指定序列的数据发射由发射指令启动。
5	PRBS15	根据 ITU-TO150 开启并使能 PRBS15 序列。 注：所有发射数据相关的寄存器必须在进入 PRBS15 模式前配置好。 注：指定序列的数据发射由发射指令启动。
4-0	TestBusSel	选择测试总线。参见章节“测试信号”。

表 3-105 TestSel2Reg 位描述

3.2.4.4 TestPinEnReg_地址 33h

D1-D7 引脚输出驱动使能。

位	7	6	5	4	3	2	1	0
定义	RS232LineEn		TestPinEn					
位权	r/w		r/w	r/w	r/w	r/w	r/w	r/w
复位值	1		0	0	0	0	0	0

表 3-106 TestPinEnReg 寄存器

位	符号	描述
7	RS232LineEn	置 0，串行 UART 的 MX 和 DTRQ 线无效。
6-0	TestPinEn	使能 D1-D7 引脚输出驱动。 例： 将 bit1 置 1，使能 D1 引脚输出 将 bit5 置 1，使能 D5 引脚输出 注：只在使用串行接口时有效。 如果使用 SPI 接口，则只有 D1 到 D4 可用。如果使用串行 UART 接口且 RS232LineEn 置 1，则只有 D1 到 D4 可用。

表 3-107 TestPinEnReg 位描述

3.2.4.5 TestPinValueReg_地址 34h

当用作 I/O 时，定义了 7 位并行端口的值。

位	7	6	5	4	3	2	1	0
定义	UseIO		TestPinValue					
位权	r/w		r/w	r/w	r/w	r/w	r/w	r/w
复位值	0		0	0	0	0	0	0

表 3-108 TestPinValueReg 寄存器

位	符号	描述
7	UseIO	置 1，当选择串行接口时，可通过该位控制 7 个并行端口引脚的 I/O 功能。输入/输出方向由寄存器 TestPinEnReg 的 TestPinEn 定义。输出的数值由 TestPinValue 定义。 注：如果 SAMCIkD1 置 1，D1 不能用作 I/O。
6-0	TestPinValue	当用作 I/O 时，定义了 7 位并行端口的值。每个端口的输出都必须由寄存器 TestPinEnReg 中的 TestPinEn 位使能控制。 注：如果 UseIO 置 1，读取寄存器表示了引脚 D6 到 D1 的实际状态。如果 UseIO 置 0，则读回的是寄存器 TestPinValueReg 的值。

表 3-109 TestPinValueReg 位描述

3.2.4.6 TestBusReg_地址 35h

显示了内部测试总线的状态。

位	7	6	5	4	3	2	1	0
定义	TestBus							
位权	r	r	r	r	r	r	r	r
复位值	x	x	x	x	x	x	x	x

表 3-110 TestBusReg 寄存器

位	符号	描述
7-0	TestBus	显示了内部测试总线的状态。测试总线由 TestSel2Reg 寄存器选择。参见章节“测试信号”。

表 3-111 TestBusReg 位描述

3.2.4.7 AutoTestReg_地址 36h

控制数字自测试。

位	7	6	5	4	3	2	1	0
定义	RFT	AmpRcv	RFU	RFU	RFT			
位权	-	r/w	-	-	-	-	-	-
复位值	0	1	0	0	0	0	0	0

表 3-112 AutoTestReg 寄存器

位	符号	描述
7	0	预留后用。
6	AmpRcv	如果置 1，接收链的内部信号处理被非线性的执行。这可以增加 106 kbit 通讯模式下的操作距离。 注：由于非线性，寄存器 RxThresholdReg 中的 MinLevel 和 CollLevel 位的影响也是非线性的。
5	RFU	预留后用。
4	RFU	预留后用。
3-0	RFT	预留给产品测试。

表 3-113 PageReg 位描述

3.2.4.8 RFTReg_地址 37h

显示版本。

位	7	6	5	4	3	2	1	0
定义	RFT							
位权	r	r	r	r	r	r	r	r
复位值	x	x	x	x	x	x	x	x

表 3-114 RFTReg 寄存器

位	符号	描述
7-0	RFT	预留给产品测试。

表 3-115 RFTReg 位描述

3.2.4.9 AnalogTestReg_地址 38h

控制引脚 AUX1 和 AUX2。

位	7	6	5	4	3	2	1	0
定义	AnalogSelAux1				AnalogSelAux2			
位权	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w
复位值	0	0	0	0	0	0	0	0

表 3-116 AnalogTestReg 寄存器

位	符号	描述
7-4	AnalogSelAux1	控制 AUX1 引脚。同 AnalogSelAux2 定义。
3-0	AnalogSelAux2	注：测试信号描述参见章节“测试信号”。
		值 描述
		0000 三态
		0001 TestDAC1(AUX1)的输出，TestDAC2(AUX2)的输出 ^[1]
		0010 测试信号 Corr1 ^[1]
		0011 测试信号 Corr2 ^[1]
		0100 测试信号 MinLevel ^[1]
		0101 测试信号 ADC 通道 I ^[1]
		0110 测试信号 ADC 通道 Q ^[1]
		0111 测试信号 ADC 通道 I 合并通道 Q ^[1]
		1000 产品测试的测试信号 ^[1]
		1001 SAM 时钟（13.56 MHz）
		1010 HIGH
		1011 LOW
		发射有效状态 在 106 kbit 下：在起始位、数据位、奇偶校验位和 CRC 位保持高电平。 在 212/424 kbit 下：在前导码、同步帧、数据段和 CRC 段中保持高电平。
		接收有效状态 在 106 kbit 下：在数据位、奇偶校验位和 CRC 位保持高电平。 在 212/424 kbit 下：在数据段和 CRC 段保持高电平。
		检测到副载波 106 kbit 下：不使用。 212/424 kbit 下：在前导码的最后部分、及同步帧、CRC 段保持高电平。
		寄存器 TestSel1Reg 中 TstBusBitSel 位定义的 TestBus-Bit

表 3-117 AnalogTestReg 位描述

注[1]：电流输出。建议在 AUX 引脚上加一个 1kΩ 下拉电阻。

3.2.4.10 TestDAC1Reg_地址 39h

定义 TestDAC1 的测试值。

位	7	6	5	4	3	2	1	0
定义	RFT	RFU	TestDAC1					
位权	-	-	r/w	r/w	r/w	r/w	r/w	r/w
复位值	0	0	x	x	x	x	x	x

表 3-118 TestDAC1Reg 寄存器

位	符号	描述
7	-	预留给产品测试。
6	-	预留后用。
5-0	TestDAC1	定义了 TestDAC1 的测试值。DAC1 的输出可以通过设置寄存器 AnalogTestReg 中的 AnalogSelAux1 到 0001 来切换到 AUX1。

表 3-119 TestDAC1Reg 位描述

3.2.4.11 TestDAC2Reg_地址 3Ah

定义 TestDAC2 的测试值。

位	7	6	5	4	3	2	1	0
定义	RFU	RFU	TestDAC2					
位权	-	-	r/w	r/w	r/w	r/w	r/w	r/w
复位值	0	0	x	x	x	x	x	x

表 3-120 TestDAC2Reg 寄存器

位	符号	描述
7	-	预留给产品测试。
6	-	预留后用。
5-0	TestDAC2	定义了 TestDAC2 的测试值。DAC2 的输出可以通过设置寄存器 AnalogTestReg 中的 AnalogSelAux2 到 0001 来切换到 AUX2。

表 3-121 TestDAC2Reg 位描述

3.2.4.12 TestADCReg_地址 3Bh

显示了 ADC I 和 Q 通道的实际值。

位	7	6	5	4	3	2	1	0
定义	ADC_I				ADC_Q			
位权								
复位值	x	x	x	x	x	x	x	x

表 3-122 TestADCReg 寄存器

位	符号	描述
7-4	ADC_I	显示了 ADC I 通道的实际值。
3-0	ADC_Q	显示了 ADC Q 通道的实际值。

表 3-123 TestADCReg 位描述

3.2.4.13 RFTReg_地址 3Ch

位	7	6	5	4	3	2	1	0
定义	RFT	RFT	RFT	RFT	RFT	RFT	RFT	RFT
位权	-	-	-	-	-	-	-	-
复位值	1	1	1	1	1	1	1	1

表 3-124 RFTReg 寄存器

位	符号	描述
7-0	-	预留给产品测试。

表 3-125 RFTReg 位描述

3.2.4.14 RFTReg_地址 3Dh

位	7	6	5	4	3	2	1	0
定义	RFT	RFT	RFT	RFT	RFT	RFT	RFT	RFT

位权	-	-	-	-	-	-	-	-
复位值	0	0	0	0	0	0	0	0

表 3-126 RFTReg 寄存器

位	符号	描述
7-0	-	预留给产品测试。

表 3-127 RFTReg 位描述

3.2.4.15 RFTReg_地址 3Eh

位	7	6	5	4	3	2	1	0
定义	RFT	RFT	RFT	RFT	RFT	RFT	RFT	RFT
位权	-	-	-	-	-	-	-	-
复位值	0	0	0	0	0	0	1	1

表 3-128 RFTReg 寄存器

位	符号	描述
7-0	-	预留给产品测试。

表 3-129 RFTReg 位描述

3.2.4.16 RFTReg_地址 3Fh

位	7	6	5	4	3	2	1	0
定义	RFT	RFT	RFT	RFT	RFT	RFT	RFT	RFT
位权	-	-	-	-	-	-	-	-
复位值	0	0	0	0	0	0	0	0

表 3-130 RFTReg 寄存器

位	符号	描述
7-0	-	预留给产品测试。

表 3-131 RFTReg 位描述

3.2.5 扩展寄存器

FM17550 利用 0F 地址提供了一组扩展寄存器。扩展寄存器的访问方式请参见“扩展寄存器的访问”章节。

3.2.5.1 UseRet_地址 0F/1Bh

位	7-6	5	4	3	2	1	0
定义	ExMode	RFU	UseRet	RFT			
位权	r/w	r/w	r/w	r/w	r/w	r/w	r/w
复位值	00	0	0	0	0	0	0

表 3-132 UseRet 寄存器

位	符号	描述
4	UseRet	1:表示在 HPD 模式、或 LPCD 模式下保存关键寄存器的设置，简化从 HPD、LPCD 模式退出时的初始化工作。 0: 不提供关键数据保存功能
3-0	RFT	用于产品测试，保持全 0。

表 3-133 UseRet 位描述

3.2.5.2 LVDctrl_地址 0F/1Dh

位	7-6	5	4	3	2	1	0
定义	ExMode	RFU	LVDlrq	LVDEff	LVDle	LVDctrl	
位权	r/w	r/w	r/w	r/w	r/w	r/w	r/w
复位值	00	0	0	0	0	1	0

表 3-134 LVDctrl 寄存器

位	符号	描述
4	LVDlrq	1: 表示发生低电压报警。写 0 清除此寄存器。
3	LVDEff	0: 发生低压报警时，产生中断标志 1: 发生低压报警时，数字电路复位
2	LVDle	1: 低压报警中断使能。缺省不使能。
1-0	LVDctrl	低压报警控制： 00: 不使能 LVD 功能 01: 低于 1.9V 报警 10: 低于 2.1V 报警（缺省值） 11: 低于 2.4V 报警

表 3-135 LVDctrl 位描述

注：扩展寄存器的其他地址请保持预留值不变，否则可能引起不确定的结果。

4 Host 接口

4.1 Host 接口自动侦测

FM17550 支持 I2C, SPI, UART 等连接方式, 所有的接口在上电硬复位之后自动完成接口方式的侦测。

接口自动侦测通过对接口控制引脚的电平判断来识别。下表给出多接口引脚复用及接口识别说明。

FM17550	串行接口类型		
引脚	UART	SPI	I2C
ALE	RX	NSS	SDA
A1	0	0	1
A0	0	1	EA
D7	TX	MISO	SCL
D6	MX	MOSI	ADR_0
D5	DTRQ	SCK	ADR_1
D4	-	-	ADR_2
D3	-	-	ADR_3
D2	-	-	ADR_4
D1	-	-	ADR_5
类型	Input	In/Out	Output

表 4-1 不同接口类型的连接标准

4.2 SPI 接口

FM17550 支持 SPI 接口, 在 SPI 通讯中作为 Slave 端通讯, 最高速率 10Mbps, 接口符合 SPI 标准。

SPI 的时钟 SCK 由 master 产生。MOSI 和 MISO 线上的数据都是 MSB 优先。MOSI 和 MISO 线上的数据必须在时钟上沿稳定, 在时钟下沿改变。

4.2.1 SPI 读数据

通过 SPI 接口读数据按照下表的字节顺序通讯。首字节定义了通讯模式和地址。

线路	Byte 0	Byte 1	Byte 2	To	Byte n	Byte n+1
MOSI	地址 0	地址 1	地址 2	地址 n	00
MISO	X	数据 0	数据 1	数据 n-1	数据 n

表 4-2 MOSI 和 MISO 的字节顺序

4.2.2 SPI 写数据

通过 SPI 接口写数据按照下表的字节顺序通讯。首字节定义了通讯模式和地址。

线路	Byte 0	Byte 1	Byte 2	To	Byte n	Byte n+1
MOSI	地址 0	数据 0	数据 1	数据 n-1	数据 n
MISO	X	X	X	X	X

表 4-3 MOSI 和 MISO 字节顺序

4.2.3 SPI 地址字节

SPI 通讯的首字节定义了通讯模式和地址，如下表所示。Bit7 定义通讯模式，从 FM17550 读数据时，bit7 置 1。向 FM17550 写数据时，bit7 置 0。Bit6~bit1 定义地址。Bit0 固定为 0。

7 (MSB)	6	5	4	3	2	1	0 (LSB)
1 = 读 0 = 写	地址						0

表 4-4 首字节 0 寄存器：地址 MOSI

4.3 UART 接口

FM17550 的 UART 接口包括输入脚 RX，和输出脚 TX，DTRQ，MX。清除 TestPinEnReg 寄存器的 RS232LineEn 位可使 DTRQ，MX 脚无效。

4.3.1 UART 传输速率可配

FM17550 的 UART 接口可兼容 RS232 串行接口。

缺省传输速度 9600bps。通过更新 SerialSpeedReg 寄存器可以更新 UART 传输速率。BR_T0，BR_T1 定义了波特率传输因子。

BR_Tn	Bit 0	Bit 1	Bit 2	Bit 3	Bit 4	Bit 5	Bit 6	Bit 7
BR_T0 因子	1	1	2	4	8	16	32	64
BR_T1 范围	1-32	33-64	33-64	33-64	33-64	33-64	33-64	33-64

表 4-5 BR_T0 和 BR_T1 设置

Transfer speed (kBd)	SerialSpeedReg 值		Transfer speed accuracy (%)
	Decimal	Hexadecimal	
7.2	250	FAh	-0.25
9.6	235	EBh	0.32
14.4	218	DAh	-0.25
19.2	203	CBh	0.32
38.4	171	ABh	0.32
57.6	154	9Ah	-0.25
115.2	122	7Ah	-0.25
128	116	74h	-0.06
230.4	90	5Ah	-0.25
460.8	58	3Ah	-0.25
921.6	28	1Ch	1.45
1228.8	21	15h	0.32

表 4-6 UART 传输波特率选择

上表中 UART 波特率可根据以下公式计算：

$$transfer\ speed\ (hz) = \begin{cases} \frac{27.12 \times 10^6}{BRT1+1}, BRT0 = 0; \\ \frac{27.12 \times 10^6}{2^{(BRT0-1)} \times (BRT1+33)}, BRT0 \neq 0; \end{cases}$$

4.3.2 UART 帧格式

位	长	值
Start	1 位	0
Data	8 位	data
Stop	1 位	1

表 4-7 UART 帧格式

注：UART 通讯 LSB 优先，无校验位。

读取数据：通过 UART 读数据，字节顺序如下表。首字节定义通讯模式和地址。

引脚	Byte 0	Byte 1
RX（引脚 24）	地址	-
TX（引脚 31）	-	数据 0

表 4-8 UART 读数据字节顺序

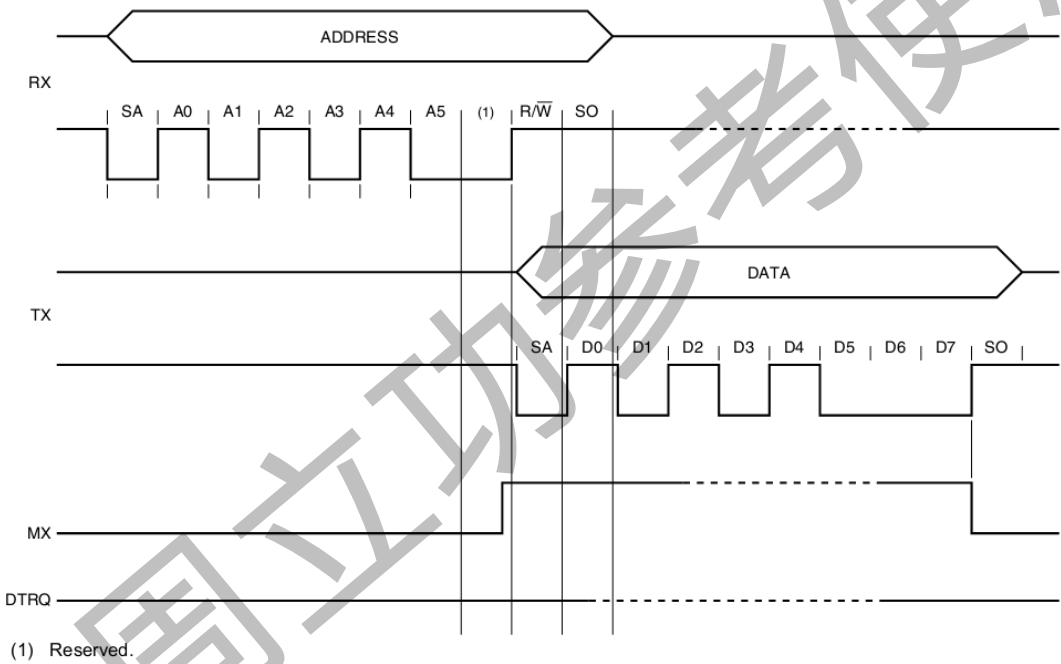


图 4-1 UART 读取数据时序图

写入数据：通过 UART 接口向 FM17550 写数据，通讯字节顺序如下表。首字节定义通讯模式和地址。

引脚	Byte 0	Byte 1
RX（引脚 24）	地址 0	数据 0
TX（引脚 31）	-	地址 0

表 4-9 写入数据字节顺序

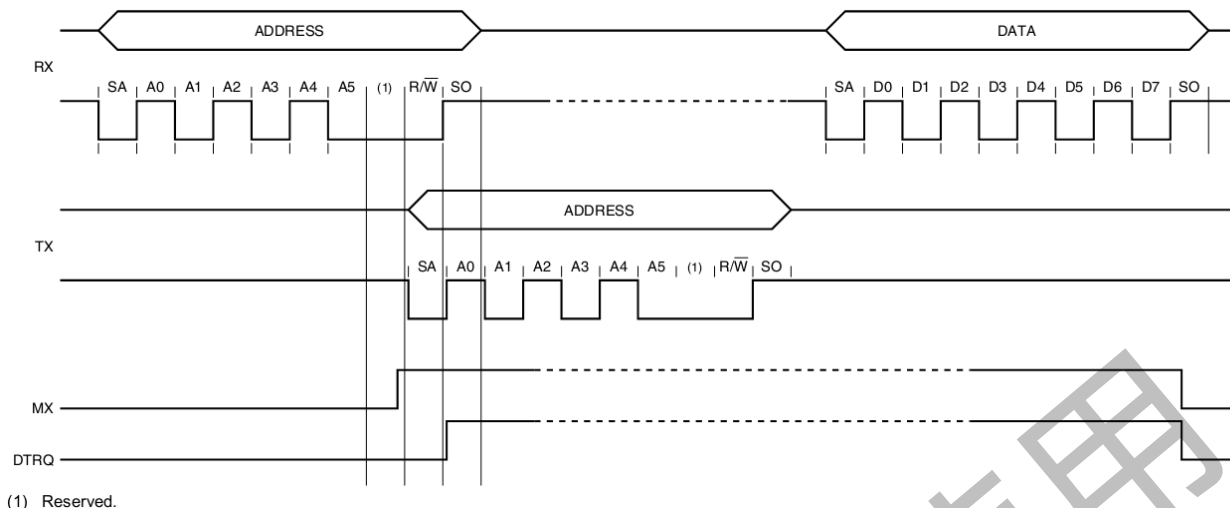


图 4-2 UART 写入数据时序图

注：TX 引脚上的数据发送可以在 RX 引脚收到地址后立刻发送。

地址字节：首字节为地址字节，必须满足以下格式。

最高位 bit7 定义通讯模式。从 FM17550 读取数据时，Bit7 置 1。向 FM17550 写数据时，Bit7 置 0。第 6 位预留，第 5 到 0 位定义了地址。见下表。

7 (MSB)	6	5	4	3	2	1	0 (LSB)
1 = 读 0 = 写	预留后用	地址					

表 4-10 地址字节 0 寄存器；地址 MOSI

4.4 I2C 总线接口

I2C 总线（Inter-IC）接口是一种低成本、引脚少的串行总线接口方式。FM17550 的 I2C 接口只用作 slave 端，I2C 的时钟生成和访问仲裁由 master 实现。

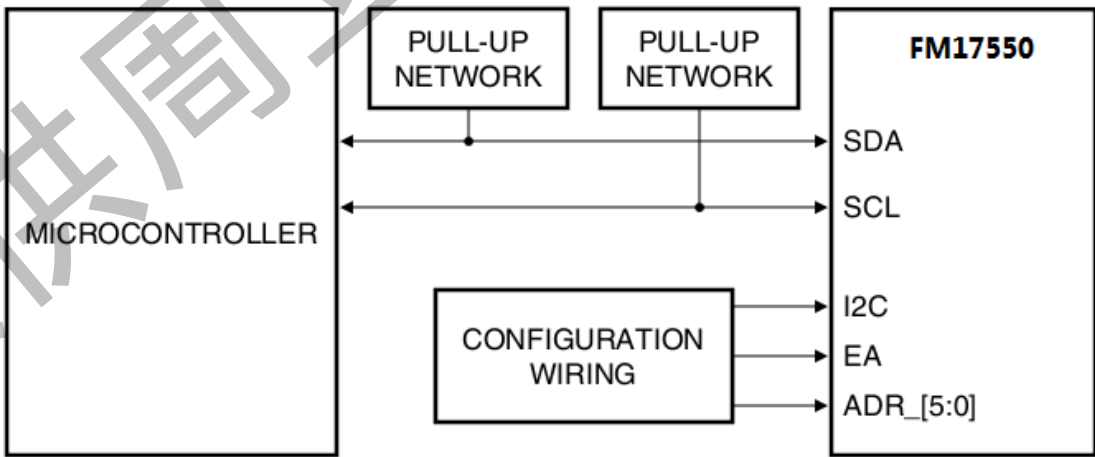


图 4-3 I2C 总线接口

FM17550 的 I2C 通讯支持标准模式、快速模式和高速模式。

SDA 为数据传输线，双向通路，采用开漏输出，系统上通过电流源或上拉电阻连接到电源。SCL 为时钟线，时钟由 master 端提供。不传输数据时，SDA 和 SCL 线都为高电平。I2C 总线上的数据传输速率在标准模式下最高可达 100 kbps，在快速模式下最高可达 400 kbps，在高速模式下最高可

达 3.4 Mbps。

如果选择了 I2C 总线接口，SCL 和 SDA 引脚上会自动使能尖峰抑制，符合 I2C 规范要求。

4.4.1 数据有效性

SDA 线上的数据在时钟高电平周期必须保持稳定。数据的高低电平状态转换只能发生在 SCL 时钟信号为低电平时。

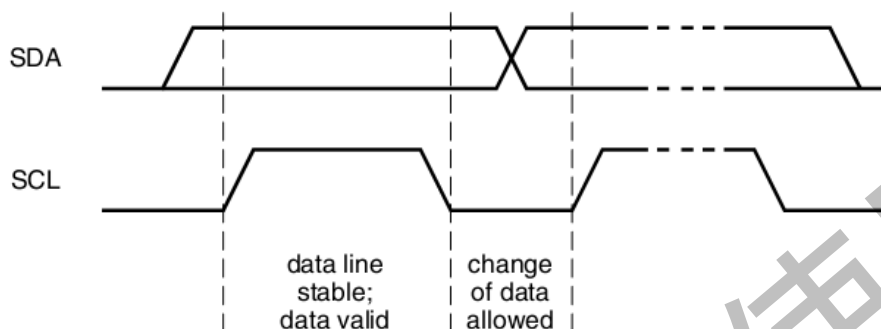


图 4-4 I2C 总线上的位传输

4.4.2 START 和 STOP 状态

为了控制 I2C 总线的数据传输，定义了唯一的 START (S) 和 STOP (P) 状态。

- START 状态定义为当 SCL 处于高电平时，SDA 线上由高电平到低电平的转换。
- STOP 状态定义为当 SCL 处于高电平时，SDA 线上由低电平到高电平的转换。

I2C 总线的 START 和 STOP 状态由 master 产生。总线在 START 状态后变为忙碌。在 STOP 状态后一定时间内变为闲置。

如果一个重置 START (Sr) 产生并替代了 STOP 状态，总线会保持忙碌状态。START (S) 和重置 START (Sr) 状态功能相同，用相同的符号 S 来表示。

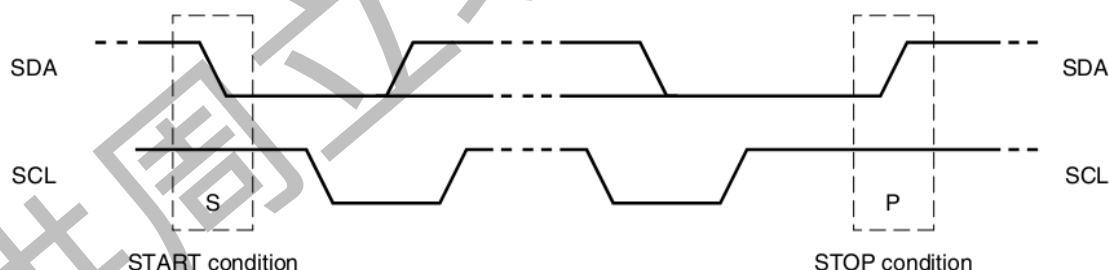


图 4-5 START 和 STOP 状态

4.4.3 字节格式

每个字节都必须有一个 acknowledge (响应) 位，数据优先传递 MSB。一次数据传输过程中传递的字节数并不受限，但必须符合读/写周期格式。

4.4.4 Acknowledge

一个数据字节的末尾必须有一个 acknowledge 位，其对应的时钟脉冲由 master 产生。数据的发送方，master 或是 slave，需在 acknowledge 时钟周期内释放 SDA 控制线（高电平）。接收方在 acknowledge 时钟周期内下拉 SDA 线，确保在该时钟周期的高电平周期内保持 SDA 为稳定的低电平。

master 随后产生一个 STOP (P) 状态来停止传输或一个重置 START (Sr) 状态来开始新的传输。

master 接收端通过在最后一个字节不产生 acknowledge 信号来向 slave 发送端表明数据结束。slave 发送端释放数据线允许 master 产生一个 STOP (P) 或重置 START (Sr) 状态。

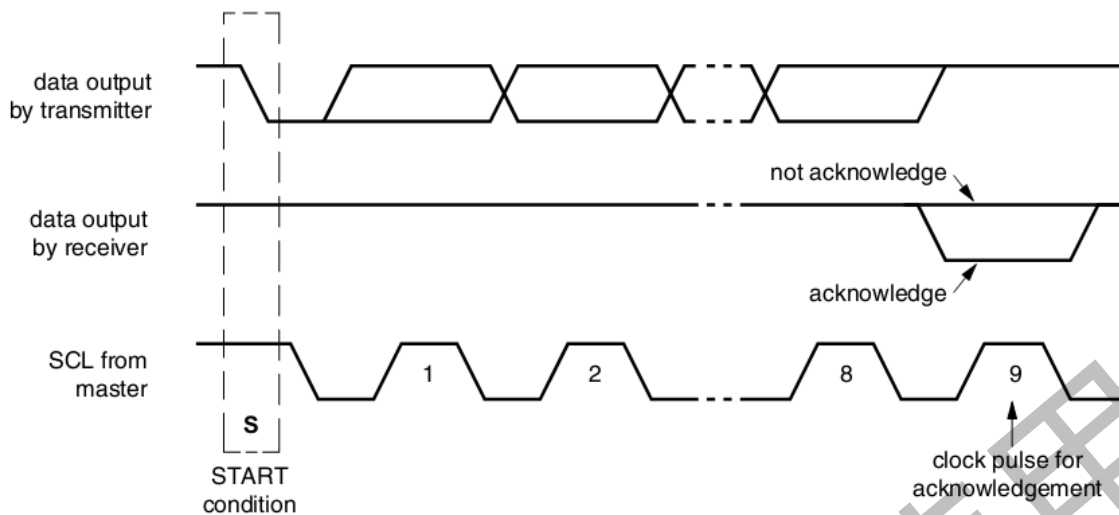


图 4-6 I2C 总线上的 acknowledge 信号

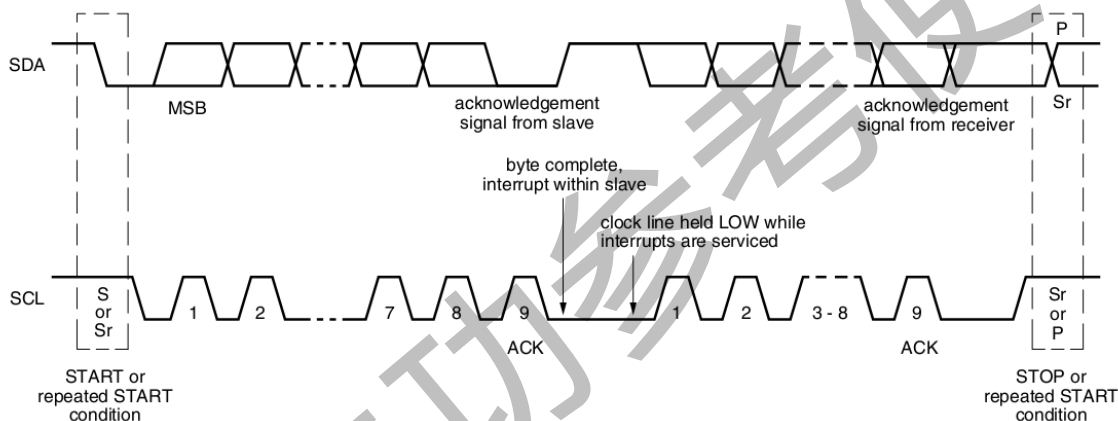


图 4-7 I2C 总线上的数据传输

4.4.5 7 位地址

在 I2C 总线地址处理过程中, START 状态后的第一位字节用来给出 master 选择的 slave 的目标地址。如下图所示。

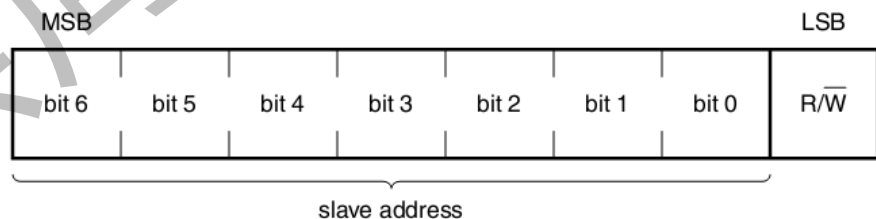


图 4-8 START 过程后的第一位字节

在 I2C 规范中定义了一些保留地址。在系统应用中, 设计者必须确保不会与这些保留地址发生冲突。

I2C 总线规范根据 EA 引脚的不同定义了不同的地址锁定方式。在 FM175XX 的 NPD 释放或上电复位之后, 设备根据 EA 引脚的定义确定 I2C 总线地址。

如果引脚 EA 置为低电平, I2C 总线地址的高 4 位固定为 0101b。slave 地址的剩下 3 位 (ADR_0、ADR_1、ADR_2) 可以由用户自行配置来防止与其他 I2C 总线设备的冲突。

如果引脚 EA 置为高电平, ADR_0 到 ADR_5 将完全由外部引脚指定。ADR_6 总是置 0。ADR_0~ADR_6 对应的引脚如下表所示。

I2C 地址	ADR_0	ADR_1	ADR_2	ADR_3	ADR_4	ADR_5
引脚	D6	D5	D4	D3	D2	D1

表 4-11 I2C 地址对应引脚

在两种模式下，I2C 地址编码在 FM17550 的 NPD 引脚复位释放后立刻被锁住。之后相关地址引脚可做其他用途。但需注意 FM175XX 每次从 Hard powerdown 模式（NPD 置 0）恢复需要确保 I2C 地址设定正确，FM17550 会在 NPD 引脚释放时重新锁存 I2C slave 地址。

4.4.6 寄存器写入访问

通过 I2C 总线从主控芯片向 FM17550 的指定寄存器写入数据，必须符合以下帧格式。

- 根据 I2C 总线规则，每帧的第一字节给出设备地址。
- 第二字节给出寄存器地址，后可跟 N 字节数据。

在一帧内所有数据字节都会写入同一个寄存器地址，这方便了 FIFO 访问。

4.4.7 寄存器读取访问

要从 FM17550 的指定寄存器地址读取数据，主控芯片处理需符合以下流程：

- 首先，必须执行一个对指定寄存器地址的写访问，如下所述。
- 根据 I2C 总线规则，每帧的第一字节要给出设备地址。
- 第二字节要给出寄存器地址。后面不加任何数据字节。
- 读/写控制位为 0。

读访问在写访问之后开始。主机发送 FM17550 的设备地址，读/写控制位置 1。FM17550 发送指定访问的寄存器的内容作为回应。在一帧内所有数据字节都可以从同一寄存器地址读取。这方便 FIFO 访问或寄存器轮询。

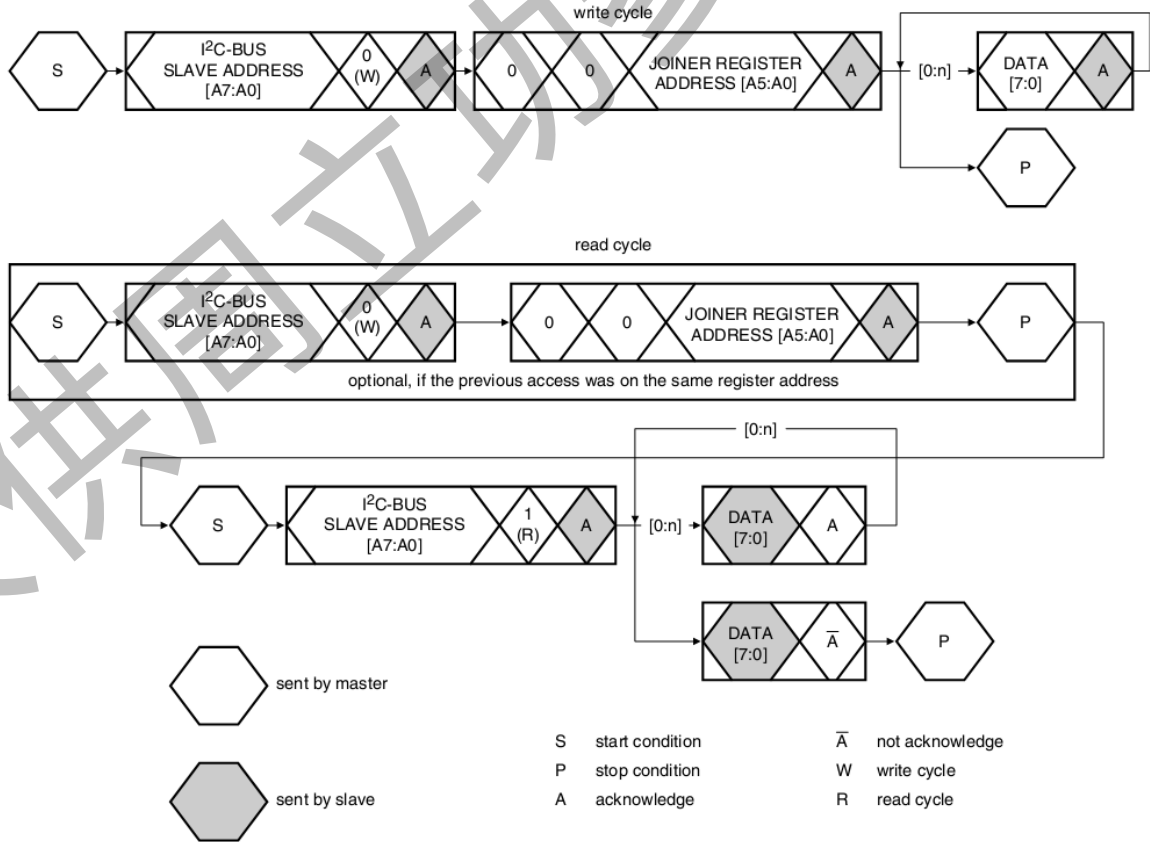


图 4-9 寄存器读/写访问

4.4.8 高速模式

在高速模式下（HS mode），设备传递信息速率可高达 3.4 Mbit/s，同时可完全向下兼容快速和标准模式的双向通讯。

4.4.9 高速传输

为了获得高达 3.4 Mbit/s 的数据速率，我们对 I2C 总线操作做出了以下改进。

- 设备的输入端包含了尖峰抑制、施密特触发器处理，I2C 总线的各时间常数相比 FS 模式也有所不同。
- 设备的输出驱动上对 SDA 和 SCL 信号做了不同的下降速度的控制。

4.4.10 HS 模式下的数据传输格式

HS 模式串行数据传输格式完全符合 I2C 总线的标准模式规范。HS 模式只能在满足以下所有条件后开启。（都在 F/S 模式下）

- 1) START 状态（S）
- 2) 8 位 master 编码（00001XXXb）
- 3) 非 acknowledge 位（ \bar{A} ）

当 HS 模式开启后，master 会发送一个重置 START 状态（Sr），跟一个含 R/W 位的 7 位 slave 地址，然后 FM17550 会回一个 acknowledge 位（A）。

数据传输在下一个重置 START（Sr）后开始。在一个 STOP 状态（P）后回到 F/S 模式。为了方便 master 编码，master 可以在进入 HS 模式后，通过重置 START 状态（Sr）来进行一系列的数据访问，避免使用 STOP 状态（P）可以提高访问效率。

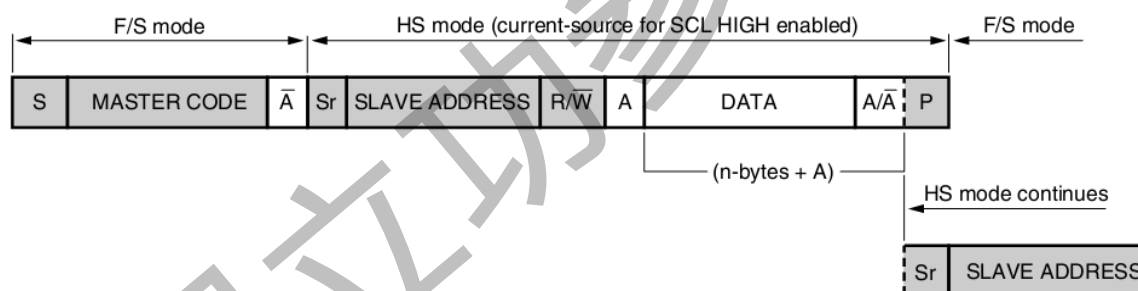


图 4-10 I2C 总线 HS 模式协议转换

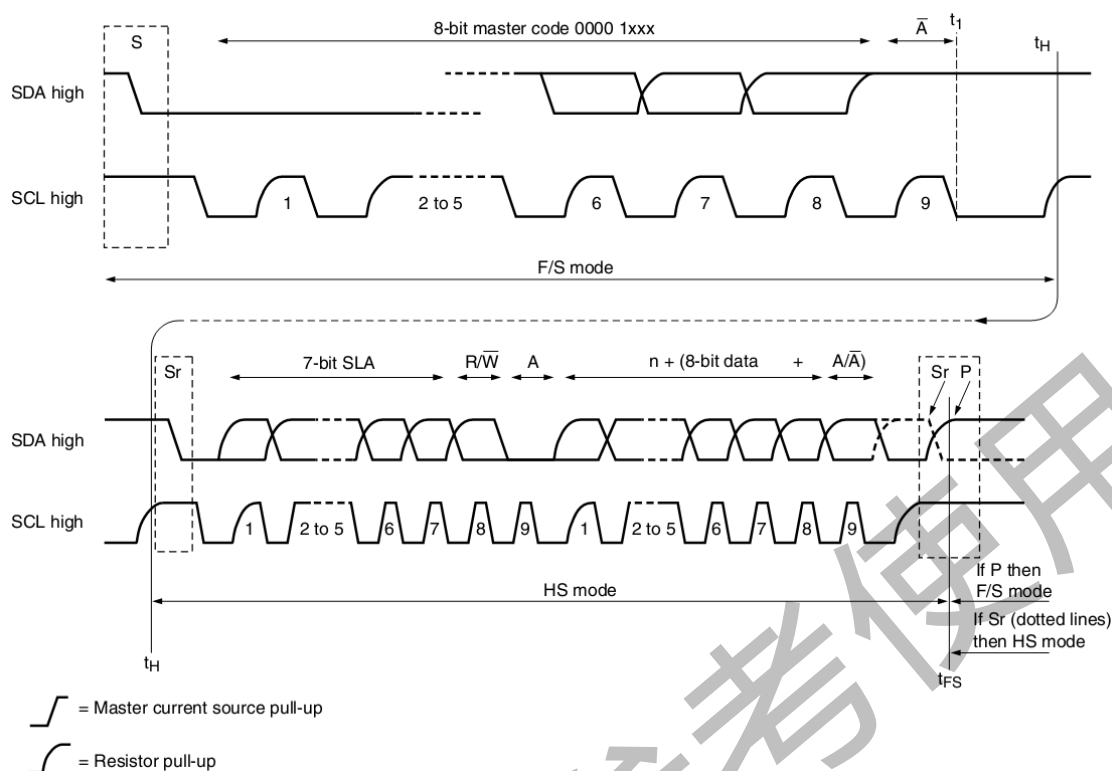


图 4-11 I2C 总线 HS 模式协议帧格式

4.4.11 F/S 模式与 HS 模式间转换

在芯片上电复位和初始化之后，FM17550 即处于快速模式（快速模式可向下兼容标准模式）。当 FM17550 识别了“S 00001XXX A”序列然后将内部电路从快速模式转换为 HS 模式。

包括以下操作：

- 1) 根据 HS 模式下的尖峰抑制要求，调整 SDA 和 SCL 输入滤波。
- 2) 调整 SDA 输出的斜率控制。

对于系统应用来说也可以不通过 I2C 总线时序配置即可以永久处于 HS 通讯模式。这是通过设置 Status2Reg 寄存器的 I2CForceHS 位到逻辑 1 来实现的。在永久 HS 模式下，master 不需要发送指定序列。由于这未在规范中定义，因此这样应用时需确保 I2C 总线上没有其他的设备连接。另外，由于高速模式下减小了尖峰抑制，因此在 I2C 总线上要尽量避免各种干扰毛刺的产生。

4.4.12 低速模式

FM17550 完全向下兼容可以直接工作在一个 F/S 模式的 I2C 总线系统。

4.5 扩展寄存器的访问

FM17550 的扩展寄存器采用 2 级地址定位访问，所有 Host 接口方式均可以实现对扩展寄存器的访问。第一级地址固定为 0F，第二级地址为 6 位，通过正常写 0F 寄存器的方式写入第二级地址的值。0Fh EXReg 的定义如下表所示。

7 (MSB)	6	5	4	3	2	1	0 (LSB)
=01	写扩展寄存器二级地址						
=10	读扩展寄存器二级地址						
=11	写扩展寄存器数据						
=00	读扩展寄存器数据						

表 4-12 扩展寄存器字节定义

4.5.1 写扩展寄存器数据

非扩展寄存器的写数据方式为：

1. 写目标寄存器地址，同时设定通讯写模式
2. 写目标寄存器数据

而扩展寄存器的写数据方式为 4 步：

1. 写 0F 寄存器，设定为通讯写模式（根据 SPI/UART/I2C 的接口规定设置为写模式）
2. 写目标扩展寄存器的二级地址（01b+6 位二级地址）
3. 写 0F 寄存器，设定为通讯写模式（根据 SPI/UART/I2C 的接口规定设置为写模式）
4. 写目标扩展寄存器的数据（11b+6 位目标数据）

示意图如下：

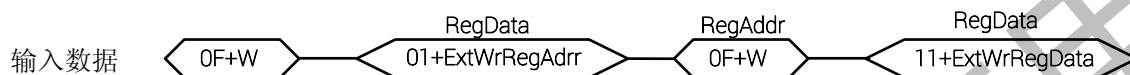


图 4-12 写扩展寄存器操作流程

4.5.2 读扩展寄存器数据

非扩展寄存器的读数据方式为：

1. 写目标寄存器地址，同时设定通讯读模式
2. 读目标寄存器数据

而扩展寄存器的写数据方式为 4 步：

1. 写 0F 寄存器，设定为通讯写模式（根据 SPI/UART/I2C 的接口规定设置为写模式）
2. 写目标扩展寄存器的二级地址（01b+6 位二级地址）
3. 写 0F 寄存器，设定为通讯读模式（根据 SPI/UART/I2C 的接口规定设置为读模式）
4. 读目标扩展寄存器的数据（00b+6 位目标数据）

示意图如下：

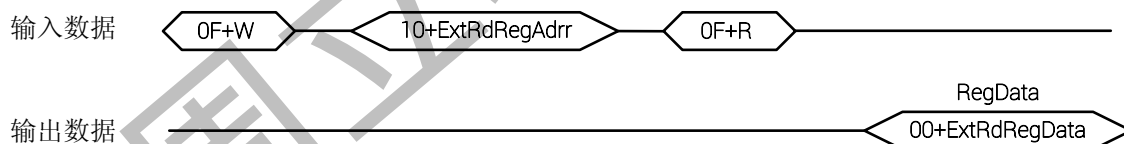


图 4-13 读扩展寄存器操作流程

0 非扩展寄存器的读数据方式为：

1. 写目标寄存器地址，同时设定通讯读模式
2. 读目标寄存器数据

而扩展寄存器的写数据方式为 4 步：

1. 写 0F 寄存器，设定为通讯写模式（根据 SPI/UART/I2C 的接口规定设置为写模式）
2. 写目标扩展寄存器的二级地址（01b+6 位二级地址）
3. 写 0F 寄存器，设定为通讯读模式（根据 SPI/UART/I2C 的接口规定设置为读模式）
4. 读目标扩展寄存器的数据（00b+6 位目标数据）

示意图如下：

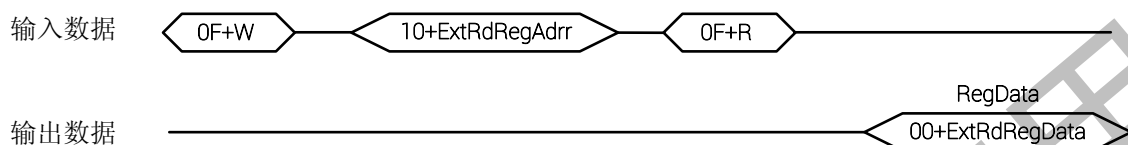


图 4-13 读扩展寄存器操作流程

模拟电路接口和非接触接口控制

5 模拟电路接口和非接触接口控制

5.1 概述

FM17550 支持最高达 848K bps 的非接触协议的各种帧格式和错误检查。本芯片也支持通过 Tin、Tout 引脚连接外部电路进行数据的调制和解调。

非接触控制模块配合主控芯片完成对非接触协议要求的处理，负责完成基于 bit、byte 的物理层的帧格式处理。另外，基于多种非接触通讯协议的支持，还可以处理奇偶校验位、和 CRC 错误的检测。

注：天线的调谐、尺寸大小、以及电源电压的高低都会直接影响到系统的射频性能和操作距离。

5.2 发射驱动

引脚 TX1，TX2 是非接触的射频发射脚，其上的信号是经包络调制的 13.56MHz 的能量载波。芯片外围只需要很少的用于匹配和过滤的无源器件即可以实现对射频天线的驱动。TX1，TX2 的输出信号控制可以通过 TxControl 寄存器进行配置。

射频调制深度可以通过调整输出驱动阻抗来调节。P 管输出驱动可以通过 CWGsPReg 寄存器和 ModGsPReg 寄存器来调整。N 管输出驱动可以通过 GsNReg 来调整。同时，调试深度也受天线设计和调谐的影响。

通过调节 TxModeReg 寄存器和 TxSelReg 寄存器可以控制数据传输速率和帧格式、及天线驱动设置，以满足不同模式、不同传输速率的要求。

Tx1RF En 位	Force 100ASK 位	InvTx1 RFO n 位	InvTx1 RFO ff 位	包络	引脚 TX1	GSPMos	GSNMos	注
0	X	X	X	X	X	X	X	在 RF 关闭情况下不确定
1	0	0	X	0	RF	pMod	nMod	100% ASK：引脚 TX1 拉到逻辑 0，与
	0	1	X	0	RF	pCW	nCW	

0 非扩展寄存器的读数据方式为：

1. 写目标寄存器地址，同时设定通讯读模式
2. 读目标寄存器数据

而扩展寄存器的写数据方式为 4 步：

1. 写 0F 寄存器，设定为通讯写模式（根据 SPI/UART/I2C 的接口规定设置为写模式）
2. 写目标扩展寄存器的二级地址（01b+6 位二级地址）
3. 写 0F 寄存器，设定为通讯读模式（根据 SPI/UART/I2C 的接口规定设置为读模式）
4. 读目标扩展寄存器的数据（00b+6 位目标数据）

示意图如下：

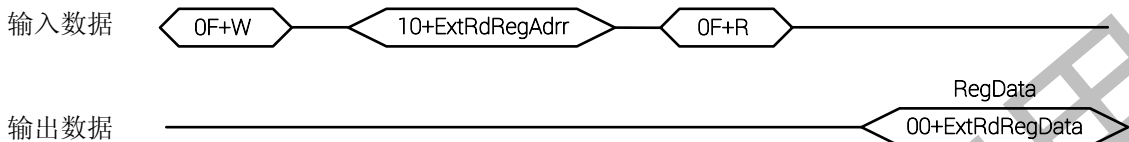


图 4-13 读扩展寄存器操作流程

模拟电路接口和非接触接口控制

				1	RF	pCW	nCW	InvTx1RFOff 位
	1	1	X	0	0	pMod	nMod	无关
				1	RF_n	pCW	nCW	

表 5-1 TX1 引脚相关控制信号和设置

Tx1RF En 位	Force 100ASK 位	Tx2 CW 位	InvTx2 RFOff 位	InvTx2 RFOff 位	包络	引脚 TX2	GSPMos	GSMos	注
0	X	X	X	X	X	X	X	X	在 RF 关闭 情况下不 确定
1	0	0	0	X	0	RF	pMod	nMod	-
			1	X	1	RF	pCW	nCW	
			0	X	0	RF_n	pMod	nMod	
			1	X	1	RF_n	pCW	nCW	
	1	1	0	X	X	RF	pCW	nCW	Tx2CW 位 电导总是 CW
			1	X	X	RF_n	pCW	nCW	
			0	X	0	0	pMod	nMod	
			1	X	1	RF	pCW	nCW	
1	1	0	0	X	0	0	pMod	nMod	100% ASK；引脚 TX2 拉到逻辑 0，与 InvTx2RF On/ InvTx2RfO ff 位无关
			1	X	1	RF	pCW	nCW	
			0	X	0	0	pMod	nMod	
			1	X	1	RF_n	pCW	nCW	

表 5-2 TX2 引脚相关控制信号和设置

上表中用到了以下缩写：

- RF：由 27.12 MHz 石英晶振 2 分频得到的 13.56 MHz 时钟
- RF_n：13.56 MHz 反相时钟
- GSPMos：电导，PMOS 组配置
- GSMOS：电导，NMOS 组配置
- pCW：由 CWGsPReg 寄存器定义的 PMOS 连续载波电导值

0 非扩展寄存器的读数据方式为：

1. 写目标寄存器地址，同时设定通讯读模式
2. 读目标寄存器数据

而扩展寄存器的写数据方式为 4 步：

1. 写 0F 寄存器，设定为通讯写模式（根据 SPI/UART/I2C 的接口规定设置为写模式）
2. 写目标扩展寄存器的二级地址（01b+6 位二级地址）
3. 写 0F 寄存器，设定为通讯读模式（根据 SPI/UART/I2C 的接口规定设置为读模式）
4. 读目标扩展寄存器的数据（00b+6 位目标数据）

示意图如下：

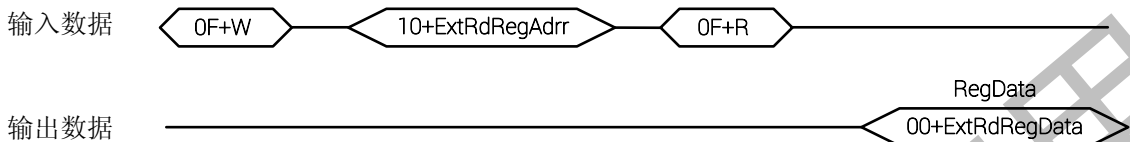


图 4-13 读扩展寄存器操作流程

模拟电路接口和非接触接口控制

- pMod: 由 ModGsPReg 寄存器定义的 PMOS 调制电导值
- nCW: 由 GsNReg 寄存器的 CWGsN[3:0]位定义的 NMOS 连续载波电导值
- nMod: 由 GsNReg 寄存器的 ModGsN[3:0]位定义的 NMOS 调制电导值
- X: 无所谓

注：如果只开启一个驱动，CWGsPReg、ModGsPReg 和 GsNReg 寄存器的设置将同时用于两个驱动的控制。

5.3 射频场检测

芯片内置了射频场检测功能以满足 NFCIP1 协议要求（如射频冲突检测）。另外，射频检测功能也能唤醒 FM17550 芯片并产生中断标志。

射频检测的灵敏度可以通过 RFCfgReg 寄存器的 RFLLevel 寄存器来设置。但检测灵敏度也同时依赖于射频天线的设计。

下表列出了针对引脚 RX 的射频检测的灵敏度。

V~Rx[Vpp]	RFLLevel
~2	1111
~1.4	1110
~0.99	1101
~0.69	1100
~0.49	1011
~0.35	1010
~0.24	1001
~0.17	1000
~0.12	0111
~0.083	0110
~0.058	0101
~0.041	0100
~0.029	0011
~0.020	0010
~0.014	0001
~0.010	0000

- 0 非扩展寄存器的读数据方式为：
1. 写目标寄存器地址，同时设定通讯读模式
 2. 读目标寄存器数据

而扩展寄存器的写数据方式为 4 步：

1. 写 0F 寄存器，设定为通讯写模式（根据 SPI/UART/I2C 的接口规定设置为写模式）
2. 写目标扩展寄存器的二级地址（01b+6 位二级地址）
3. 写 0F 寄存器，设定为通讯读模式（根据 SPI/UART/I2C 的接口规定设置为读模式）
4. 读目标扩展寄存器的数据（00b+6 位目标数据）

示意图如下：

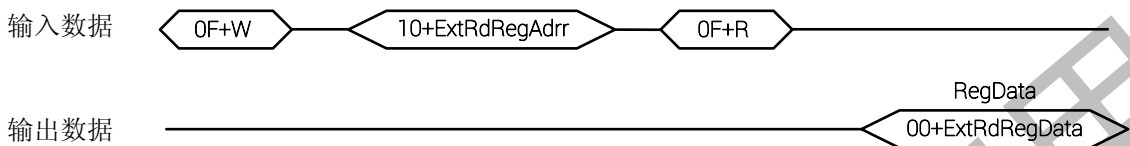


图 4-13 读扩展寄存器操作流程

模拟电路接口和非接触接口控制

表 5-3 射频检测灵敏度

5.4 数据模式自动检测

FM17550 可根据 ISO/IEC 14443A/MIFARE, FeliCa 或 NFCIP-1 标准自动检测接收到的 106kbps、212kbps、424kbps 的数据，加快后续数据的处理速度。数据模式自动检测只在 AutoColl 命令下激活。当射频场检测到外部不存在射频场时，数据模式检测模块复位。在 AutoColl 命令也可以通过设置 ModeReg 寄存器的 ModeDetOff 位=1，关闭数据模式自动检测功能。

5.5 串行数据切换开关

FM17550 芯片的模拟前端和数字处理模块可以通过 Tin 和 Tout 引脚与外部信号连接。可以经 Tin 引脚接入一个高于 424kbps 传输速度的信号。也可以经 Tout 引脚输出信号与外部的电路连接。通过该功能允许 FM17550 的模拟模块与另一个芯片的数字逻辑功能连接配合使用。

另外，Tin、Tout 引脚也可以复用为符合 NFC-WI 协议标准的 SIGIN、SIGOUT 引脚，通过这 2 个引脚外接带 NFC-WI 接口的 SE 芯片。

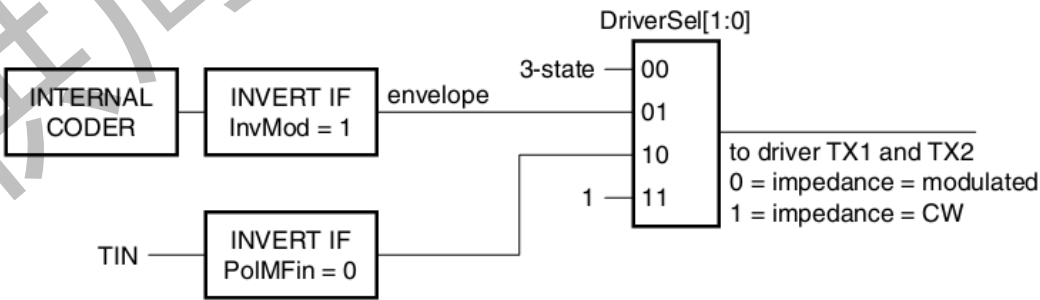


图 5-1 TX1 和 TX2 间串行数据转换

5.6 NFC-WI 接口支持

通过对 NFC-WI 接口的支持，FM17550 可以外接 SE 安全芯片，实现非接触智能卡模拟功能。FM17550 的 NFC-WI 接口支持 FeliCa 和 ISO/IEC14443A 两种数据格式，后续章节分别详细说明。NFC-WI 接口通过 Tin、Tout 引脚实现。通过 Tin 引脚可以接收一个数字化的 FeliCa 或数字化的 ISO/IEC

0 非扩展寄存器的读数据方式为：

1. 写目标寄存器地址，同时设定通讯读模式
2. 读目标寄存器数据

而扩展寄存器的写数据方式为 4 步：

1. 写 0F 寄存器，设定为通讯写模式（根据 SPI/UART/I2C 的接口规定设置为写模式）
2. 写目标扩展寄存器的二级地址（01b+6 位二级地址）
3. 写 0F 寄存器，设定为通讯读模式（根据 SPI/UART/I2C 的接口规定设置为读模式）
4. 读目标扩展寄存器的数据（00b+6 位目标数据）

示意图如下：

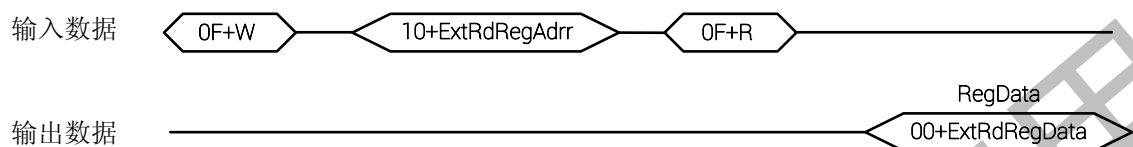


图 4-13 读扩展寄存器操作流程

模拟电路接口和非接触接口控制

14443A 的信号。Tout 引脚同时提供一个数字编码和时钟信号给 SE 安全芯片。SE 安全芯片可以使用复旦微电子公司的安全智能卡芯片。

Tin 和 Tout 引脚的通过 PVDD2 电源引脚供电。

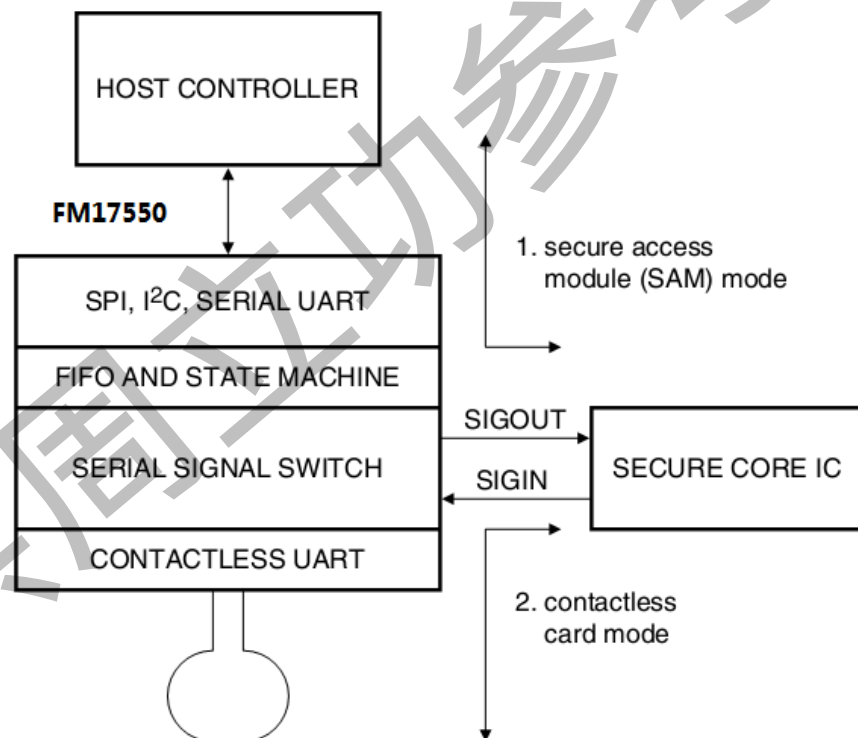


图 5-2 使用 S2C 接口的通讯流程

当配置到安全访问模式，主控芯片可以通过 Tin/Tout 与 SE 安全芯片直接通讯。在该模式下，Tout 引脚输出一个 RF 时钟，该时钟由 FM17550 内部振荡器产生。参考寄存器 TestSel1Reg 的 SAMClockSel 位的说明。

当配置到非接触卡模式，FM17550 配合 SE 安全芯片可以完成非接触智能卡功能。在该模式下，Tout 引脚上的信号由外部读写器的 RF 场提供。同时，在该模式下，时钟必须设置为由外部 RF 场产生。

0 非扩展寄存器的读数据方式为：

1. 写目标寄存器地址，同时设定通讯读模式
2. 读目标寄存器数据

而扩展寄存器的写数据方式为 4 步：

1. 写 0F 寄存器，设定为通讯写模式（根据 SPI/UART/I2C 的接口规定设置为写模式）
2. 写目标扩展寄存器的二级地址（01b+6 位二级地址）
3. 写 0F 寄存器，设定为通讯读模式（根据 SPI/UART/I2C 的接口规定设置为读模式）
4. 读目标扩展寄存器的数据（00b+6 位目标数据）

示意图如下：

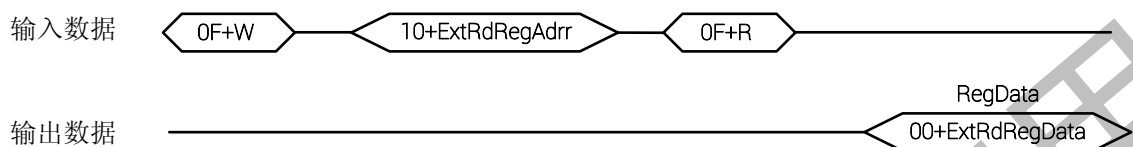


图 4-13 读扩展寄存器操作流程

模拟电路接口和非接触接口控制

5.6.1 NFC-WI FeliCa 数据格式信号说明

FeliCa 安全芯片通过引脚 Tout 和 Tin 连接到 FM17550。

Tout 的信号包含了 13.56 MHz 的时钟信息以及解调后的数字化信号。时钟和解调信号通过异或逻辑产生。

为了确保信号不含尖峰，解调信号先经过了数字滤波，数字滤波时间延迟在 1 个位宽长度范围内。解调信号只在时钟信号上升沿改变。

寄存器 TxSelReg 控制 Tout 的设置。

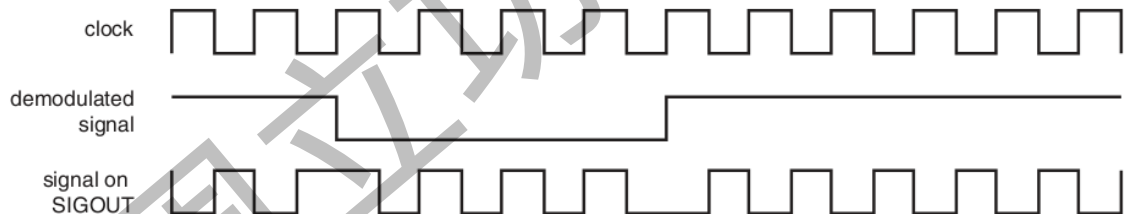
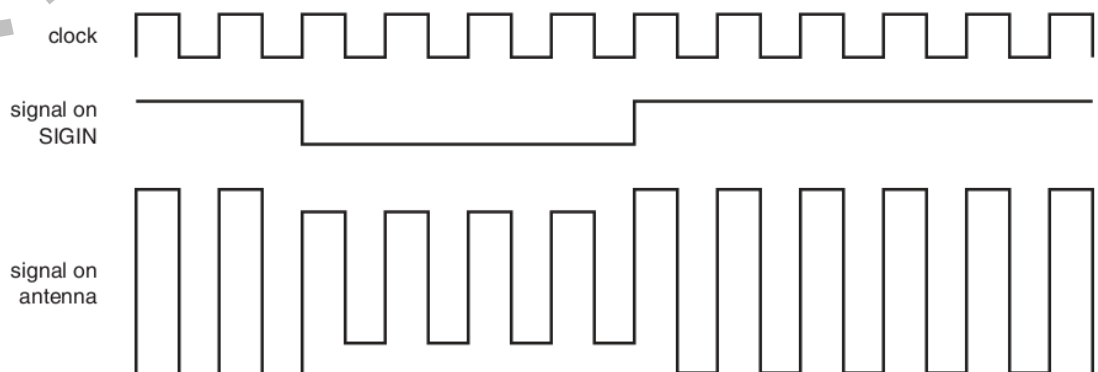


图 5-3 FeliCa 卡 SAM 模式下 SIGOUT 的信号形状

FeliCa SAM 的响应信号从 Tin 直接传输到天线驱动。调制深度由天线驱动的寄存器控制。

时钟信号可设置从 AUX1 或 AUX2 输出。

注意：AUX1 和 AUX2 上的高电平信号与 DVDD 电平相同。Tout 上的高电平信号与 PVDD2 电平相同。



0 非扩展寄存器的读数据方式为：

1. 写目标寄存器地址，同时设定通讯读模式
2. 读目标寄存器数据

而扩展寄存器的写数据方式为 4 步：

1. 写 0F 寄存器，设定为通讯写模式（根据 SPI/UART/I2C 的接口规定设置为写模式）
2. 写目标扩展寄存器的二级地址（01b+6 位二级地址）
3. 写 0F 寄存器，设定为通讯读模式（根据 SPI/UART/I2C 的接口规定设置为读模式）
4. 读目标扩展寄存器的数据（00b+6 位目标数据）

示意图如下：

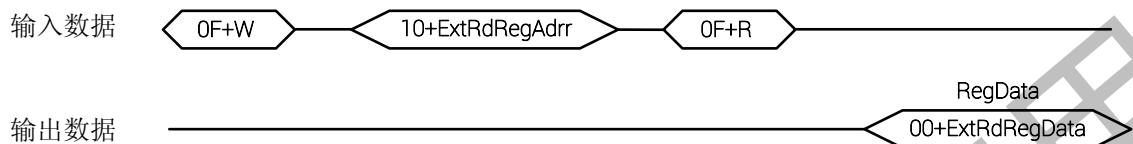


图 4-13 读扩展寄存器操作流程

模拟电路接口和非接触接口控制

图 5-4 SAM 模式下 SIGIN 的信号形状

注意：上图天线上的信号是理论波形，实际波形是正弦曲线。

5.6.2 NFC-WI ISO/IEC 14443A/MIFARE 数据格式信号说明

支持 ISO/IEC14443A 的安全芯片通过引脚 Tout 和 Tin 连接到 FM175XX。

Tout 的波形是数字 13.56 MHz 米勒编码信号，电平在 PVSS 和 PVDD2 之间，在非接触卡模式下由外部场载波信号获得，在安全访问模式下由内部电路产生。

寄存器 TxSelReg 控制 Tout 的设置。

注意：依据寄存器 TestSel1Reg 的 SAMClockSel 位的描述，安全访问模式和非接触卡模式的时钟设置不同。

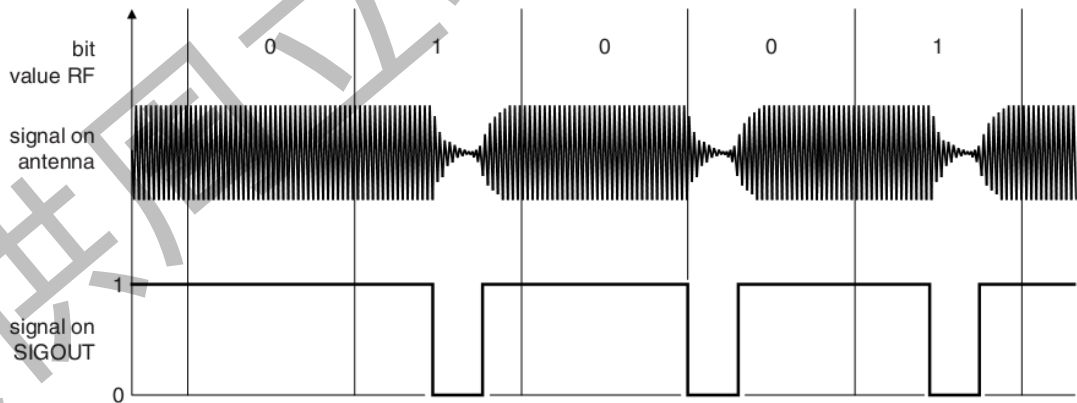


图 5-5 MIFARE 卡 SAM 模式下的 SIGOUT 信号形状

根据 ISO/IEC 14443A 的要求，Tin 的信号是安全芯片产生的以 847.5 kHz 为副载波的曼彻斯特编码信号。Tin 的信号直接控制天线驱动输出卡片的回发响应信号。

0 非扩展寄存器的读数据方式为：

1. 写目标寄存器地址，同时设定通讯读模式
2. 读目标寄存器数据

而扩展寄存器的写数据方式为 4 步：

1. 写 0F 寄存器，设定为通讯写模式（根据 SPI/UART/I2C 的接口规定设置为写模式）
2. 写目标扩展寄存器的二级地址（01b+6 位二级地址）
3. 写 0F 寄存器，设定为通讯读模式（根据 SPI/UART/I2C 的接口规定设置为读模式）
4. 读目标扩展寄存器的数据（00b+6 位目标数据）

示意图如下：

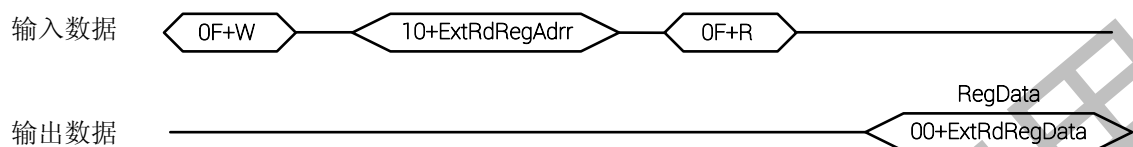


图 4-13 读扩展寄存器操作流程

模拟电路接口和非接触接口控制

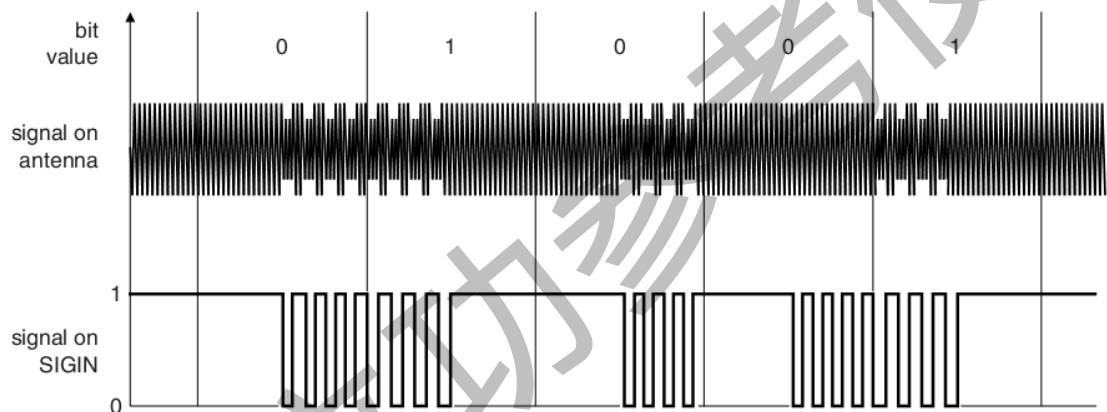


图 5-6 MIFARE 卡 SAM 模式 SIGIN 的信号形状

5.7 FeliCa 和 NFC Polling 功能的硬件支持

5.7.1 发起端的轮询序列

- 1) 计时器：FM175XX 包含一个计时器，可配置为在每个时隙末尾产生中断，或者如果需要可配置为在最后一个时隙末尾产生一个中断。
- 2) 接收器可被配置为连续接收方式。该方式下可以接收任意数量的数据包，接收器可以在接收完上一个数据包后直接开始接受下一个数据包。该模式由寄存器 RxModeReg 的 RxMultiple 位置 1 来激活，且必须由软件来停止。
- 3) 内部 UART 在每个接收到的数据包传输进入 FIFO 前，在其末尾加上一个字节。该字节表明了接收到的字节数据包是否正确（参考寄存器 ErrReg）。每个数据包的第一个字节包含了该数据包的长度。
- 4) 一个数据包的长度是 18 或 20 字节（+1 字节 Error-Info），FIFO 长度为 64 字节。这意味着 FIFO 内可以同时储存 3 个数据包。如果想要储存多于 3 个数据包，主控芯片就必须在 FIFO 被完全填满之前清空 FIFO，以免 FIFO 溢出数据丢失（参考寄存器 ErrorReg 的 BufferOvf1 位）。

5.7.2 目标端的轮询序列

- 1) 主控芯片必须事先为 FM175XX 配置正确的轮询响应参数。
- 2) 激活 AutoColl 指令来启动目标端的自动轮询响应功能。

0 非扩展寄存器的读数据方式为：

1. 写目标寄存器地址，同时设定通讯读模式
2. 读目标寄存器数据

而扩展寄存器的写数据方式为 4 步：

1. 写 0F 寄存器，设定为通讯写模式（根据 SPI/UART/I2C 的接口规定设置为写模式）
2. 写目标扩展寄存器的二级地址（01b+6 位二级地址）
3. 写 0F 寄存器，设定为通讯读模式（根据 SPI/UART/I2C 的接口规定设置为读模式）
4. 读目标扩展寄存器的数据（00b+6 位目标数据）

示意图如下：

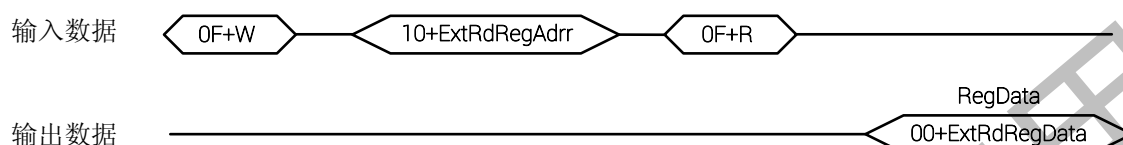


图 4-13 读扩展寄存器操作流程

模拟电路接口和非接触接口控制

3) 作为目标端 FM17550 接收一个发起端发出的轮询指令并且给予轮询响应。响应的时隙自动随机产生，在 0 到 TSN 之间，该范围由轮询指令给出。FM17550 将从轮询指令中接受到的系统码（system code），与存储在配置指令的 17 和 18 字节进行比较。如果系统码相同，FM17550 即根据配置的轮询响应应答。系统码 FF（hex）可当做通配符使用。例如，一个系统码为 1234（hex）的目标端会响应具有以下系统码的轮询指令，1234（hex），12FF（hex），FF34（hex）或 FFFF（hex）。如果系统码不匹配，则 FM175XX 不响应轮询指令。如果 FM17550 接收到一个非轮询指令的有效指令，不发送应答，且 AutoColl 指令停止。接收到的数据包会储存进 FIFO。

5.7.3 FeliCa 和 NFC 的额外硬件支持

FM17550 支持长度字节（Len）的自动检查。

接收到长度 Len 字节后会按照寄存器 FelNFC1Reg 和 FelNFC2Reg 的设置自动进行判断：

寄存器 FelNFC1Reg 里的 DataLenMin 定义了可接收数据包的最小长度。该寄存器长 6 位，每一位代表 4 字节。

寄存器 FelNFC2Reg 里的 DataLenMax 定义了可接收数据包的最大长度。该寄存器长 6 位，每一位代表 4 字节。如果置 1，则该限制被忽略。如果长度不在支持范围，数据包不被传输进 FIFO，但保持接收状态。

例 1：

DataLenMin = 4 （长度需大于或等于 16 字节）

DataLenMax = 5 （长度需小于 20 字节）

即：有效字节长度为 16、17、18、19 字节。

例 2：

DataLenMin = 9 （长度需大于或等于 36 字节）

DataLenMax = 0 （长度需小于 256 字节）

即：有效字节长度为 36 到 255 字节。

5.7.4 CRC 协处理器

可以配置以下 CRC 协处理器参数：

- 根据 ModeReg 寄存器的 CRCPreset[1:0]位的设置，CRC 预设值可以是 0000h，6363h，A671h 或 FFFFh
- 16 位 CRC 的多项式固定为 $x^{16}+x^{12}+x^5+1$
- CRCResultReg 寄存器记录 CRC 的计算结果。该寄存器包含两个 8 位寄存器分别存放高字节和

- 0 非扩展寄存器的读数据方式为：
1. 写目标寄存器地址，同时设定通讯读模式
 2. 读目标寄存器数据

- 而扩展寄存器的写数据方式为 4 步：
1. 写 0F 寄存器，设定为通讯写模式（根据 SPI/UART/I2C 的接口规定设置为写模式）
 2. 写目标扩展寄存器的二级地址（01b+6 位二级地址）
 3. 写 0F 寄存器，设定为通讯读模式（根据 SPI/UART/I2C 的接口规定设置为读模式）
 4. 读目标扩展寄存器的数据（00b+6 位目标数据）

示意图如下：

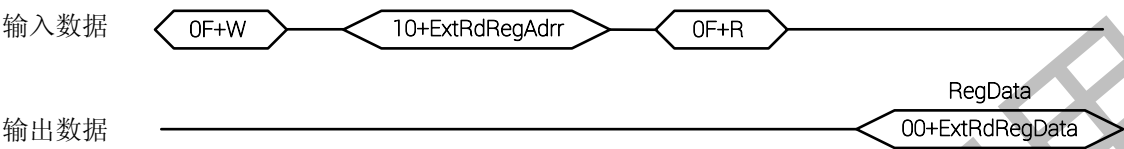


图 4-13 读扩展寄存器操作流程

模拟电路接口和非接触接口控制

低字节数据。

- ModeReg 寄存器的 MSBFirst 位表明了数据以 MSB 方式加载

参数	值
CRC 寄存器长度	16 位 CRC
CRC 算法	基于 ISO/IEC 14443A 和 ITU-T 的算法
CRC 预设值	0000h, 6363h, A671h 或 FFFFh，根据 ModeReg 寄存器的 CRCPreset[1:0]位的设置

表 5-4 CRC 协处理器参数

6 FIFO 缓冲

FM17550 实现了一个 8*64 位的 FIFO 缓冲器，用于主控芯片与 FM17550 内部状态机之间的输入输出数据流的缓冲。这对于最长 64 字节的数据流控制非常方便，无需考虑交互时序。

6.1 FIFO 缓冲器的访问

FIFO 缓冲器的访问通过 FIFODataReg 寄存器实现。对该寄存器写入数据，即在 FIFO 缓冲器里存入 1 字节相应内容，同时 FIFO 缓冲器的写指针加一。从该寄存器读出数据，即从 FIFO 读指针指向处读出当前字节数据，同时 FIFO 缓冲器的读指针减一。读写指针间距可以通过读 FIFOLevelReg 寄存器获得。

当主控芯片启动一条指令，FM17550 内部状态机可以根据该指令的需要在指令执行过程中启动对 FIFO 缓冲器的访问。主控芯片必须确保不出现任何非主动控制的 FIFO 缓冲器的访问。

6.2 FIFO 缓冲器的控制

FIFO 的读写指针可以通过 FIFOLevelReg 寄存器的 FlushBuffer 位置 1 来清 0 复位。同时，FIFOLevel[6:0]位也会清 0，且 ErrorReg 寄存器的 BufferOvfl 位清空。原本储存在 FIFO 缓冲器里的字节将不可再访问，FIFO 缓冲器可以随时等待填入新的数据。

6.3 FIFO 缓冲器的状态信息

主控芯片可以获取以下 FIFO 缓冲器状态信息：

- 储存在 FIFO 缓冲器里的字节数：FIFOLevelReg 寄存器的 FIFOLevel[6:0]
- FIFO 缓冲器渐满警告：Status1Reg 寄存器的 HiAlert 位
- FIFO 缓冲器渐空警告：Status1Reg 寄存器的 LoAlert 位
- FIFO 缓冲器溢出警告：ErrorReg 寄存器的 BufferOvfl 位。BufferOvfl 位只能通过设置 FIFOLevelReg 寄存器的 FlushBuffer 位来清空

FM17550 在下列情况时会产生中断信号：

- ComlEnReg 寄存器的 LoAlertIEn 位置 1。当 Status1Reg 寄存器的 LoAlert 位为 1 时可激活 IRQ 引脚。
- ComlEnReg 寄存器的 HiAlertIEn 位置 1。当 Status1Reg 寄存器的 HiAlert 位为 1 时可激活 IRQ 引脚。

如果 FIFO 缓冲器的剩余字节数小于或等于 WaterLevel 的设置值，则 HiAlert 位置 1。公式如下：

$$HiAlert = (64 - FIFOLength) \leq WaterLevel$$

如果写入 FIFO 缓冲器的字节数小于或等于 WaterLevel 的设置值，则 LoAlert 位置 1。公式如下：

$$LoAlert = FIFOLength \leq WaterLevel$$

7 中断请求系统

FM17550 通过设置 Status1Reg 寄存器的 IRq 位来表明有中断事件发生，如果中断使能则反映到 IRQ 引脚上。主控芯片可以利用 IRQ 引脚上的中断信号进行中断处理，从而提高主控芯片 CPU 的软件工作效率。

7.1 中断源概述

下表列出了可用中断位、其对应的中断源及激活的条件。

中断标志	中断源	触发动作
TimerIRq	计时器单元	计时器从 1 减到 0
TxIRq	发射器	一个射频数据流发送完成
CRCIRq	CRC 协处理器	所有 FIFO 缓冲器的数据处理完成
RxIRq	接收器	一个射频数据流接受完成
IdleIRq	ComIrqReg 寄存器	指令执行结束
HiAlertIRq	FIFO 缓冲器	FIFO 缓冲器渐满
LoAlertIRq	FIFO 缓冲器	FIFO 缓冲器渐空
ErrIRq	非接触 UART	检测到错误发生

表 7-1 中断源

ComIrqReg 寄存器的 TimerIRq 中断位表示当计时器从 1 减到 0 时产生的中断。

ComIrqReg 寄存器的 TxIRq 位表示射频数据发送已经结束。当射频发送状态从发送数据变成发送结尾帧格式时，则发射器单元自动设置该中断位。

CRC 协处理器在处理完所有 FIFO 缓冲器数据后，（由 CRCReady 位置 1 标识），设置 DivIrqReg 寄存器的 CRCIRq 位。

ComIrqReg 寄存器的 RxIRq 位表示检测到接收数据的末尾时产生的中断。

ComIrqReg 寄存器的 IdleIRq 位表示一个指令执行结束，相应地，CommandReg 寄存器中 Command[3:0]的值变成 idle。

当 Status1Reg 寄存器的 HiAlert 位置 1 时，ComIrqReg 寄存器的 HiAlertIRq 位置 1，表示 FIFO 缓冲达到 WaterLevel[5:0]位所表明的深度。

当 Status1Reg 寄存器的 LoAlert 位置 1 时，ComIrqReg 寄存器的 LoAlertIRq 位置 1，表示 FIFO 缓冲达到 WaterLevel[5:0]位所表明的深度。

当寄存器 ErrorReg 中的任意一位置 1，ComIrqReg 寄存器的 ErrIRq 位置 1，表示非接触 UART 在收发过程中检测到错误发生。

8 Timer 计时单元

FM17550 内置一个 Timer 计时单元，主控芯片可以利用该计时器进行计时相关的任务。Timer 提供以下几种工作模式：

- 超时计数器
- 看门狗计数器
- 秒表
- 可编程脉冲输出
- 周期性脉冲触发

计时器单元可以用来测量两个事件之间的时间间隔，或用来表明一个特定事件在一个特定时间之后发生。计时器还可以被事件触发，稍后做详细阐释，但计时器本身不影响任何内部事件（例如，数据接收过程中发生的超时并不会影响接收进程）。此外，还有一些与计时器相关的寄存器位会适时地置其，可用来产生中断。

计时器

计时器有一个 13.56 MHz 的输入时钟（由晶振分频获得）。计时器分为两级：1 个预分频器和 1 个计数器。

预分频器是一个 12 位计数器，它的重置值可以通过寄存器 TModeReg 和 TPrescalerReg 来设置，范围在 0 和 4095 之间。

计数器的重置值通过 16 位寄存器 TReloadReg 设置，范围在 0 到 65535 范围之内。

计时器的当前值由寄存器 TCounterValReg 表示。

如果计数器达到 0 就会自动设置寄存器 CommonIRQReg 的 TimerIRQ 位为 1。如果使能了中断，则该事件就会显示在 IRQ 引脚上。TimerIRQ 位可由主控芯片置 1 和清 0。根据配置的不同，计时器会在计到 0 后停止或重置寄存器 TReloadReg 的值后重启。

计时器的状态由寄存器 Status1Reg 的 TRunning 位表示。

计时器可以由寄存器 ControlReg 的 TStartNow 手动开启，或由寄存器 ControlReg 的 TStopNow 手动停止。

此外，计时器还可以通过设置寄存器 TModeReg 的 TAuto 位来自动激活，从而满足专用协议的要求。

一个计时器的时间长度是重置值+1。

总时间的定义是：

$$t = ((TPrescaler * 2 + 1) * TReload + 1) / 13.56 \text{ MHz},$$

最大时间：TPrescaler = 4095, TReloadVal = 65535

$$\Rightarrow t_{\max} = (2 * 4095 + 1) * 65536 / 13.56 \text{ MHz} = 39.59 \text{ s}$$

例：

25us 需要计数 339 个时钟周期。即预分频值要设为 TPrescaler=169，这样计时器就有了一个 25us 的输入时钟。计时器可最多计数到 65535 个 25us 的长度。

9 低功耗模式

FM17550 支持 3 种低功耗模式，可适应不同的功耗需求：

- ✧ Deep Power down 模式
- ✧ Hard power down 模式
- ✧ Soft power down 模式

9.1 Deep Power Down

FM17550 的 Deep Power Down 模式关闭所有数字逻辑的供电、关闭晶振，所有双向 IO 引脚都控制为三态输出，输入引脚隔离与内部电路的连接。

进入 DPD 模式之前，确保扩展寄存器 03H bit5 为 0，则 NPD 设 0 之后，芯片进入 DPD 模式。NPD 引脚置 1 后，芯片自动退出 DPD 模式。退出 DPD 模式后，所有配置及初始化工作需要重新进行。

9.2 Hard Power Down

FM17550 的 Hard Power Down 模式关闭了大部分数字逻辑的供电、关闭晶振，所有双向 IO 引脚都控制为三态输出，输入引脚隔离与内部电路的连接。

进入 HPD 模式之前，确保扩展寄存器 03H bit5 为 1，则 NPD 引脚变为低电平之后，芯片进入 HPD 模式。在 HPD 模式下，FM17550 提供关键数据保存功能（data retention），这部分数据会一直保存，不会丢失。当退出 HPD 模式可以不需要对这些数据进行重新配置和初始化。Data Retention 功能缺省关闭。如要使能数据保存功能，需在进入 HPD 模式前将扩展寄存器 1BH bit4 置 1。被保存寄存器的详细列表见“HPD 下数据保存功能”章节。

退出 HPD 模式，如果未启动数据保存功能，则所有必要的配置和初始化工作需要重新进行。如果使能了数据保存功能，则只需要对未被保护的数据进行配置即可。

9.2.1 HPD 下数据保存功能

HPD 模式下 Configure 指令相关的 25 字节内部缓冲区数据会保留，此功能无需启动数据保存功能。

FM17550 提供的关键数据保存功能，详细 list 见下表。

寄存器	地址	Retention bit	
CommEnReg	02h	7	IRqInv
		6	TxIEn
		5	RxIEn
		4	IdleIEn
		3	HiAlertIEn
		2	LoAlertIEn
		1	ErrIEn
		0	TimerIEn
DivIEnReg	03h	7	IRQPushPull
		4	SignActIEn
		3	ModelEn
		2	CRCIEn
		1	RfOnIEn
		0	RfOffIEn
CollReg	0Eh	7	ValuesAfterColl

寄存器	地址	Retention bit	
TxModeReg	12h	7	TxCRCEn
		3	InvMod
		2	TxMix
RxModeReg	13h	7	RxCRCEn
		3	RxNoErr
		2	RxMultiple
TxAutoReg	15h	6	Force100ASK
RxSelReg	17h	5:0	RxWait
RxThresholdReg	18h	7:4	MinLevel
		2:0	CollLevel
DemodReg	19h	7:6	AddIQ
		5	FixIQ
		4	TPrescalerEven
		3:2	TauRcv
		1:0	TauRcv
FeINFC1Reg	1Ah	7:6	FeISyncLen
FeINFC2Reg	1Bh	5:0	DataLenMin
ManualRCVReg	1Dh	5:0	DataLenMax
		3	LargeBWPLL
		2	ManualHPCF
TypeBReg	1Eh	1:0	HPCF[1:0]
		7	RXSOFReq
		6	RXEOFReq
		4	EOFSOFWidth
		3	NoTxSOF
		2	NoTxEOF
SerialSpeedReg	1Fh	1:0	TxEgt[1:0]
		7:5	BR_T0
GsNoffReg	23h	4:0	BR_T1
		7:4	CWGGSNoff
ModWidthReg	24h	3:0	ModGSNoff
		7:0	ModWidth
		7	RFLevelAmp
RFCfgReg	26h	6:4	RxGain[2:0]
		3:0	RFLevel[3:0]
GsNOnReg	27h	7:4	CWGGSNOn
		3:0	ModGSNOn
CWGSPReg	28h	5:0	CWGSP
ModGsPReg	29h	5:0	ModGsP[5:0]
ModGsP[5:0]	2Ah	7	TAuto
		6:5	Tgated
		4	TAutoRestart
		3:0	Tprescaler_Hi
TPrescalerReg	2Bh	7:0	TPrescaler_Lo
TPrescaler_Lo	2Ch	7:0	TReloadVal_Hi
TReloadVal_Lo	2Dh	7:0	TReloadVal_Lo

表 9-1 HPD 模式保持寄存器列表

9.3 Soft Power Down

设置 Command 寄存器的 PowerDown 位为 1 后，FM17550 芯片即进入 Soft Power Down 模式。内部逻辑进入低功耗状态，关闭晶振。在 SPD 模式下，输入输出引脚保持原状态不变，所有寄存器、FIFO 缓冲内容和配置保持不变。

退出 SPD 模式，需要设置 PowerDown 位为 0，FM17550 芯片会持续 1024 个时钟周期才会真正退出 SPD。在此之前 PowerDown 位始终还是 0，直到其真正退出 SPD 模式后，该位才会变为 1。

注：如果使用内部振荡器，晶振的起振到时钟稳定输出需要一定的时间，然后内部电路才能检测时钟周期。对于 UART 接口，唤醒 SPD 建议首先发送 55h 到 FM17550，之后芯片内部会启动晶振。为确保晶振稳定起振，可连续地对 0 地址做读取动作，直到 0 地址有数据返回说明芯片已准备就绪。之后 Host 可以发送串口命令设置 PowerDown 位为 0。如果是其他 Host 接口方式，则可以直接写 PowerDown 位为 0。

9.4 射频关闭模式

在射频关闭模式下 FM17550 会关闭射频发射驱动电路，同时关闭射频场。进入射频关闭模式可以通过设置 TxControl 寄存器的 Tx1RFEn 位和 Tx2RFEn 位为 0。

10 低电压检测功能

FM17550 提供低电压报警功能。用户可通过 LVDctrl 扩展寄存器配置 AVDD 的监测电压。当 AVDD 电压低于配置值时，且设置了低压中断使能，则缺省情况下芯片会产生中断报警。也可以通过 LVDctrl 扩展寄存器设置为低压时复位芯片，但设置为复位模式后，会限制芯片的最低工作电压。

11 振荡器电路

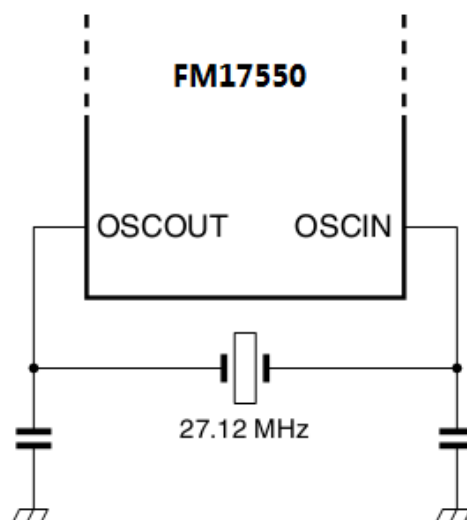


图 11-1 石英晶体连接

FM17550 的时钟为同步系统的编码器和译码器提供了一个时间基础。这个时钟的稳定性是整个系统正确工作的关键因素。为了获得良好的性能，时钟抖动必须尽可能的降低，配合推荐电路使用的内部振荡缓冲器是解决此问题的最佳方案。

如果使用了外部时钟源，时钟信号就必须加到 OSCIN 引脚。同时，必须特别注意时钟占空比和时钟抖动，同时也必须确保时钟质量。

12 复位和晶振起振时序

12.1 复位信号要求

复位信号在进入数字电路之前，先经过了尖峰滤波器滤波。尖峰滤波器剔除了小于 10ns 的信号。为了完成复位，复位信号必须至少保持 100ns 的低电平。

12.2 晶振起振时序

当 FM17550 已被设为节电模式或由 V_{DDX} 供电，其启动时间主要是晶振的起振时间，如下图所示。

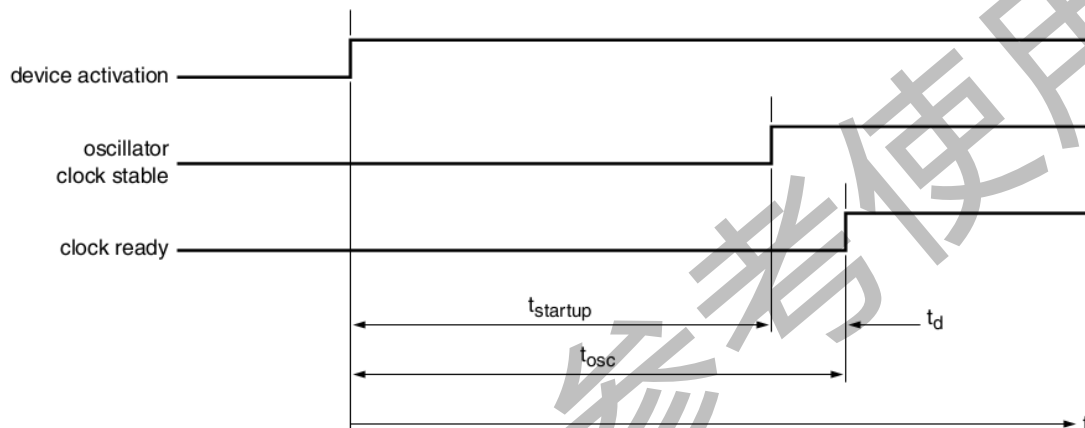


图 12-1 振荡器启动时间

时间 ($t_{startup}$) 是晶体振荡电路的启动时间，由晶体决定。

时间 (t_d) 是 FM17550 的内部延时，在晶振时钟稳定后，到 FM17550 可以开始被访问之前的延时。

该延时时间为：

$$t_d = 1024 / (27 \mu s) = 37.74 \mu s$$

时间 (t_{osc}) 是 t_d 和 $t_{startup}$ 的和。

13 指令集

13.1 概述

FM17550 的操作由一个能执行一系列指令的状态机决定。指令通过向 CommandReg 寄存器写入指令码来执行。

指令必须的参数和/或数据通过 FIFO 缓冲器来交换。

13.2 指令的一般行为

- 每个需要数据位流（或数据字节流）作为输入的指令只要 FIFO 中有数据即立刻开始执行。但 Transceive 指令例外。该指令的发射启动由 BitFramingReg 寄存器的 StartSend 位开启。
- 每个需要特定数量参数的指令，只有当从 FIFO 缓冲器收到正确数目的参数时才开始处理。
- FIFO 缓冲器在指令启动后并不自动清空，这使得在操作顺序上可以先将指令参数和/或数据字节写入 FIFO 缓冲器，然后再启动指令。
- 每条指令都可以通过向 CommandReg 寄存器写入一个新的指令码而终止，比如写入 Idle 指令。

13.3 FM17550 指令描述

指令	指令码	动作
Idle	0000	无动作，取消当前指令执行
Configure	0001	配置 FM17550 为 FeliCa、MIFARE、和 NFCIP-1 通讯模式
Generate RandomID	0010	产生一个 10 字节随机数
CalcCRC	0011	激活 CRC 协处理器
Transmit	0100	发射 FIFO 缓冲器中的数据
NoCmdChange	0111	指令不改变，可以用来在不影响指令的情况下修改 CommandReg 寄存器，比如 PowerDown 位
Receive	1000	激活接收器电路
Transceive	1100	发射 FIFO 缓冲器中的数据到天线，并在发射后自动激活接收器
AutoColl	1101	处理 FeliCa 轮询和 MIFARE 防冲突流程(仅支持卡片模拟模式)
MFAuthent	1110	作为读写器模式执行 MIFARE 标准安全认证
SoftReset	1111	复位 FM17550

表 13-1 指令概述

13.3.1 IDLE

将 FM17550 设置为空闲模式，Idle 指令也终止自身。

13.3.2 Config

要执行 MIFARE 自动防冲突、FeliCa 轮询、NFCID3 等，需要的数据必须提前按如下的顺序存储到 FIFO 中。

SENS_RES（2 字节），顺序：byte0、byte1

NFCID1（3 字节），顺序：byte0、byte1、byte2，NFCID1 的第一个字节固定为 08h，校验字节自动计算。

SEL_RES（1 字节）

轮询响应（polling response），2 字节固定值 01h、FEh，+ 6 字节 NFCID2 + 8 字节 Pad + 2 字节 系统码（system code）

NFCID3 (1 字节)

所有 25 字节数据会存储到一个内部缓冲区。

完整的 3 重 NFCID 是 10 个字节长度, 包含 3 字节 NFCID1, 6 字节 NFCID2, 和 1 字节 NFCID3, 如上所列。

先清空 FIFO 再启动 `configure` 指令可以将内部缓冲区的 25byte 配置数据复制到 FIFO 中, 以便读出。

FM17550 在启动自动防冲突/轮询指令 (AutoColl) 前必须完成 `configure` 指令配置。进入 Hard Power Down 模式不会改变缓冲区的配置数据。但进入 Deep Power Down 模式后缓冲区数据被清除, 需在 DPD 模式唤醒后重新配置。

当该指令执行完成后自动停止, 或在 IDLE 指令被激活后停止。

13.3.3 Generate RandomID

该指令产生一个 10 字节的随机数, 然后刷新内部 25 字节缓冲区内 NFCID3 里的 10 字节。该指令执行完成后自动停止, 并回到空闲模式。

13.3.4 CalcCRC

FIFO 缓冲器的内容传输到 CRC 协处理器并开启 CRC 计算, 计算结果储存在 CRCResultReg 寄存器。CRC 计算不限制于一个专用数量的字节。在数据流中当 FIFO 缓冲空了计算并不停止, 下一个写入 FIFO 缓冲器的字节被加入计算。

CRC 预设值由 ModeReg 寄存器的 CRCPreset[1:0]位控制, 当指令开始时值被载入到 CRC 协处理器。

CalcCRC 指令必须由向 CommandReg 寄存器写入其他指令来终止, 比如 Idle 指令。

13.3.5 Transmit

启动该指令后 FIFO 缓冲器的内容立刻被发送。在启动发射前, 所有相关寄存器必须设置妥当。

该指令在 FIFO 缓冲器空了时自动终止, 也可以写入其他指令来终止。

13.3.6 NoCmdChange

该指令不会影响 CommandReg 寄存器中任何正在运行的指令, 它可以对 4 位 Command[3: 0]以外的其他位进行操作, 如 RcvOff 位或 PowerDown 位。

13.3.7 Receive

其他该指令后 FM17550 激活接收器路径并等待接收一个数据流。在启动指令之前必须完成所有必须的配置。

当数据流结束时指令自动终止。结束标识根据所选的帧格式和传输速度, 由帧格式的结尾帧或长度字节表明。

注: 如果 RxModeReg 寄存器的 RxMultiple 位置 1, 那么 Receive 指令将不会自动终止, 只能在 CommandReg 寄存器中写入另一个指令来终止。

13.3.8 Transceive

该指令持续重复从 FIFO 缓冲器发射数据和从 RF 场接收数据。首先是发射, 发射后指令变为接收数据流。

每个发射过程都必须由 BitFramingReg 寄存器的 StartSend 位置 1 来开始。该指令在 CommandReg 寄存器中写入其他指令后停止。

注: 如果 RxModeReg 寄存器的 RxMultiple 位置 1, Transceive 指令就一直停留在接收状态, 因为该状态不能自动结束。

13.3.9 AutoColl

该指令在卡片模拟模式下自动处理 MIFARE 流程、及 FeliCa 轮询流程。为确保正确工作, ControlReg 寄存器中的 bit4 initiate 位必须设为 0。此外, 在指令执行时, 只要 ModeReg 寄存器中的 ModeDetOff

位没有被关闭，数据模式自动检测功能会激活。当检测到一种数据模式，根据接受到的数据所有该模式相关的寄存器标志会被置起。如果外部射频场不存在，该指令会复位内部状态机，并回到初始状态，但该指令本身并不会终止。当该指令终止后，Transceive 指令被激活。

在处理协议过程中，IRQ 中断引脚不支持。只有接受到最后一帧数据会激活 IRQ。TxCRCEn 位和 RxCRCEn 位的处理会有所不同。在 ISO/IEC14443A 协议激活时，这 2 个 bit 由 AutoColl 指令定义。且相应的改变不能从 TXModeReg 和 RXModeReg 寄存器上观察到。在 Transceive 指令激活后，对应 bit 寄存器的值会根据实际情况而不同。

当状态机（防冲突和选卡流程）未执行，且速率检测是 106kbps 时，最后一条指令的 2 字节 CRC 校验码会收进 FIFO，即使已经经过了 CRC 校验且校验结果正确。

当 FeliCa 协议激活时，对应 bit 寄存器值始终与处理过程相关，不会被指令设置更改。

该指令在 CommandReg 寄存器中写入其他指令，如 IDLE 指令后停止。当重复写相同指令内容到 CommandReg 寄存器时，会复位内部状态机。

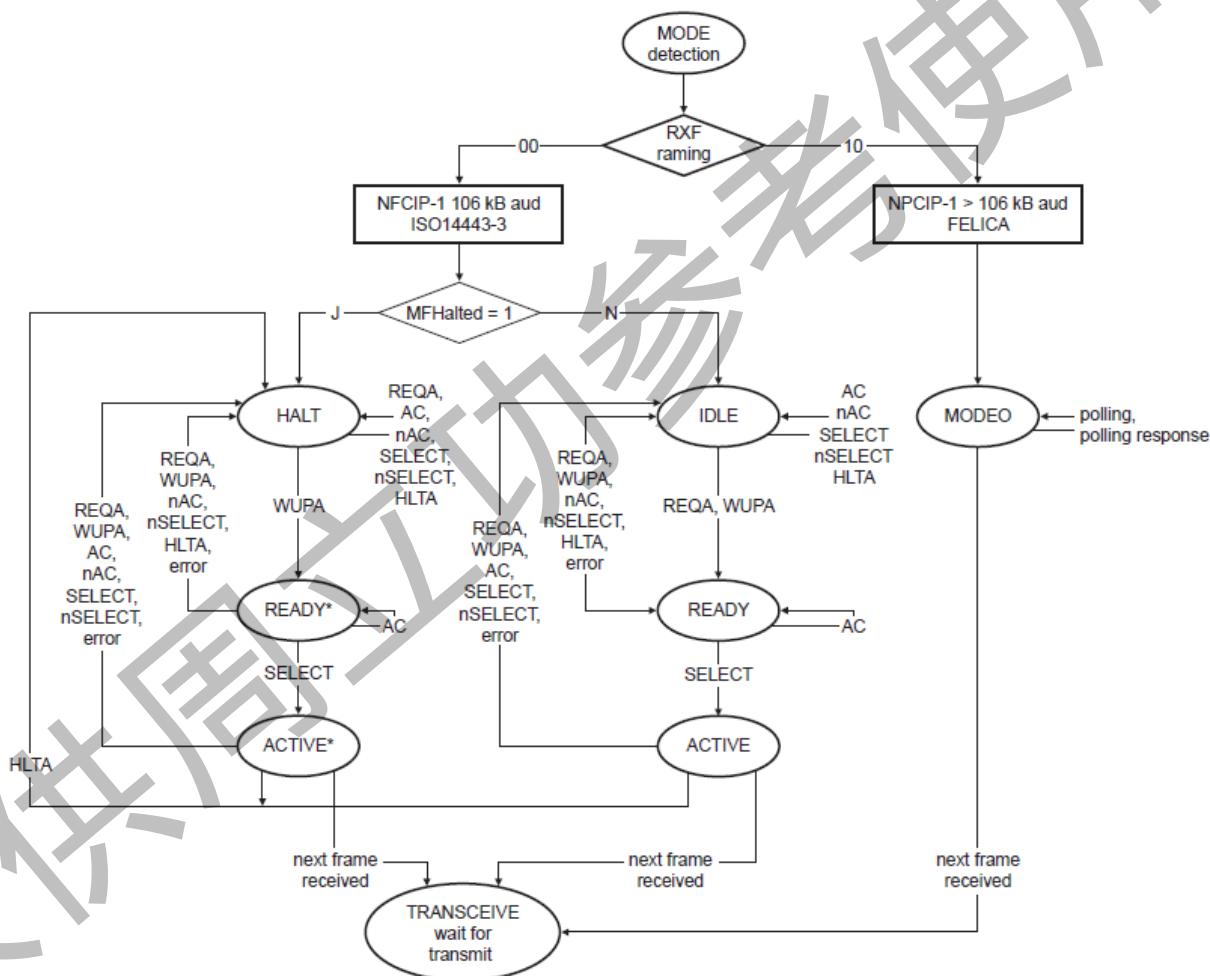


图 13-1 AutoColl 指令

NFCIP-1 106kbps 被动通讯模式：

MIFARE 防冲突流程结束后自动转换为 Transceive 指令。FIFO 内容为首字节是 F0h 的 ATR_REQ 帧数据。Status2Reg 寄存器中的 TargetActivated 位被置 1。

NFCIP-1 212/424kbps 被动通讯模式：

FeliCa 轮询流程结束后自动转换为 Transceive 指令。FIFO 内容为 ATR_REQ 帧数据。Status2Reg 寄存器中的 TargetActivated 位被置 1。

NFCIP-1 106/212/424kbps 主动通讯模式：

该指令会自动转换为 Transceive 指令。FIFO 内容为 ATR_REQ 帧数据。Status2Reg 寄存器中的 TargetActivated 位被置 0。仅针对 106kbps 情况，FIFO 的首字节数据为 F0h，且 CRC 码会自动加入 FIFO。

MIFARE 卡片模拟模式：

MIFARE 防冲突流程结束后自动转换为 Transceive 指令。FIFO 内容为选卡后的第一条命令。Status2Reg 寄存器中的 TargetActivated 位被置 1。

FeliCa 卡片模拟模式：

FeliCa 轮询流程结束后自动转换为 Transceive 指令。FIFO 内容为 FeliCa 协议轮询之后的第一条命令。Status2Reg 寄存器中的 TargetActivated 位被置 1。

13.3.10 MFAuthent

该指令控制 MIFARE 认证以确保到任何 MIFARE mini, MIFARE 1K 和 MIFARE 4K 卡的安全通讯。以下数据在指令激活前需写入 FIFO 缓冲器：

- 认证指令代码 (60h, 61h)
- Block 地址
- Sector key byte 0
- Sector key byte 1
- Sector key byte 2
- Sector key byte 3
- Sector key byte 4
- Sector key byte 5
- Card serial number byte 0
- Card serial number byte 1
- Card serial number byte 2
- Card serial number byte 3

一共 12 字节被写入 FIFO。

注：当 MFAuthent 指令激活时，所有 FIFO 缓冲器的访问都被屏蔽。如果有访问到 FIFO 缓冲器，ErrorReg 寄存器的 WrErr 位会被设置。

该指令在 MIFARE 卡完成认证后终止，相应的 Status2Reg 寄存器的 MFCrypto1On 置 1。

该指令在卡无响应时不会自动终止，所以计时器必须设置到自动模式。这种情况下，除了 IdleIRq 位，TimerIRq 位也可用作终止条件。在认证过程中，RxIRq 和 TxIRq 位被屏蔽。Crypto1On 位只在 MFAuthent 指令终止后才有效，终止可以是协议处理完成，或者是写 Idle 到 CommandReg 寄存器。

如果在认证过程中出现错误，那么 ErrorReg 寄存器的 ProtocolErr 位置 1，Status2Reg 寄存器的 Crypto1On 位置 0。

13.3.11 SoftReset

该指令对 FM17550 进行复位。除内部缓冲区 25 字节的配置数据保持不变，其他所有寄存器都复位为初值。该指令在执行完成后自动终止。

注：SerialSpeedReg 寄存器会被复位，因此 UART 串行数据速率被复位成 9.6 kBd。

14 测试信号

14.1 测试总线

测试总线开发目的是用于生产测试。以下配置可以用来提升基于 FM17550 的系统设计。测试总线可将内部信号发送到数字接口。测试总线信号通过访问 TestSel2Reg 寄存器的 TestBusSel 来选择。

管脚	D6	D5	D4	D3	D2	D1
测试信号	sdata	scoll	svalid	sover	RCV_reset	RFon,filtered

表 14-1 测试信号路径选择 (TestSel2Reg = 07h)

引脚	测试信号	描述
D6	sdata	显示实际接收到的数据流
D5	scoll	显示是否检测到冲突位 (仅 106 kbit 支持)
D4	svalid	显示 sdata 和 scoll 是否有效
D3	sover	显示接收器检测到一个停止条件 (仅在 ISO/IEC 14443A/ MIFARE 模式)
D2	RCV_reset	显示接收器是否复位
D1	RFon,filtered	显示内部 RF 电平检测器的值

表 14-2 测试信号描述

引脚	D6	D5	D4	D3	D2	D1
测试信号	clkstable	clk27/8	clk27rf/8	clkrf13rf/4	clk27	clk27rf

表 14-3 测试信号路径选择 (TestSel2Reg = 0Dh)

引脚	测试信号	描述
D6	clkstable	显示振荡器是否输出稳定信号
D5	clk27/8	显示振荡器 8 分频的输出信号
D4	clk27rf/8	显示 clk27rf 的 8 分频信号
D3	clkrf13/4	显示 clk13rf 的 4 分频信号
D2	clk27	显示振荡器输出信号
D1	clk27rf	显示 RF 场时钟的 2 倍频

表 14-4 测试信号描述

引脚	D6	D5	D4	D3	D2	D1
测试信号	-	TRunning	-	-	-	-

表 14-5 测试信号路径选择 (TestSel2Reg = 19h)

引脚	测试信号	描述
D6	-	-
D5	TRunning	TRunning 在 TimerIRQ 被拉高后一个时钟周期后停止
D4	-	-
D3	-	-
D2	-	-
D1	-	-

表 14-6 测试信号描述

14.2 引脚 AUX1/AUX2 上的测试信号

SelTest	AUX1/AUX2 的描述
0000	三态
0001	DAC: 寄存器 TestDAC 1/2
0010	DAC: 测试信号 corr1
0011	DAC: 测试信号 corr2
0100	DAC: 测试信号 MinLevel
0101	DAC: ADC_I
0110	DAC: ADC_Q
0111	DAC: 测试信号 ADC_I 与 ADC_Q 之和
1000	生产测试的测试信号
1001	SAM 时钟
1010	高电平
1011	低电平
1100	TxActive
1101	RxActive
1110	检测到副载波
1111	TstBusBit

表 14-7 测试信号描述

每个信号都能通过设置寄存器 AnalogTestReg 里的 SelAux1 或 SelAux2 选择由 AUX1 引脚或 AUX2 引脚输出。

注意: DAC 有一个电流输出, 建议在引脚 AUX1/AUX2 使用一个 $1k\Omega$ 下拉电阻。

14.3 PRBS

根据 ITU-T0150 使能 PRBS9 或 PRBS15 序列。要开启指定数据流的传输, 必须激活发送指令。preamble/Sync byte/start bit/parity bit 根据所选模式自动产生。

注意: 根据 ITU-T0150, 所有传输数据的相关寄存器必须在进入 PRBS 模式之前配置完毕。

15 典型应用图

下面给出基于 FM17550 的典型应用图。

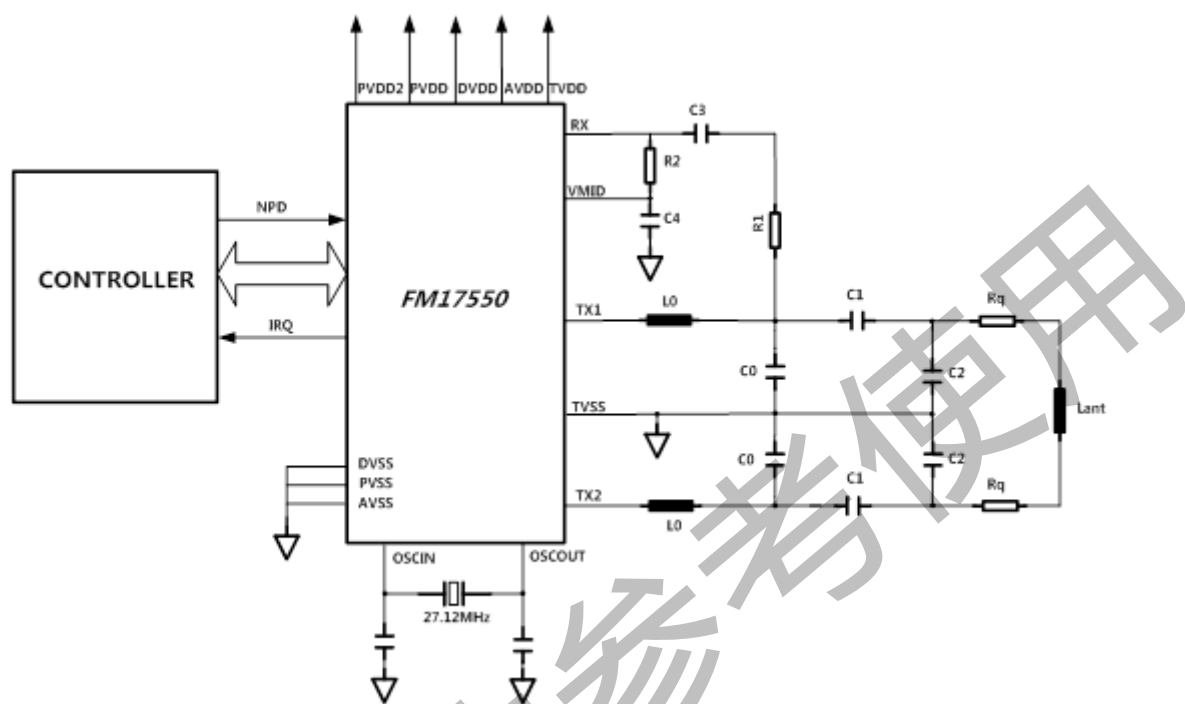


图 15-1 典型应用图

16 电气参数

16.1 极限额定参数

参数	最小值	最大值	单位
存储温度	-40	+85	°C
AVDD, DVDD, TVDD, PVDD, PVDD2	-0.5	4.0	V
ESD (HMB)		2	KV
ESD (CDM)		500	V

表 16-1 FM17550 极限额定参数

*注：如果外加条件超过“极限额定参数”的额定值，将会对芯片造成永久性的破坏。

16.2 主要电气指标

符号	参数	条件	最小值	典型值	最大值	单位
AVDD	模拟电源	$V_{PVDD} \leq V_{AVDD} = V_{DVDD} \leq V_{TVDD}$	2.3	3.0	3.6	V
DVDD ^[1]	数字电源	$V_{PVDD} \leq V_{AVDD} = V_{DVDD} \leq V_{TVDD}$	2.3	3.0	3.6	V
TVDD ^[2]	发射器电源	$V_{PVDD} \leq V_{AVDD} = V_{DVDD} \leq V_{TVDD}$	2.3	3.0	3.6	V
PVDD ^[3]	引脚电源	$V_{PVDD} \leq V_{AVDD} = V_{DVDD} \leq V_{TVDD}$	1.6		3.6	V
PVDD2 ^[4]	测试引脚电源		1.6		3.6	V
I _{DPD}	Deep power-down 电流	AVDD=DVDD=TVDD=3V NPD=0, 进入 DPD 模式		TBD		uA
I _{HPD}	Hard power-down 电流 (register retention)	AVDD=DVDD=TVDD=3V NPD=0, 进入 HPD 模式		3		uA
I _{SPD}	Soft power-down 电流	AVDD=DVDD=TVDD=3V 进入 SPD 模式, 外部 RF 检测使能		TBD		uA
I _{AVDD}	模拟供电电流	AVDD=3V, 接收使能 (RcvOff bit=0)		10	13	mA
		AVDD=3V, 接收关闭 (RcvOff bit=1)		6	8	mA
I _{PVDD} ^[5]	PVDD 供电电流				40	mA
I _{TVDD} ^[6]	射频工作电流	连续发射载波 V _{TVDD} =3.0V		60	100	mA
T _A	工作温度		-40		+85	°C

表 16-2 FM17550 推荐工作条件

- [1] AVDD 必须等于 DVDD
 [2] TVDD 电压必须大于或等于 AVDD
 [3] PVDD 必须小于等于 AVDD
 [4] PVDD2 电压建议等于 PVDD
 [5] I_{PVDD} 取决于数字引脚的负载
 [6] I_{TVDD} 取决于 TVDD 电压、及天线网络参数的设置。根据应用的需求不同，配置不同的天线网络，

可以控制 I_{TVDD} 小于 100mA，也可以将 I_{TVDD} 设置得更大以达到更远的射频操作距离

16.2.1 SPI 交流参数

符号	参数	条件	最小值	典型值	最大值	单位
$t_{SU(D-SCKH)}$	数据输入到 SCK 为高的建立时间	MOSI 变化到 SCLK	25			ns
$t_h(SCKL-Q)$	SCK 低电平到数据输出的保持时间	SCK 到 MISO 变化			25	ns
$t(SCKLNSSH)$	SCK 低电平到 NSS 高电平时间					ns

表 16-3 SPI 交流参数

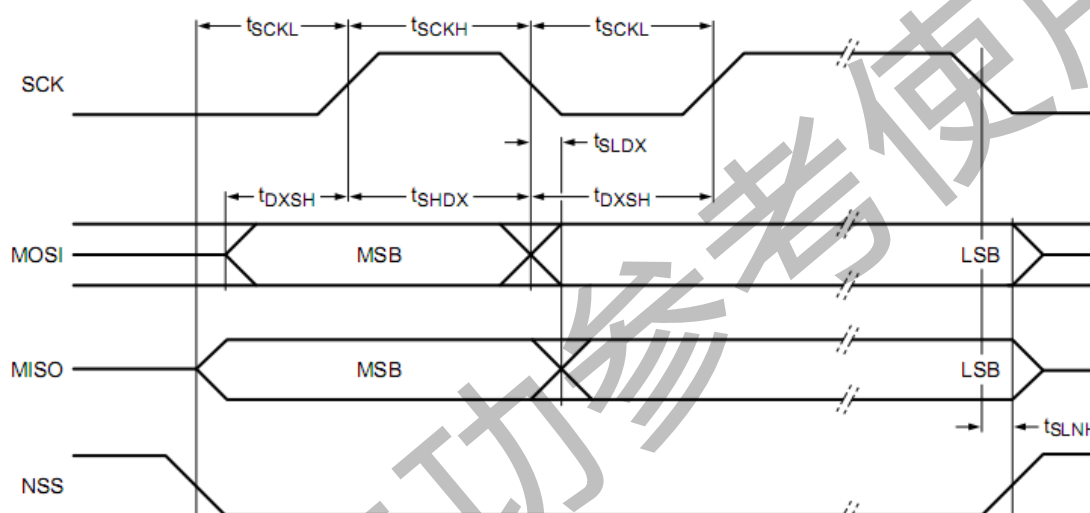


图 16-1 SPI 时序图

注：发送一个数据流过程中，需确保 NSS 为低。如需发送多个数据流，在数据流之间 NSS 需置为高。

16.2.2 I2C 交流参数

符号	参数	条件	FastMode		HighSeed Mode		单位
			最小值	最大值	最小值	最大值	
f_{SCL}	SCL 时钟频率		0	400	0	3400	kHz
$t_{HD;STA}$	START 保持时间	此后产生第一个时钟脉冲	600		160		ns
$t_{SU;STA}$	START 建立时间		600		160		ns
$t_{SU;STO}$	STOP 建立时间		600		160		ns
t_{LOW}	SCL 时钟低电平宽度		1300		160		ns
t_{HIGH}	SCL 时钟高电平宽度		600		60		ns
$t_{HD;DAT}$	数据保持时间		0	900	0	70	ns
$t_{SU;DAT}$	数据建立时间		100		10		ns
t_r	上升时间	SCL 信号	20	300	10	40	ns
t_f	下降时间	SCL 信号	20	300	10	40	ns

符号	参数	条件	FastMode		HighSeed Mode		单位
			最小值	最大值	最小值	最大值	
t_r	上升时间	SDA 和 SCL 信号	20	300	10	80	ns
t_f	下降时间	SDA 和 SCL 信号	20	300	10	80	ns
t_{BUF}	STOP 和 START 之间总线空闲时间		1.3		1.3		us

表 16-4 I2C 交流参数

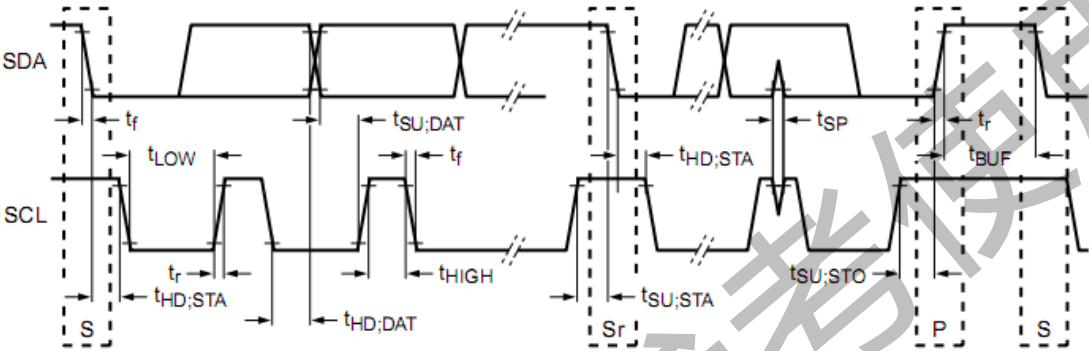


图 16-2 快速和标准模式下的 I2C 总线时序图

17 订货信息

器件代号	封装形式	包装方式	工作环境条件
FM17550-QFB-A-G	QFN32 塑封	萃盘包装	工业温度 (-40℃ ~ +85℃)

仅供周立功参考使用

18 封装信息

18.1 QFN32 封装尺寸图

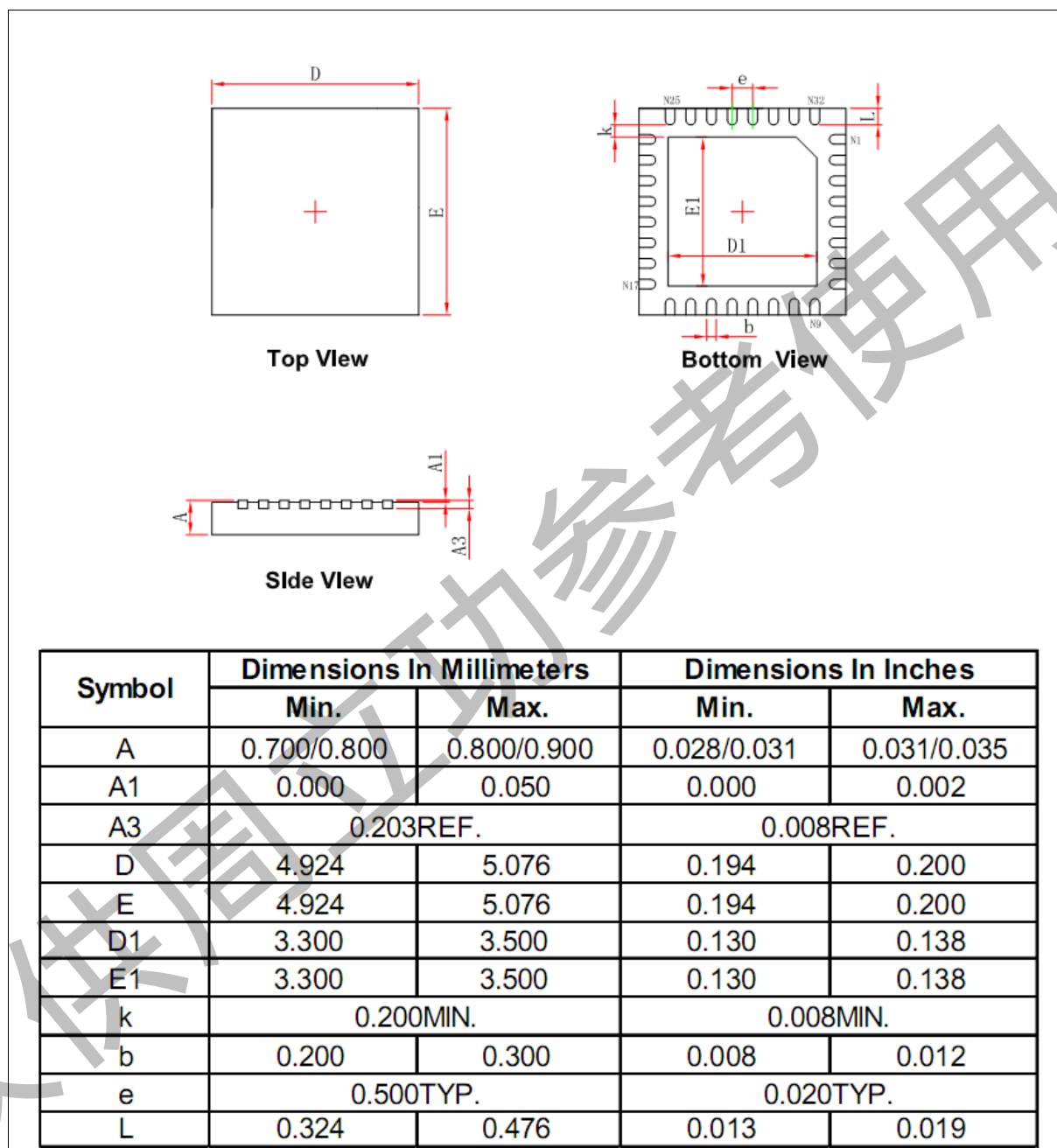


图 18-1 FM17550 QFN32 封装尺寸图

版本信息

版本号	发布日期	页数	章节或图表	更改说明
1.0	2014.02	91		首次发布

仅供周立功参考使用

上海复旦微电子集团股份有限公司销售及服务网点

上海复旦微电子集团股份有限公司

地址：上海市国泰路 127 号 4 号楼

邮编：200433

电话：(86-021) 6565 5050

传真：(86-021) 6565 9115

上海复旦微电子（香港）股份有限公司

地址：香港九龙尖沙咀东嘉连威老道 98 号东海商业中心 5 楼 506 室

电话：(852) 2116 3288 2116 3338

传真：(852) 2116 0882

北京办事处

地址：北京市东城区东直门北小街青龙胡同 1 号歌华大厦 B 座 423 室

邮编：100007

电话：(86-10) 8418 6608

传真：(86-10) 8418 6211

深圳办事处

地址：深圳市华强北路 4002 号圣廷苑酒店世纪楼 1301 室

邮编：518028

电话：(86-0755) 8335 0911 8335 1011 8335 2011 8335 0611

传真：(86-0755) 8335 9011

台湾办事处

地址：台北市 114 内湖区内湖路一段 252 号 12 楼 1225 室

电话：(886-2) 7721 1889

传真：(886-2) 7722 3888

新加坡办事处

地址：237, Alexandra Road, #07-01, The Alexcier, Singapore 159929

电话：(65) 6472 3688

传真：(65) 6472 3669

北美办事处

地址：2490 W. Ray Road Suite#2 Chandler, AZ 85224 USA

电话：(480) 857-6500 ext 18

公司网址：<http://www.fmsh.com/>