

GDS: Laborübung 3

Multiplexer / Demultiplexer

In diesem Versuch soll eine Datenübertragung über Multiplexer und Demultiplexer realisiert werden. Der Multiplexer ist dabei mit einem programmierbaren Logikbaustein (programmable logic device = PLD) zu realisieren; der Aufbau des Demultiplexers erfolgt mit NAND-Gattern und Invertieren. Der innere Aufbau des PLDs wird hier noch als 'black box' betrachtet.

Aufgabe:

Entsprechend S. 47 im GDS-Skript ist zunächst ein 4 zu 1 MUX als programmierbarer Logikbaustein zu entwickeln und zu testen. Vervollständigen Sie dazu die folgende Textdatei:

```
| GAL16V8 in: (I0, I1, I2, I3, S0, S1),
|             io: (O)
|
| O =
```

I0...3 sind die Dateneingänge, S0...1 die Steuereingänge. O ist der Ausgang.
Die ersten zwei Zeilen sind identisch zu übernehmen. Danach folgt die Gleichung für O.

Hinweise:

Das | -Zeichen **muss** am Anfang einer jeden Zeile stehen. Hinter dem Doppelpunkt muss ein Leerzeichen stehen. Für die Boole'schen Gleichungen benutzen Sie folgende Operatoren:

Schreibweise	alternative Schreibweise	Operation
&		AND
#		OR
##	\$	XOR
'	!	NOT ¹
(A & B)'	A & ' B	NAND
(A # B)'	A # ' B	NOR
(A ## B)'	A ## ' B	XNOR

¹ Der '-' Operator steht *nach*, der !-Operator *vor* dem Operanden: A' ist identisch mit !A

Achtung: Innerhalb einer Ebene gibt es keine Präferenz der Operatoren! Also: Klammern benutzen!

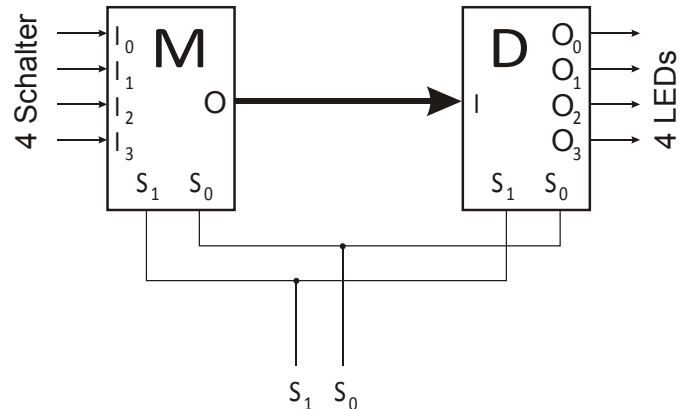
Die von Ihnen erstellte Datei muss die Endung *.pld* besitzen und wird mit einem Tool übersetzt, um daraus eine Programmierabelle für das PLD zu erzeugen. Das PLD wird damit programmiert und anschließend von Ihnen auf Funktionsfähigkeit getestet. Die Pin-Belegung entnehmen Sie dem List-File.

Die Tool-Bedienungsanleitung wird gesondert zur Verfügung gestellt.

► **bitte wenden!**

GDS: Laborübung 3

Anschließend ist mit diskreten Bauteilen (NAND-Gatter, Inverter) ein Demultiplexer zu entwickeln, der die Funktion des MUX umkehrt: Versorgt mit den gleichen Select-Inputs regeneriert er die ursprünglichen 4 Eingangssignale. Das nebenstehende Blockschaltbild stellt den Aufbau dar:



M ist der Multiplexer mit 4 Schaltern als Dateneingängen. Sein Datenausgang liegt am Dateneingang des Demultiplexers **D**. Dessen Datenausgänge sind direkt an die LED-Treiber geführt. Die Steuereingänge S_1 und S_0 sind jeweils zusammengelegt und können während der Entwicklung an zwei separate Schalter angeschlossen werden.

Zur Endabnahme sind die beiden Steuerleitungen jedoch mit dem unten dargestellten Zähler 74'161 nach folgendem Schema anzuschließen:

VCC an die Pins 1, 7, 9, 10, 16

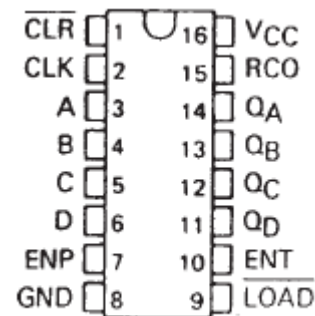
GND an die Pins 3, 4, 5, 6, 8

S_0 an Pin 14 (QA)

S_1 an Pin 13 (QB)

Pin 2 (CLK) an den Frequenzgenerator auf dem Experimentierboard.

Die Anschlüsse 11, 12 und 15 bleiben unverbunden.



Erstellen Sie einen kompletten Schaltplan (Multiplexer, Demultiplexer, Zähler) und realisieren Sie ihn!

Zeichnen Sie außerdem einen Bestückungsplan!

Voraussetzung zur Erlangung des Testats ist die Vorlage der vollständigen und korrekten Schalt- und Bestückungspläne!

Anmerkung: Die Funktionsweise von Zähler-Bausteinen lernen wir später kennen. Hier benutzen wir ihn nur, um die Select-Inputs automatisch anzusteuern.