Zahlensysteme, Digitalarithmetik

Format	Bit	sign [s]	characteristic [c]	fraction [f]	offset [o]
single precision	32	1	8	23	127_{10} ($7F_{16}$)
double precision	64	1	11	52	1023_{10} ($3FF_{16}$)
extended precision	80	1	15	64	16383 ($3FFF_{16}$)

Beispiel der Darstellung einer Zahl im IEEE 754-Format (single precision

Ausgangszahl: $z = -37{,}75_{10}$

Umwandlung in binär: $= -100101{,}11_2 \cdot 2^0$

Normalisierung: $= -1{,}\underbrace{0010111}_{\text{bis zur letzten 1}}{}_2 \cdot 2^5$

Codierung des Vorzeichens: $s = 1_2$ (Vorzeichen 1 = − 0 = +)

Codierung des Exponenten,

dazu zunächst Umwandlung in binär: $e = 101_2$

plus Offset: $O = 01111111_2$

ergibt characteristic $c = 10000100_2$

Übernahme der fraction: $f = 0010111_2$

Ergebnis (zur besseren Übersicht gruppiert nach Funktion und innerhalb derer in Blöcken à 4 Bit):

$z = \underset{(s)}{1} \mid \underset{(c)}{1000\ 0100} \mid \underset{(f)}{0010\ 1110}\ \underbrace{0000\ 0000\ 0000\ 0000}_{\text{um restliche Bit's aufzufüllen}}$

$\overset{s}{1} \mid 10000100 \mid 00101110000$

$e + O \rightarrow 132$

127

$e = 5$

$-1{,}0010111_2 \cdot 2^5 \Rightarrow -10{,}010111 \cdot 2^4$

Addierer – Zwei Dualzahlen addieren

Bsp.:

$$\begin{array}{r} 1011 \\ 1111 \\ \hline 111 \\ \hline 11010 \end{array}$$

(Übertrag)

Lösungsschritte:
Halbaddierer: Zwei einstellige Dualzahlen addieren; Ergebnis ist Summenbit und Ubertragsbit (Carry-Bit)
Volladdierer: Zwei einstellige Dualzahlen und eingehendes Ubertragsbit addieren; Ergebnis ist Summenbit und (ausgehendes) Übertragsbit
Addierwerk:
Zwei mehrstellige Dualzahlen addieren (Kombination von Volladdierern)

Halbaddierer

Aufgabe:
• Addiert zwei einstellige Dualzahlen
• Erzeugt als Ergebnis ein
- Summenbit (S)
- Übertragsbit bzw. Carry-Bit (C)

Funktionstabelle :

a	b	s	c
0	0	0	0
0	1	1	0
1	0	1	0
1	0	0	1

DNF: $S = ab' + a'b$

$C = ab$

→ Keine Vereinfachung mit KV-Diagramm möglich

Volladdierer

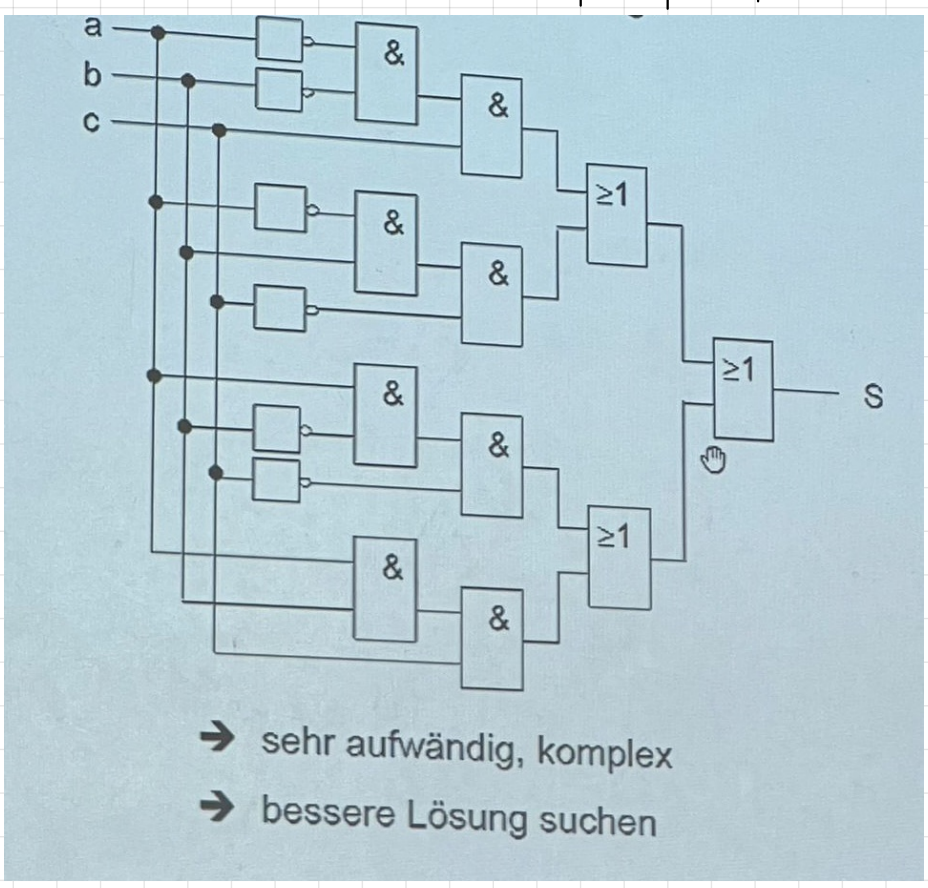
Aufgabe:
• Addiert zwei einstellige Dualzahlen mit eingehendem
Übertragsbit (c = Carry in), d.h. es sind drei Bit zu addieren
• Erzeugt als Ergebnis ein
- Summenbit (S)
- Übertragsbit bzw. Carry-Bit (C)

Funktionstabelle :

a	b	c	s	c
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

DNF: $S = a'b'c + a'bc' + ab'c' + abc$

→ Keine Vereinfachung mit KV-Diagramm möglich
(auch nicht mit Mc Clusky)



Direkte Umsetzung in eine Schaltung

→ sehr aufwändig, komplex

→ bessere Lösung suchen!

Volladdierer – Optimierung für das Summenbit

Ziel: Nur XOR - Gatter verwenden
S = a'b'c + a'bc' + ab'c' + abc

= a' (b'c + bc') + a (b'c' + bc)

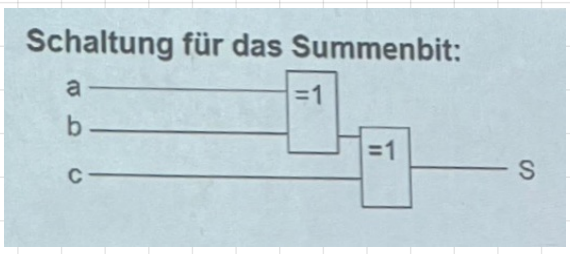
mit x'y + xy' = x⊕y
und x'y' + xy = (x⊕y)' = x⊙y
wird

x	y	XOR	XNOR
0	0	0	1
0	1	1	0
1	0	1	0
1	1	0	1

S = a' (b⊕ c) + a (b⊕c)'

= a⊕(b⊕ c)

S = a⊕b ⊕c



$\bar{a} \cdot (b \oplus c) + a\overline{(b \oplus c)}$ $\quad L = b \oplus c$

$= \bar{a} L + a \bar{L}$

$= a \oplus L$

$= a \oplus (b \oplus c)$

$(\bar{a} b + a \bar{b} = \text{xor}\ (a \oplus b))$

Volladdierer – Optimierung für das Carry-Bit

Betrachtung für das Carry-Bit C:

Funktionstabelle:

a	b	c	S	C
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

DNF: $\bar{a} b c + a b c + a \bar{b} c + a b \bar{c}$

↳ KV-Diagramm

c \ ab	00	01	11	10
0	0	0	1	0
1	0	1	1	1

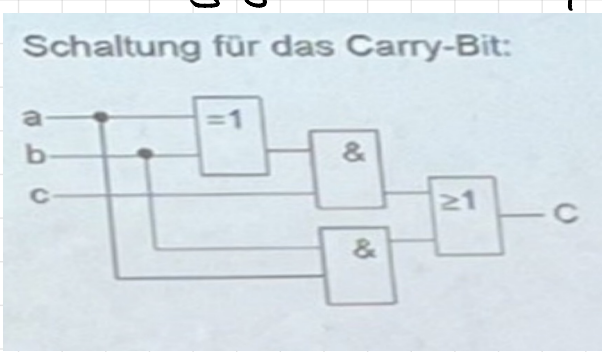
Anmerkung
Es wird nur eine Vereinfachungsmöglichkeit im KV-Diagramm in Anspruch genommen, da sich der Ausdruck dann besser vereinfachen lässt!

$C = a \bar{b} c + ab + \bar{a} b c$

$= c(a\bar{b} + \bar{a} b) + ab$ $\Rightarrow$

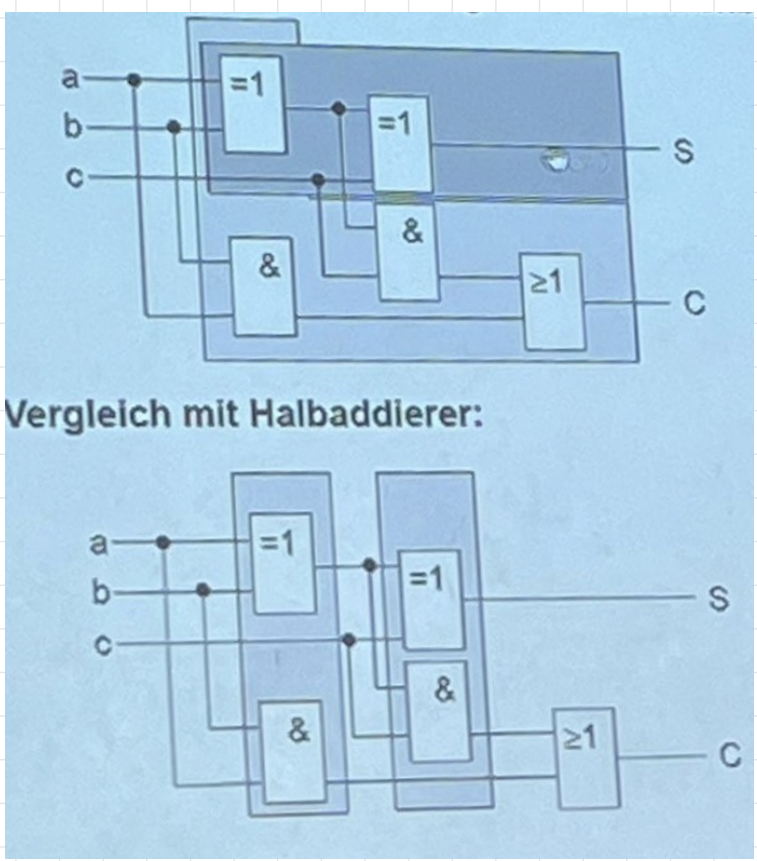
$C = c(a \oplus b) + ab$

Schaltung für das Carry-Bit



Volladdierer – optimierte Schaltung

Zusammenbau der Schaltung für Summenbit und Carry-Bit:



Subtrahierwerk

Subtraktion zweier Dualzahlen:

Zweierk des Subtrahenden bilden, z.B.:

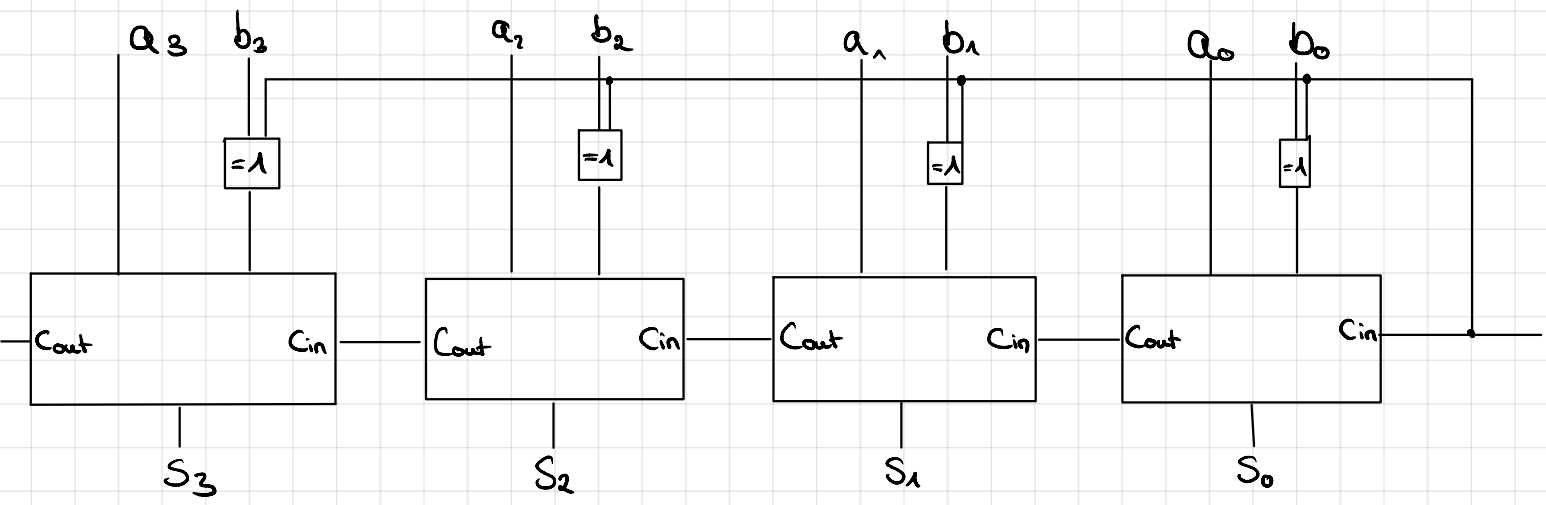
10 11110 (1er Kompl.)

011 11111 (2er Kompl.)

Subtraktion ist dann die Addition des 2er Komplement

X	Y	$z = x \oplus y$	
0	0	0	$z = y$
0	1	1	
1	0	1	$z = \bar{y}$
1	1	0	

Schaltung für ein 4-Bit Addierer / Subtrahierer



Steuerleitung:
0 = Addieren
1 = Subtrahieren