

作业

习题 6.9

要求：给出详细的设计过程，主要包括 FSM 状态图、状态表、状态分配表、输出和次态逻辑表达式、电路图。同时，采用 verilog 语言描述该电路，并在 Modelsim 仿真器上仿真通过，testbench 和该电路的 verilog 代码粘贴到设计报告中。**提交的作业包括设计报告、verilog 源程序、verilog testbench 三个文件**，作业文件夹采用姓名+学号的方式命名，压缩后发给课代表。

设计报告提纲：

1. FSM 状态图

XXXXXX

2. 状态表

XXXXXX

3. 状态分配表

XXXXXX

4. 输出和次态逻辑表达式

XXXXXX

5. 电路图

XXXXXX

6. Verilog 代码

6.1 testbench 代码

XXXXXX

6.2 检测器模块代码

XXXXXX

6.3 仿真波形图

XXXXXX