

微机接口复习

微机接口

期末成绩:93 过程考核成绩:95.2(实验成绩:92;考勤成绩:100;作业成绩:98)

(实验0.5+作业0.4+考勤0.1) * 0.4

挺简单的，不过还是写错了几个简单的题目，突击一天可以90+

期末60%

考试有简答题，四五个，意思阐清即可

3次作业（考试内容的70%）

4次实验

求8个端口地址

中断向量表填写

中断控制器

ICW1 2 3 4不考或考少个

记住方式一的ab口输出引脚ppt图

8255状态特征字p114

1方式

题目类型和部分知识点

单选1*10

填空1*20

简答题6*5

综合应用 8 12 10分都有，共40分

重点是作业和ppt

第一章

8086/8088 地址线数据线根数

内部结构，外部引脚

EU+BIU

寄存器

FR标志位，填空

控制标志TF IF1开中断0关中断

方向标志DF1递减0递增

引脚

地址线，数据线，ALE，READY

指令系统7种寻址方式

立即寻址和寄存器寻址最简单

剩下来五种操作数都在内存单元

直接寻址两种表达方式

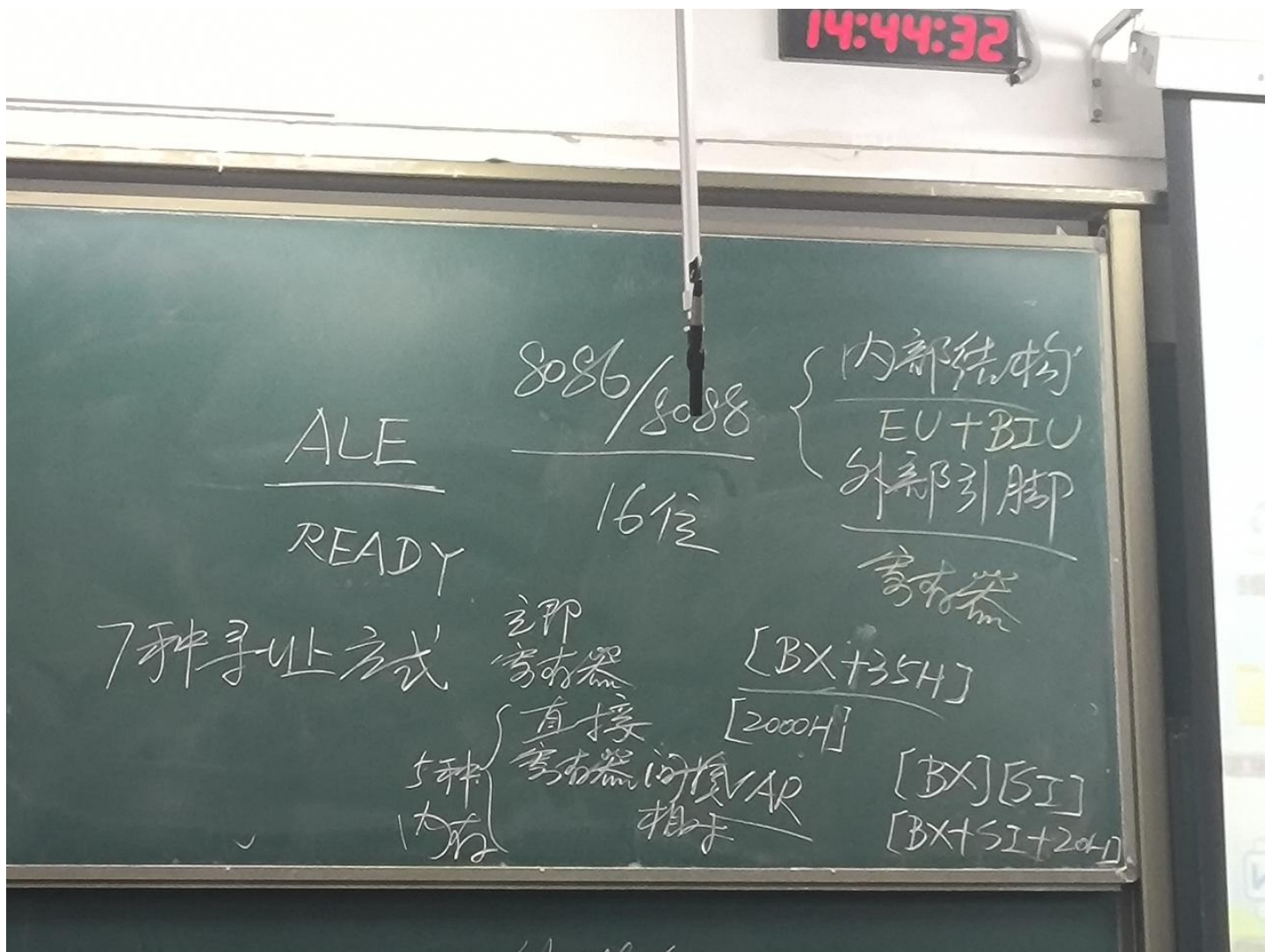
1.[2000H]. 2.VAR

寄存器间接

寄存器相对

基址加变址

基址加变址相对



汇编

定义数据的只要求这三个

DB字节8位 DW字16位

DD双字16位

定义段

定义过程

寄來稿

$[BX+35H]$

$[2000H]$

$$[BX][KI]$$
$$[BX + S] + 20H$$

立即寄存器
 直接寄存器
 间接寄存器
 5种
 1. 立即寄存器
 2. 直接寄存器
 3. 间接寄存器
 4. 立即寄存器
 5. 直接寄存器

伪指令
 ASSUME CS: CODE, DS: DATADB 字 8bit
 定义过程 定义段 DW 字 16bit
 SEGMENT DD 双字 32

START:

ORG

起始

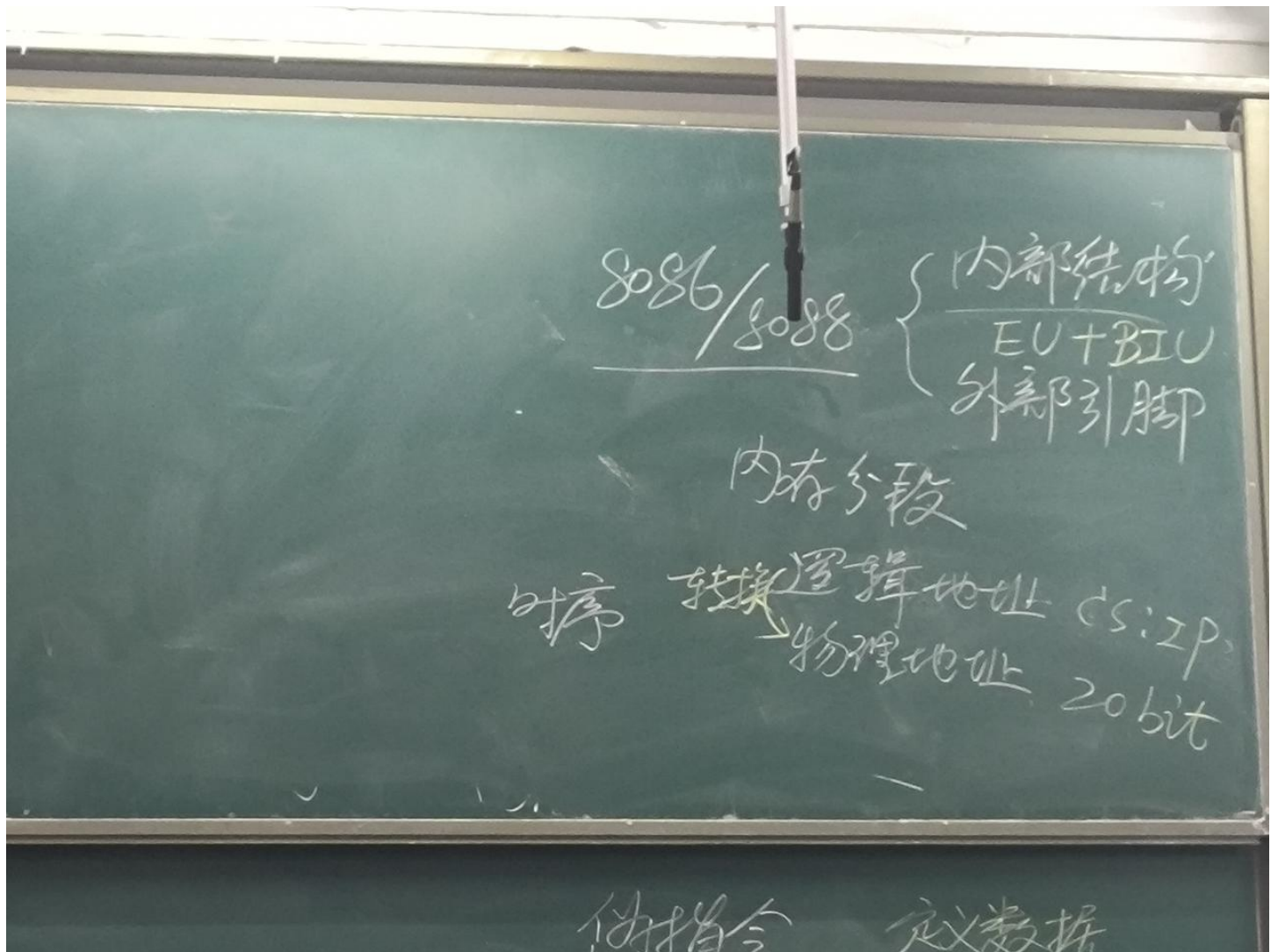
PROC

END

SEGMENT

ENDS

SS: STACK



三种译码方式知道

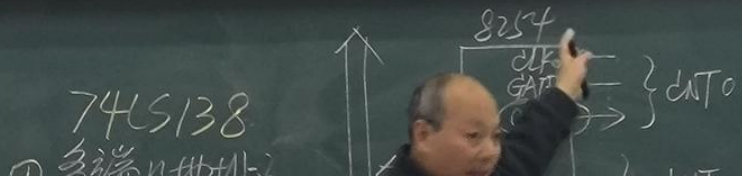
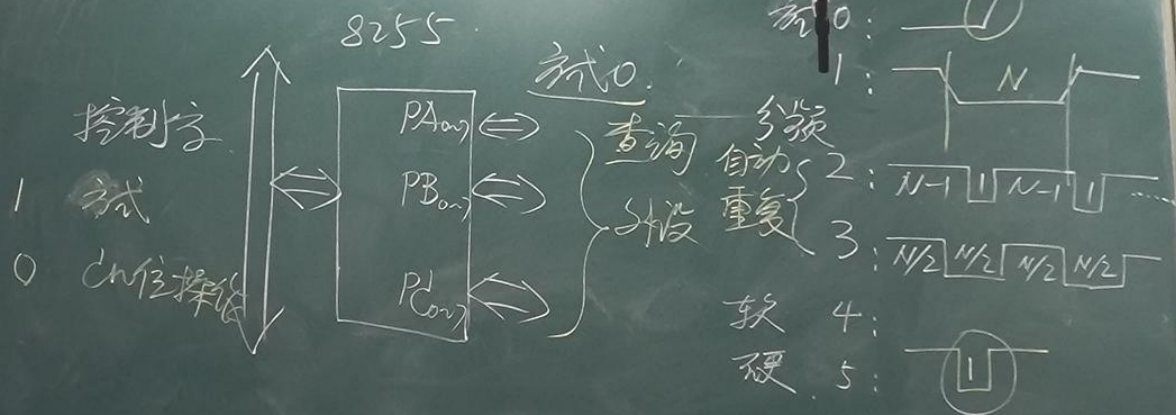
有一个大题就是

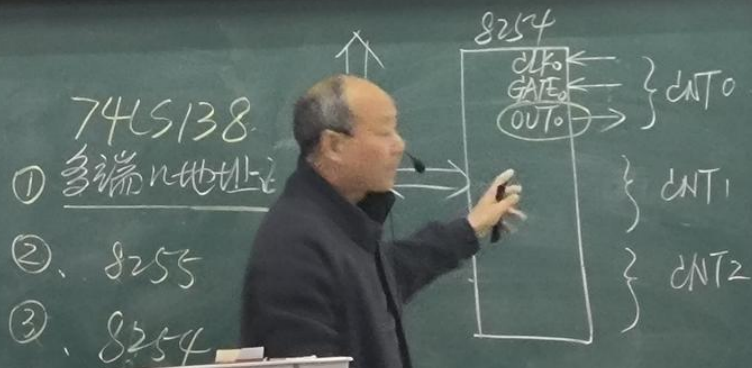
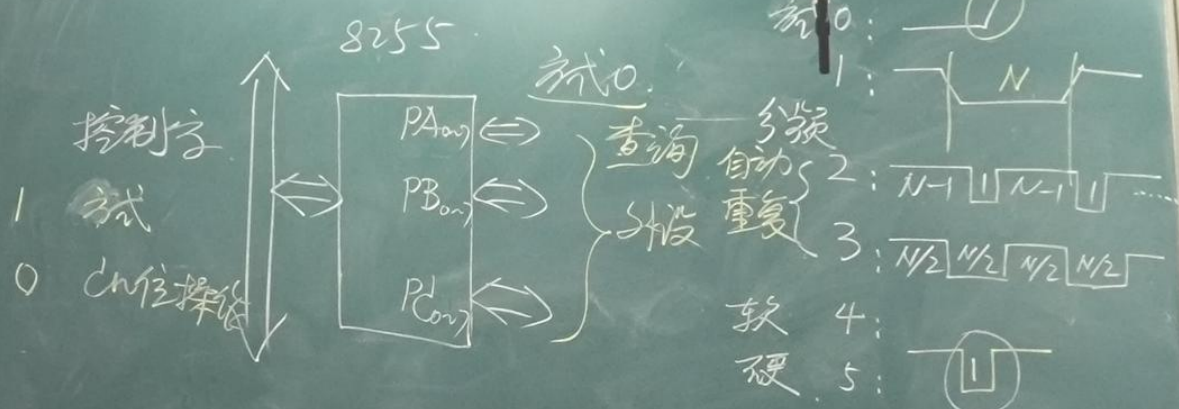
多端口地址译码

IO不要求掌握

三种常见接口芯片8255

15:16:36





8255

控制字

1 方式

0 0 1 1 1 1 1 1

PA_{out} ↔ 查询

PB_{out} ↔ 外设

PC_{in} ↔ 软

初值 N

试0: 1: 2: 3: 4: 5: T = N/5

② 8255

③ 8254

④ 综合应用 (含8259)

8086/8088

ALE

READY

16位

内部结构

EU + BIU

外部引脚

寄存器

7种寻址方式

立即数

直接寻址

寄存器寻址

寄存器间接寻址

相对寻址

变址寻址

基址变址寻址

段内基址变址寻址

段外基址变址寻址

0000H

ORG 1000H

START:

ASSUME CS:CODE, DS:DATA

伪指令

定义数据

定义过程

定义段

ORG 起始

PROC

ENDP

SEGMENT

ENDS

DW 字 16bit

DD 双字 32

SS:STACK

位位置	标志名称	含义
0	CF	Carry Flag (进位标志)
2	PF	Parity Flag (奇偶标志)
4	AF	Auxiliary Flag (辅助进位标志)
6	ZF	Zero Flag (零标志)
7	SF	Sign Flag (符号标志)
8	TF	Trap Flag (陷阱标志)
9	IF	Interrupt Flag (中断标志)
10	DF	Direction Flag (方向标志)
11	OF	Overflow Flag (溢出标志)

引脚	名称	作用
ALE	地址锁存使能	用于锁存低位地址信号，从复用的地址/数据总线中分离地址。
BHE#	高字节使能	控制存储器高字节（D8~D15）的访问，用于字节或字的存取。
M/IO#	存储器/输入输出选择	决定当前总线周期是存储器访问还是 I/O 设备访问。
MN/MX#	最小/最大模式选择	决定处理器是工作在单处理器模式还是多处理器模式（需额外总线控制逻辑）。

名称	定义	关系与作用	单位与举例
时钟周期 (T)	时钟信号的一个完整周期，最小时间单位	处理器工作的基本单位，决定操作的最小时间尺度	8086 时钟频率为 5 MHz 时， T = 200 ns
总线周期	处理器与外部设备完成一次数据传输的时间	包含多个时钟周期，可能因外设速度而插入等待状态	8086 通常为 4~6 个时钟周期
机器周期	处理器完成一个基本操作（如取指或读写）的时间	包含一个或多个总线周期，是指令执行的基本单位	简单操作可能需要 4~6 个时钟周期
指令周期	处理器完成一条指令的时间	包含多个机器周期，取决于指令的复杂性和长度	简单指令：几个机器周期；复杂指令：更多机器周期

特点	最小模式 (Minimum Mode)	最大模式 (Maximum Mode)
MN/MX# 引脚	高电平 (1)	低电平 (0)
适用场景	单处理器系统	多处理器系统
总线控制信号	由 8086 直接生成	由外部总线控制器 (如 8288) 生成
硬件复杂度	较低, 简单高效	较高, 需要额外的总线控制逻辑
扩展能力	不支持多处理器系统	支持多处理器和协处理器
仲裁信号	不需要	使用 RQ/GT# 信号仲裁总线访问权限

执行部件由以下三部分组成：

- 内部寄存器组
- 算术逻辑运算单元（ALU）和标志寄存器（FR）
- 内部控制逻辑电路
- 四个通用数据寄存器AX累加、BX、CX计数、DX均可用作16位寄存器，也可用作8 位寄存器。用作 8 位寄存器时分别记作：AH、AL、BH、BL、CH、CL、DH、DL。
- BP(Basic Pointer Register) 基址指针寄存器
- SP(Stack Pointer Register) 堆栈指针寄存器
- SI(Source Index Register) 源变址寄存器
- DI(Destination Index Register) 目的变址寄存器

BIU

1. 段地址寄存器(CS、DS、SS、ES)

----- 用于存放段地址的寄存器称为段寄存器，根据其主要用途，计有代码段寄存器CS、数据段寄存器DS、堆栈段寄存器SS、附加段寄存器ES。

2. 地址加法器

----- 用于产生20 位物理地址。

3. 指令指针寄存器(IP)

----- 又称程序计数器，是16位寄存器。

4. 指令队列缓冲器

----- 是一个与CPU速度相匹配的高速缓冲寄存器组。

5. 总线控制逻辑

----- 是CPU外部三总线（AB、DB、CB）的控制电路，它控制CPU与其他部件交换数据、地址、状态及控制信息。

第一次作业背诵

简答题参考答案

1. 8086/8088 CPU有多少根地址线？能直接寻址的内存空间是多大？

答：8086/8088 CPU有20根地址线，能直接寻址的内存空间是 2^{20} B，即1MB。

2. 8086/8088 CPU由哪两部分组成？各自的功能是什么？

答：8086/8088 CPU的内部结构由执行单元EU和总线接口单元BIU两部分组成。其中EU负责执行指令，而BIU根据EU的请求，负责完成CPU与存储器或I/O设备之间的信息传送。

3.由8086/8088 CPU构成的微机系统内存是分段管理的，一个逻辑段最大是多少？什么是逻辑地址？什么是物理地址？二者的关系是什么？

答：一个逻辑段最大是64KB。逻辑地址是汇编程序员书写程序时使用的主存地址，由16位的段地址和16位的偏移地址构成；而物理地址则是真正访问主存时的地址，是20位的二进制数。逻辑地址与物理地址之间的关系为：

物理地址=段基址 \times 16+段内偏移地址。

CPU如何判断从内存单元读出的是指令还是数据？

可从时-空两方面之一进行判断：CPU在取指令周期从内存单元读出的是指令，在执行指令周期从内存单元读出的是数据；CPU访问内存时如果用的是CS，则取出的是指令，如果用的是DS、ES或SS，则读出的是数据。（2分）。

4.一个正常的8086/8088机器周期由几个时钟周期构成？CPU引脚READY的作用是什么？

答：正常情况下CPU对内存或外设的读、写只有4个时钟周期，若内存或外设的速度无法满足正常时序的要求，可以利用CPU上的READY信号，在T3时钟周期开始的下降沿检测此信号，若它为低电平就插入等待周期TW直到READY信号变为高电平为止。因此，只要适当控制加到READY上低电平的宽度，就可以插入若干等待周期TW，在一个总线周期里使CPU提供的读写时间满足内存或外设接口的要求，从而使慢速的内存或接口与快速的CPU相适应，实现正确的读、写操作。

5.何谓总线？总线规范的基本内容是什么？各种总线中最基本的信号线是哪些？

答：总线是指连接计算机各部件或计算机之间的一束公共信号线，它是计算机中传送信息代码的公共途径。总线规范包括：机械结构规范，功能结构规范和电气规范。

标准总线中一般包含：地址线、数据线、控制和状态线、时钟线、电源和地线。

6.什么是寻址方式？ 8086/8088 CPU有哪七种寻址方式？

答：寻址方式是指CPU如何找到操作数的方式或方法。

8086/8088 CPU有：立即寻址，寄存器寻址，直接寻址，寄存器间接寻址，寄存器相对寻址，基址加变址寻址，基址加变址相对寻址，这7种寻址方式。

7. 简述8086/8088 CPU标志寄存器中CF、ZF、SF标志位的含义。

答：8086/8088 CPU标志寄存器中CF是进位标志位，反映运算结果向前有无进位/借位，为1是有，0是没有；ZF是零标志，反映运算结果是否为0，为1说明结果为0，为0说明结果不为0；SF是符号标志，反映运算结果的正负，为1说明运算结果为负，为0说明运算结果为正。

第二次作业

存储器	特点	速度	功耗	成本	应用场景
SRAM	静态存储，无需刷新，速度快	非常快	低	高	CPU 缓存，高速缓存
DRAM	动态存储，需要刷新，容量大	快	较高	中	主存储器，显存
EPROM	紫外线擦除，非易失性，编程次数有限	较慢	-	中	固件存储，嵌入式开发
EEPROM	电擦写，非易失性，支持字节级操作	较慢	-	较低	参数存储，嵌入式设备

特性	MOV	IN	OUT
数据方向	内部（寄存器与内存）	从端口到寄存器	从寄存器到端口
操作对象	寄存器、内存	外部设备端口 → CPU	CPU → 外部设备端口
典型用途	内存数据操作	从设备读取数据	向设备发送数据
端口支持	不涉及	必须指定端口号	必须指定端口号
语法	MOV 目标，源	IN 寄存器，端口	OUT 端口，寄存器

寻址方式

IN AL, 0E0H; 直接寻址, 端口号直接给出

MOV DX, 303H

IN AL, DX; 间接寻址, 端口号间接给出

OUT 60H, AX ; 直接寻址

MOV DX, 200H

OUT DX, AX ; 间接寻址

间接范围256~65536

I/O端口只使用了低10位地址线A(0)~A(9), 地址范围0000H~03FFH。

1. 接口中一般包含三类端口: 数据 端口、状态 端口和 控制 端口。
2. I/O端口地址的两种编址方式是 统一编址 和 独立编址。
3. 在微型计算机中, 常用的输入输出方式有 无条件 方式、查询 方式、中断 方式和 DMA/直接存储器存取 方式。
 1. 8K×8bit的SRAM存储器芯片有 13 根片内地址线和 8 根片内数据线。
- *5. 存储器芯片的存储单元个数由片内 地址 线的数目决定, 而每个存储单元所能存储的二进制位数则与片内 数据 线的数目相关。
- *6. 利用2K×4bit的存储器芯片构成84000H到87FFFH的内存共需 16 片。
7. I/O端口地址译码的方式可有 全译码法, 部分译码法 和 开关式译码法。

三、简答题

1. 什么是接口? 接口一般必须具备的功能有哪些?
2. 何谓端口? 一般一个接口电路中包含哪些类型的端口? 通常采用的I/O端口编址方式是哪两种?
3. 8086/8088 CPU与外设之间的数据传输控制方式有哪几种? 各适用于何种场合?
4. 接口芯片的端口地址译码方式有哪几种? 各有何特点?

三、简答题参考答案

1. 接口是CPU与外界的连接部件（电路），是CPU与外界进行信息交换的中转站。微型计算机的接口必须具备的功能有：

- ① 数据缓冲功能，② 联络功能，③ 接收和执行CPU命令的功能，
- ④ 设备选择功能 6

口诀：数联接选 中信可

2. 所谓端口，是指接口电路中能被CPU直接访问的寄存器或特定的器件。

一般一个接口电路中包含数据端口、控制端口（只读）和状态端口（只写）三种类型的端口。

I/O端口的编址方式有统一编址方式和独立编址方式两种。 7

3. 8086/8088 CPU与外设之间的数据传输控制方式有：

无条件方式，适用于外设的I/O没有任何条件的场合；

查询方式，适用于外设的I/O必须满足条件、对CPU效率要求不高的场合；

中断方式，适用于对实时性有一定要求、对CPU效率有一定要求的场合；

DMA方式，适用于大批量数据高速传输的场合。 8

4. 接口芯片的端口地址译码方式有：

部分译码法：高位地址线中的一部分参与译码，译码电路简单，但地址范围有重叠，浪费一定的端口空间。

全译码法：高位地址线全部参与译码，译码电路稍复杂，但地址是唯一的，没有端口空间浪费。

开关式译码：利用地址开关来改变端口地址，一般在要求端口地址需要改变时采用。 6

第三次作业

1. 简述PC机处理可屏蔽中断INTR的完整过程。

PC机处理可屏蔽中断的工作过程如下：

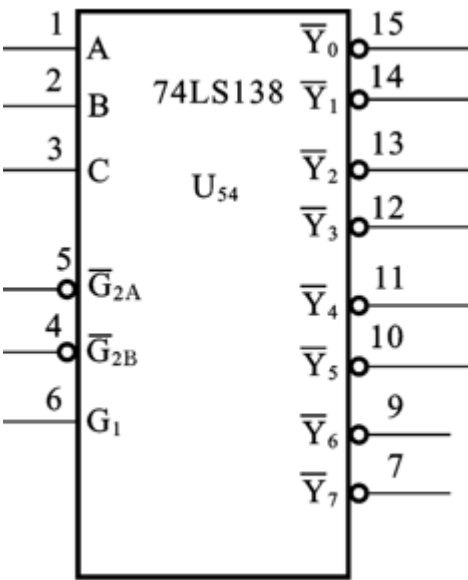
- ① 中断请求 ② 中断排队/中断源识别 ③ 中断响应 ④ 断点保护
- ⑤ 中断服务/执行中断服务子程序 ⑥ 断点恢复 ⑦ 中断返回

2. 8086/8088中断矢量表定位于内存中什么区域？每个矢量号占用矢量表的几个字节空间？它们的内容代表什么含义？

8086/8088中断矢量表定位于内存中0000H：0000H开始的1K区域，每个矢量号占用矢量表的4个字节空间，这4字节的内容代表中断服务程序的入口地址。

3.说明8086（88）中采用中断方式工作必须由设计人员完成的三项任务。

- 〈1〉硬件连线：连接8259至CPU或系统总线，连接中断源至8259。
- 〈2〉编写中断初始化程序：① 初始化8259，② 设置中断向量表。
- 〈3〉编写中断处理程序。（1分）



5.7.1 中断控制器82C59A的外部特性

82C59A的外部引脚如图5.3所示，

3组信号线如下：

- (1) 面向CPU的信号线
包括D0~D7，INT和INTA，控制线与地址线A0
- (2) 面向I/O设备的信号线
8根中断申请线IR0~IR7
- (3) 面向同类芯片的中断级联信号线
中断级联信号线用于扩展中断源，包括主/从芯片的设定线SP/EN，用以传送从片识别码的级联线CAS0~CAS2。

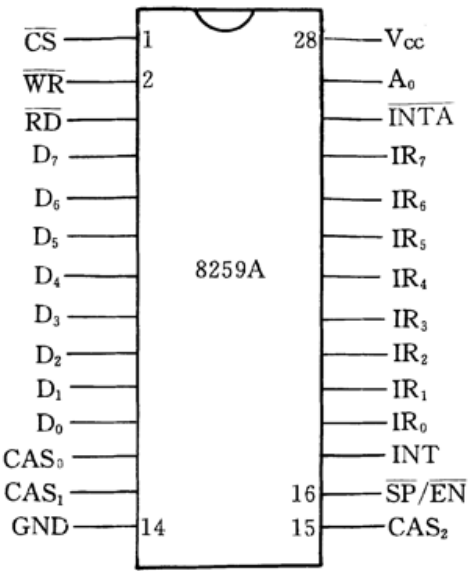


图5.3 82C59A引脚图

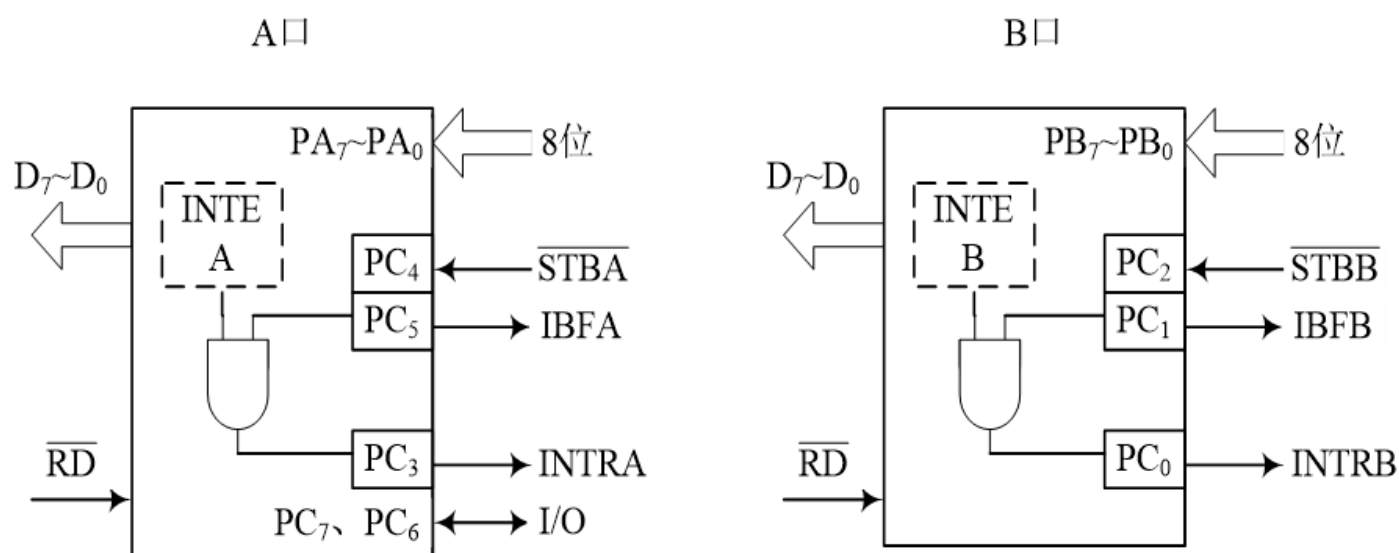
下面是8255

82C55A信号定义

引脚名	方向	功能
$D_0 \sim D_7$	双向	数据线
\overline{CS}	入	片选
A_1, A_0	入	选寄存器
\overline{RD}	入	读
\overline{WR}	入	写
RESET	入	复位信号
$PA_0 \sim PA_7$	双向	A端口的I/O线
$PB_0 \sim PB_7$	双向	B端口的I/O线
$PC_0 \sim PC_7$	双向	C端口的I/O线

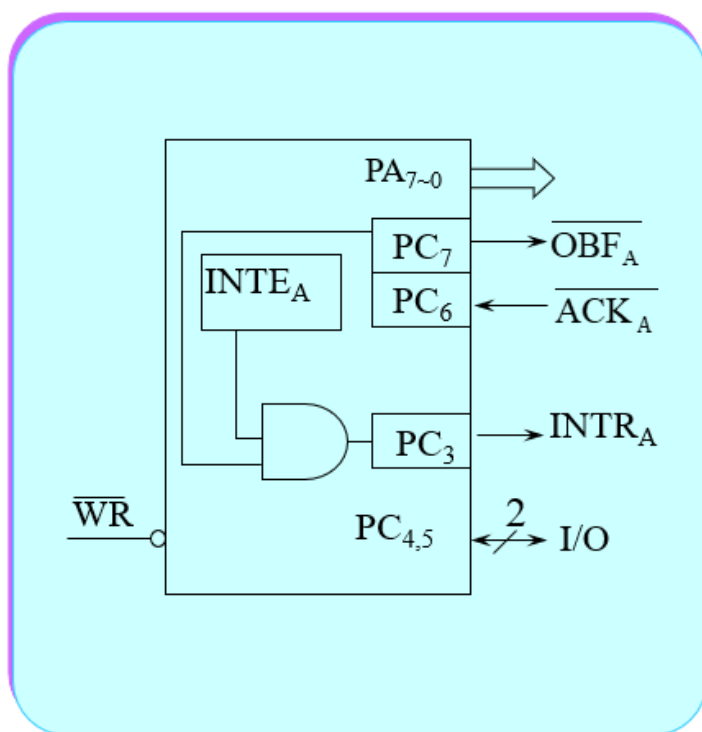
82C55A外部引脚

图7.1 82C55A外部引脚及信号定义

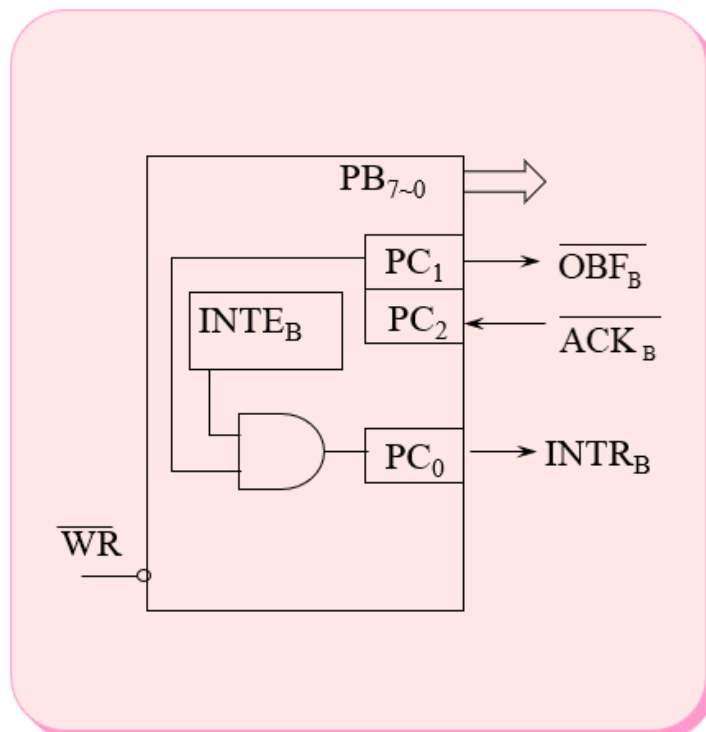


A口 B口 控制信号

A口、B口方式1输出



(a) 端口A方式1输出



(b) 端口B方式1输出

(1) 方式命令

功能：指定82C55A的工作方式及其方式下3个并行端口的输入或输出功能。

格式：8位命令字的格式及每一位的含义，如图7.2所示

D ₇ = 1	D ₆	D ₅	D ₄	D ₃	D ₂	D ₁	D ₀
特征位	A 组方式		A 端口	PC ₄ ~ PC ₇	B 组方式	B 端口	PC ₀ ~ PC ₃
	00 = 0 方式		0 = 出	0 = 出	0 = 0 方式	0 = 出	0 = 出
	01 = 1 方式		1 = 入	1 = 入	1 = 1 方式	1 = 入	1 = 入
	10 = 2 方式						
	11 = 不用						

图7.2 82C55A的工作方式命令字的格式

(2) 按位置位/复位命令

功能：指定82C55A的C端口8个引脚中的任意一个引脚，也只能1次指定1个引脚输出高电平或低电平。

格式：8位命令字的格式与含义，如图7.3所示。

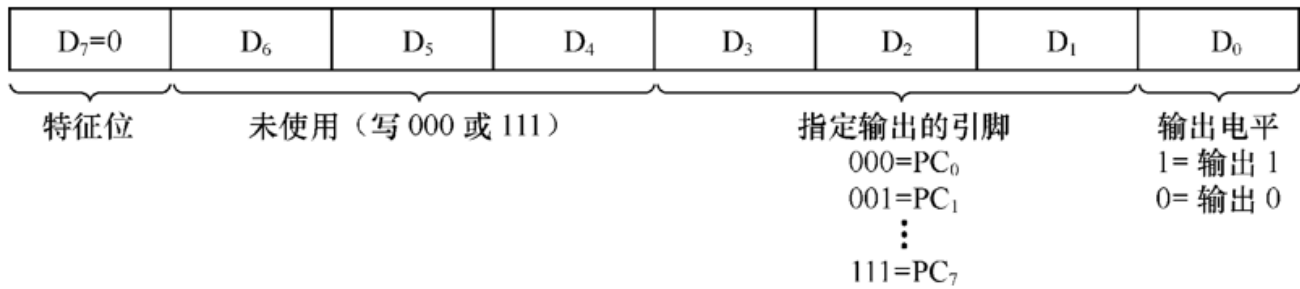
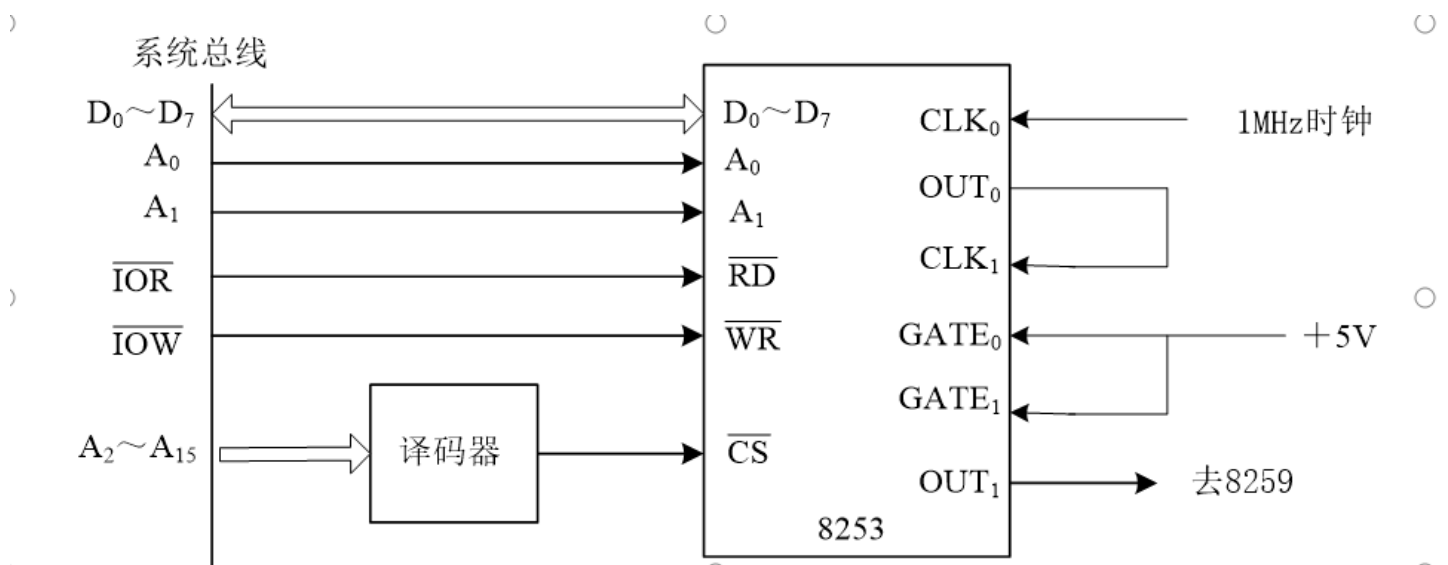


图7.3 82C55A的位操作命令字格式

下面是8254



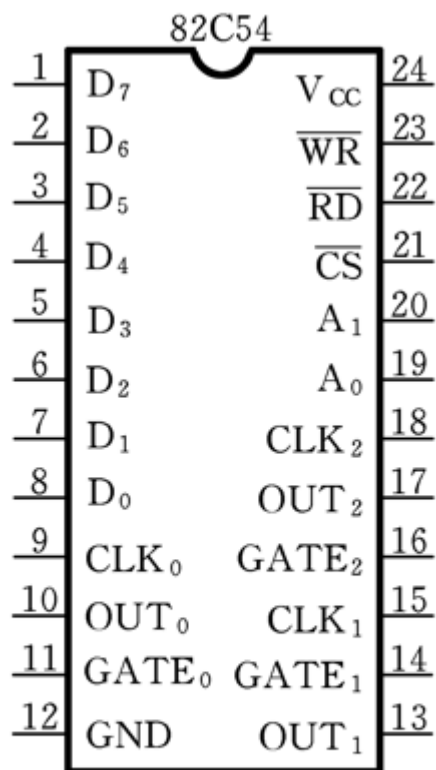


图4.1 82C54A引脚

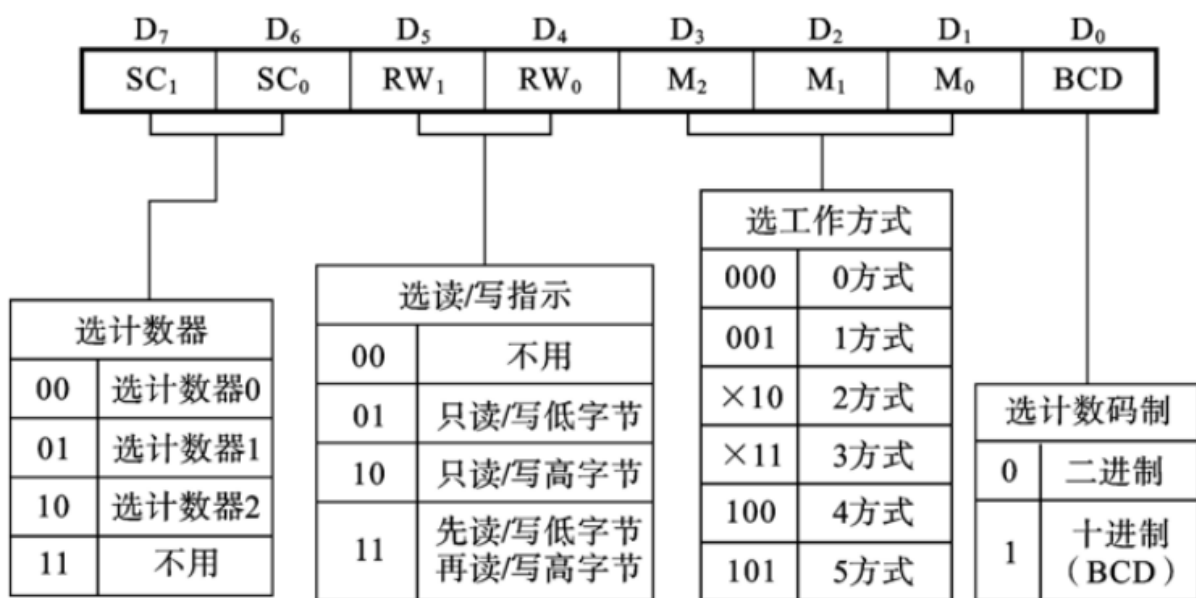


图4.10 82C54A工作方式命令格式

4.5.1 计数初值的计算

计数初值分两种情况：若作计数器用时，则无须计算，将计数的次数直接装入；若作定时器用时，则计数初值需要经过换算才能得到。其换算方法如下。

(1) 要求产生定时时间间隔的定时常数 T_c

$$T_c = \frac{\text{要求定时的时间}}{\text{时钟脉冲周期}} = \frac{\tau}{1/\text{CLK}} = \tau \times \text{CLK} \tag{4-1}$$

(2) 要求产生频率为 f 的信号波形的定时常数 T_c

$$T_c = \frac{\text{时钟脉冲的频率}}{\text{要求的波形频率}} = \frac{\text{CLK}}{f} \tag{4-2}$$

数据送出到某端口都用OUT，送入用IN

指令	中文名	作用	用途
ORG	起始地址设置指令	设置程序或数据的起始偏移地址	用于指定段的起始地址
ASSUME	段寄存器假设指令	指定段寄存器与段的逻辑关系	用于段寄存器初始化的假设
ENDS	段结束指令	定义一个段的逻辑结束	用于标记段的结束
EQU	等号定义伪指令	定义符号常量	用于为常量赋值，提高代码可读性

段定义

```

格式：段名 SEGMENT [定位类型] [组合类型] ['类别名']

      ⋮

      段名 ENDS
    
```

过程定义

格式： 过程名 **PROC** [**NEAR** / **FAR**]

⋮ } 过程体

过程名 **RET**
 ENDP

功能： 完成过程定义，在过程体中实现过程的操作功能

2. 数据定义伪指令

格式：

[变量名]	DB	表达式	； 定义字节
[变量名]	DW	表达式	； 定义字
[变量名]	DD	表达式	； 定义双字
[变量名]	DQ	表达式	； 定义8个字节
[变量名]	DT	表达式	； 定义10个字节

ORG 是汇编语言中的一个伪指令（assembler directive），它的作用是 设置程序或数据的起始偏移地址。这条指令不会生成机器代码，而是告诉汇编器从指定的地址开始放置代码或数据。

偏移量，缓冲区初始化

MOV SI,OFFSET BUFFER

INC 加一

指令	全称	条件	标志位
JMP	Jump	无条件跳转	无需标志
JZ	Jump if Zero	上次运算结果为零	ZF=1
JNZ	Jump if Not Zero	上次运算结果不为零	ZF=0

中断

参考程序如下：

主程序

```
MAIN:  MOV  AL, 86H
        OUT  63H, AL  ; 8255 初始化 (2 分)
        MOV  AL, 05H
        OUT  63H, AL  ; 开 B 口中断 (1 分)
A1:     STI
        HLT
        JMP  A1        ; 开中断并等待中断来 (1 分)
```

中断服务子程序

```
INTSEV: IN   AL, 61H
        OUT  60H, AL ; 输入输出 (2 分)
        MOV  AL, 20H
        OUT  20H, AL
        IRET        ; 中断结束并返回 (1 分)
```

每个外设接口芯片都有一个片选引脚CS,试分析其物理含义及作用

CS的物理含义：

CS有效，选中这个接口芯片，其内部的数据线打开，并与系统的数据总线接通，从而打通了接口电路与系统总线的通路。（2分）

CS无效，这个芯片未选中，其内部数据线呈高阻抗，与系统的数据总线隔离开来，从而关闭了接口电路与系统总线的通路。（2分）

总之，

CS起着一个开关的作用，决定芯片是否与系统总线接通。（1分）

选择A/D和D/A芯片时，考虑的主要性能指标有 分辨率 **和** 转换时间 **。**

试简述行扫描法识别矩阵式键盘上闭合键的过程

首先进行全扫描，判断是否有键按下：将所有行线置成低电平，然后读入列线值，若为全1，说明无键按下；若不是全1，则说明有键按下。（2分）

有键按下时再进行逐行扫描：先将第一行置成低电平，其他行为高电平，然后读入列线值，若不是全1，则说明第一行与为低电平的列线相交位置上的键被按下；若为全1，说明第一行无键按下，接着扫描第二行，依此类推，直至找到被按下的键。（3分）

七段码

扫描过程：“段控”端口发出一个字形码，送到每个显示器的段线上，“位控”端口发出一个控制信号，指定某一位显示器显示，该位显示器就点亮，并持续1~5ms，然后熄灭所有的显示器依次从“段控”端口发字形码信息，再从“位控”端口发位控信号，去点亮某一位显示器并持续一段时间，然后熄灭。从第1位到最末位把要显示的不同字符显示一遍，即为一个扫描周期。当扫描周期符合视觉暂留效应的要求时，人们就觉察不出字符的变动与闪烁，而感觉每位显示器都在同时显示。显示器“位控”信号线相当于键盘的行扫描线。

QCGB